TLV237x-Q1 550µA/通道、3MHz 轨至轨输入和输出运算放大器

1 特性

- 符合汽车类应用的 要求
- 具有符合 AEC-Q100 标准的下列特性：
  - 器件温度 1 级：–40°C 至 125°C 的环境工作温度范围
  - 器件 HBM ESD 分类等级 2
  - 器件 CDM ESD 分类等级 C4B
- 轨至轨输入和输出
- 高带宽：3MHz
- 高压摆率：2.4V/µs
- 电源电压范围：2.7V 至 16V
- 电源电流：550µA/通道
- 输入噪声电压：39nV/$\sqrt{Hz}$
- 输入偏置电流：1pA
- 超小型封装：
  - 5 引脚 SOT-23 (TLV2371-Q1)

2 应用

- 引擎控制单元 (ECU)
- 车身控制模块 (BCM)
- 电池管理系统
- HEV/EV 逆变器
- 车道偏离报警
- 白色家电

3 说明

TLV237x-Q1 器件是一款单电源运算放大器，能够提供轨至轨输入和输出。TLV237x-Q1 在扩展汽车温度范围内的最小工作电源电压低至 2.7V，最高电压为 16V。因此，该宽电压范围可支持启/停功能，并可直接连接典型的 12V 电池。轨至轨功能让器件可以实现最大输出信号并避免削波。

CMOS 输入可实现适用于引擎控制单元 (ECU)、车身控制模块 (BCM)、电池管理系统 (BMS) 和 HEV/EV 逆变器的高阻抗。这样，用户还可以降低消耗的失调电压并维持低功耗，从而帮助满足对静态电流的总体系统需求，例如信息娱乐系统或仪表盘、HEV/EV 和动力传动系统。

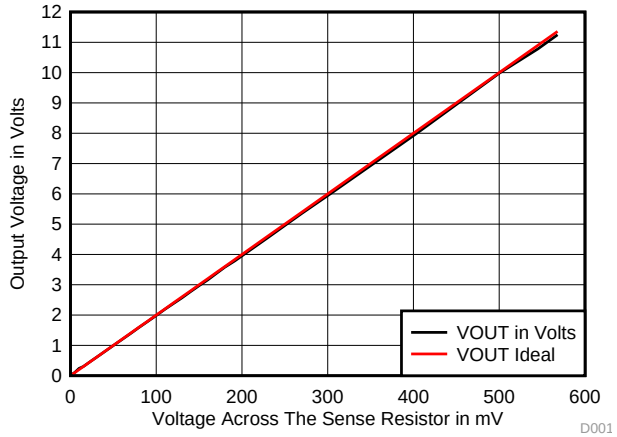
而且，TLV237x-Q1 系列支持电源电压上的高共模轨。此功能不设置增益限制，可支持任何电平的输入，而不用担心发生相位反转。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
TLV2371-Q1	SOT-23 (5)	2.90mm × 1.60mm
	SOIC (8)	4.90mm × 3.91mm
TLV2372-Q1	SOIC (8)	4.90mm × 3.91mm
TLV2374-Q1	SOIC (14)	8.65mm × 3.91mm
	TSSOP (14)	5.00mm × 4.40mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

高电流检测中输出电压
与差分输入间的关系



本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。 有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。 TI 不保证翻译的准确性和有效性。 在实际设计之前，请务必参考最新版本的英文版本。

目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 器件比较表 ... 3
6 引脚配置和功能 ... 3
7 规格 ... 5
7.1 绝对最大额定值 ... 5
7.2 ESD 额定值 ... 5
7.3 建议运行条件 ... 5
7.4 热性能信息：TLV2371-Q1 ... 5
7.5 热性能信息：TLV2372-Q1 ... 6
7.6 热性能信息：TLV2374-Q1 ... 6
7.7 电气特征 ... 6
7.8 典型特性 ... 9
8 详细 说明 ... 15
8.1 概要 ... 15
8.2 功能框图 ... 15
8.3 特性 描述 ... 15
8.4 器件功能模式 ... 17
9 应用和实现 ... 18
9.1 应用信息 ... 18
9.2 典型 应用 ... 18
10 电源建议 ... 21
11 布局 ... 22
11.1 布局指南 ... 22
11.2 布局示例 ... 23
11.3 功率耗散注意事项 ... 23
12 器件和文档支持 ... 24
12.1 相关链接 ... 24
12.2 接收文档更新通知 ... 24
12.3 社区资源 ... 24
12.4 商标 ... 24
12.5 静电放电警告 ... 24
12.6 术语表 ... 24
13 机械、封装和可订购信息 ... 24

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Revision A (June 2008) to Revision B **Page**

- 已添加 添加了 *ESD 额定值* 表、*特性 说明* 部分、*器件功能模式*、*应用和实施* 部分、*电源建议* 部分、*布局* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分 ... 1
- 已删除 删除了 8 引脚 MSOP (TLV2372)，因为 TLV2372-Q1 未采用 MSOP 封装；还删除了数据表中的所有参考 ... 1
- 已更改 更改了*应用中的列表项* ... 1
- 删除了*系列封装* 和*可用选项* 表，请参阅数据表末尾处的 POA ... 1
- 将*信号放大器产品选择* 表更名为*器件比较表* ... 3
- 已更改 将*器件比较表* 中 TLV237x 的关断从“是”改为 — ... 3
- 已更改 I_{IB} (pA) 从 1300 改为 1.3 ... 3
- 已更改 将*器件比较表* 中 TLV237x 的关断从“是”改为 — ... 3
- 已更改 将“引脚功能：TLV2371-Q1”中的 GND 说明 从接地连接改为负（最低）电源 ... 3
- 已更改 将“引脚功能：TLV2372-Q1”中的 GND 说明 从接地连接改为负（最低）电源 ... 4
- 删除了 *典型引脚 1 指示灯* 图像 ... 4
- 已更改 将“引脚功能：TLV2374-Q1”中的 GND 说明 从接地连接改为负（最低）电源 ... 4
- 已删除 引线温度（最高值：260°C） ... 5
- 已添加 在所有*热性能信息* 表中添加了更多热性能值 ... 5
- 已更改 $R_{\theta JA}$ 值从 325.1 改为 228.5 (DBV)，从 176 改为 138.4 (D) ... 5
- 已更改 $R_{\theta JA}$ 值从 176 改为 138.4 (D) ... 6
- 已删除 删除了*热性能信息：TLV2372-Q1* ... 6
- 已更改 $R_{\theta JA}$ 值从 122.3 改为 67 (D)，从173.6 改为 121 (PW) ... 6
- 已删除 *删除了最大功率损耗与自然通风温度间的关系* 图 ... 23

版权 © 2004–2016, Texas Instruments Incorporated

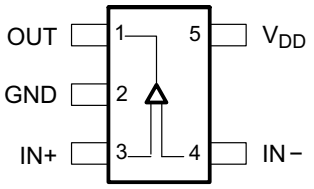
5 器件比较表

在 5V 和 25°C 条件下测得的典型值

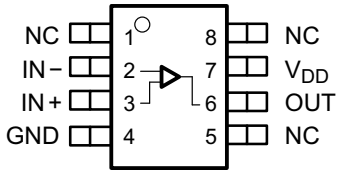
器件	V_{DD} (V)	V_{IO} (μV)	Iq/Ch (μA)	I_{IB} (pA)	GBW (MHz)	SR (V/μs)	关断	轨到轨	单通道、双通道、四通道
TLV237x-Q1	2.7 至 16	500	550	1	3	2.4	—	I/O	S、D、Q
TLC227x-Q1	4 至 16	300	1100	1	2.2	3.6	—	O	D、Q
TLV27x-Q1	2.7 至 16	500	550	1	3	2.4	—	O	S、D、Q
TLV246x-Q1	2.7 至 6	150	550	1.3	6.4	1.6	是	I/O	S、D、Q
TLV247x-Q1	2.7 至 6	250	600	2	2.8	1.5	—	I/O	S、D、Q
TLV244x-Q1	2.7 至 10	300	725	1	1.8	1.4	—	O	D、Q

6 引脚配置和功能

TLV2371-Q1 DBV 封装
5 引脚 SOT-23
俯视图



TLV2371-Q1 D 封装
8 引脚 SOIC
俯视图

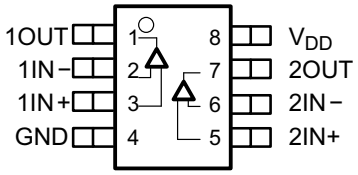


引脚功能：**TLV2371-Q1**

引脚			I/O	说明
名称	SOT-23	SOIC		
GND	2	4	—	负电源（最低）
IN–	4	2	I	负（反相）输入
IN+	3	3	I	正（同相）输入
NC	—	1、5、8	—	没有与内部电路连接（可以悬空）
OUT	1	6	O	输出
V_{DD}	5	7	—	正电源

版权 © 2004–2016, Texas Instruments Incorporated

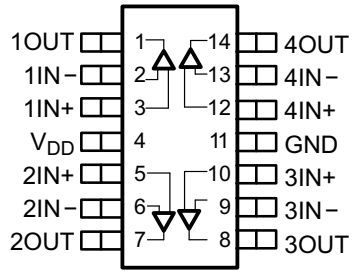
TLV2372-Q1 D 封装
8 引脚 SOIC
俯视图



引脚功能：**TLV2372-Q1**

引脚		I/O	说明
名称	编号		
1IN–	2	I	反相输入，通道 1
1IN+	3	I	同相输入，通道 1
1OUT	1	O	输出，通道 1
2IN–	6	I	反相输入，通道 2
2IN+	5	I	同相输入，通道 2
2OUT	7	O	输出，通道 2
GND	4	—	负电源（最低）
V_{DD}	8	—	正电源

TLV2374-Q1 D 和 PW 封装
14 引脚 SOIC 或 TSSOP
俯视图



引脚功能：**TLV2374-Q1**

引脚		I/O	说明
名称	编号		
1IN–	2	I	反相输入，通道 1
1IN+	3	I	同相输入，通道 1
1OUT	1	O	输出，通道 1
2IN–	6	I	反相输入，通道 2
2IN+	5	I	同相输入，通道 2
2OUT	7	O	输出，通道 2
3IN–	9	I	反相输入，通道 3
3IN+	10	I	同相输入，通道 3
3OUT	8	O	输出，通道 3
4IN–	13	I	反相输入，通道 4
4IN+	12	I	同相输入，通道 4
4OUT	14	O	输出，通道 4
GND	11	—	负电源（最低）
V_{DD}	4	—	正电源

版权 © 2004–2016, Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

在自然通风温度范围内测得（除非另有说明）(1)

	最小值	最大值	单位
电源电压，V_{DD}		16.5	V
差分输入电压，V_{ID}		$\pm V_{DD}$	
输入电压，V_I	–0.2	V_{DD} + 0.2	V
输入电流，I_I		±10	mA
输出电流，I_O		±100	mA
最大结温，T_J		150	°C
贮存温度，T_{stg}	–65	150	°C

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。在绝对最大额定值条件下长时间运行可能会影响器件可靠性。

7.2 ESD 额定值

			值	单位
采用 DBV 封装的 TLV2371-Q1				
$V_{(ESD)}$ 静电放电	人体模型 (HBM)，符合 AEC Q100-002(1)	所有引脚	±2000	V
	充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
		转角引脚（1、3、4 和 5）	±750	
采用 D 封装的 TLV2371-Q1				
$V_{(ESD)}$ 静电放电	人体模型 (HBM)，符合 AEC Q100-002(1)	所有引脚	±2000	V
	充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
		转角引脚（1、4、5 和 8）	±750	
采用 D 封装的 TLV2372-Q1				
$V_{(ESD)}$ 静电放电	人体模型 (HBM)，符合 AEC Q100-002(1)	所有引脚	±2000	V
	充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
		转角引脚（1、4、5 和 8）	±750	
采用 D 和 PW 封装的 TLV2374-Q1				
$V_{(ESD)}$ 静电放电	人体模型 (HBM)，符合 AEC Q100-002(1)	所有引脚	±2000	V
	充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
		转角引脚（1、7、8 和 14）	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

7.3 建议运行条件

在自然通风温度范围内测得（除非另有说明）

			最小值	最大值	单位
V_{DD}	电源电压	单通道电源	2.7	16	V
		双电源	±1.35	±8	
V_{ICR}	共模输入电压		0	V_{DD}	V
$V_{(ON)}$	导通电压电平（相对于 GND 引脚电压）			2	V
$V_{(OFF)}$	关断电压电平（相对于 GND 引脚电压）		0.8		V
T_A	自然通风工作温度范围（后缀 Q）		–40	125	°C

7.4 热性能信息：TLV2371-Q1

热指标(1)	TLV2371-Q1		单位
	DBV (SOT-23)	D (SOIC)	
	5 引脚	8 引脚	
$R_{\theta JA}$ 结至环境热阻	228.5	138.4	°C/W

(1) 有关传统和新热指标的更多信息，请参阅应用报告*《半导体和 IC 封装热指标》*。

版权 © 2004–2016, Texas Instruments Incorporated

热性能信息：**TLV2371-Q1 (**接下页**)**

热指标(1)		TLV2371-Q1		单位
		DBV (SOT-23)	D (SOIC)	
		5 引脚	8 引脚	
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	99.1	89.5	°C/W
$R_{\theta JB}$	结至电路板热阻	54.6	78.6	°C/W
ψ_{JT}	结至顶部特征参数	7.7	29.9	°C/W
ψ_{JB}	结至电路板特征参数	53.8	78.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	—	°C/W

中的整个 DGK (MSOP) 列

7.5 热性能信息：TLV2372-Q1

热指标(1)		TLV2372-Q1	单位
		D (SOIC)	
		8 引脚	
$R_{\theta JA}$	结至环境热阻	138.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	89.5	°C/W
$R_{\theta JB}$	结至电路板热阻	78.6	°C/W
ψ_{JT}	结至顶部特征参数	29.9	°C/W
ψ_{JB}	结至电路板特征参数	78.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	°C/W

(1) 有关传统和新热指标的更多信息，请参阅应用报告*《半导体和 IC 封装热指标》*。

7.6 热性能信息：TLV2374-Q1

热指标(1)		TLV2374-Q1		单位
		D (SOIC)	PW (TSSOP)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	67	121	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	24.1	49.4	°C/W
$R_{\theta JB}$	结至电路板热阻	22.5	62.8	°C/W
ψ_{JT}	结至顶部特征参数	2.2	5.9	°C/W
ψ_{JB}	结至电路板特征参数	22.1	62.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	—	°C/W

(1) 有关传统和新热指标的更多信息，请参阅应用报告*《半导体和 IC 封装热指标》*。

7.7 电气特征

在额定自然通风温度下，V_{DD} = 2.7V、5V 和 15V（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
直流性能							
V_{IO}	输入失调电压	$V_{IC} = V_{DD}/2$、$V_O = V_{DD}/2$、$R_S = 50\Omega$	T_A = 25°C		2	4.5	mV
			T_A = –40°C 至 125°C			6	
α_{VIO}	失调电压温漂	$V_{IC} = V_{DD}/2$、$V_O = V_{DD}/2$、$R_S = 50\Omega$、T_A = 25°C			2		µV/°C

版权 © 2004–2016, Texas Instruments Incorporated

电气特征 (接下页)

在额定自然通风温度下，V_{DD} = 2.7V、5V 和 15V（除非另有说明）

参数		测试条件			最小值	典型值	最大值	单位
CMRR	共模抑制比	V_{DD}= 2.7V	V_{IC} = 0 至 V_{DD}、R_S = 50Ω	T_A = 25°C	50	68		dB
				T_A = –40°C 至 125°C	49			
			V_{IC} = 0 至 V_{DD} – 1.35V、R_S = 50Ω	T_A = 25°C	53	70		
				T_A = –40°C 至 125°C	54			
		V_{DD}= 5V	V_{IC} = 0 至 V_{DD}、R_S = 50Ω	T_A = 25°C	55	72		
				T_A = –40°C 至 125°C	54			
			V_{IC} = 0 至 V_{DD} – 1.35V、R_S = 50Ω	T_A = 25°C	58	80		
				T_A = –40°C 至 125°C	57			
		V_{DD}= 15V	V_{IC} = 0 至 V_{DD}、R_S = 50Ω	T_A = 25°C	64	82		
				T_A = –40°C 至 125°C	63			
			V_{IC} = 0 至 V_{DD} – 1.35V、R_S = 50Ω	T_A = 25°C	67	84		
				T_A = –40°C 至 125°C	66			
A_{VD}	大信号差分电压放大	$V_{O(PP)}$ = V_{DD}/2、R_S = 10Ω	V_{DD}= 2.7V	T_A = 25°C	95	106		dB
				T_A = –40°C 至 125°C	76			
			V_{DD}= 5V	T_A = 25°C	80	110		
				T_A = –40°C 至 125°C	82			
			V_{DD}= 15V	T_A = 25°C	77	83		
				T_A = –40°C 至 125°C	79			
输入								
I_{IO}	输入失调电流	V_{DD} = 15V、V_{IC} = V_{DD}/2、V_O = V_{DD}/2		T_A = 25°C		1	60	pA
				T_A = –40°C 至 125°C			500	
I_{IB}	输入偏置电流	V_{DD} = 15V、V_{IC} = V_{DD}/2、V_O = V_{DD}/2		T_A = 25°C		1	60	pA
				T_A = –40°C 至 125°C			500	
$r_{i(d)}$	差分输入电阻	T_A = 25°C				1000		GΩ
C_{IC}	共模输入电容	f = 21kHz，T_A = 25°C				8		pF
输出								
V_{OH}	高电平输出电压	V_{IC} = V_{DD}/2、I_{OH} = –1mA、V_{ID} = 1V	V_{DD}= 2.7V	T_A = 25°C	2.55	2.58		V
				T_A = –40°C 至 125°C	2.48			
			V_{DD}= 5V	T_A = 25°C	4.9	4.93		
				T_A = –40°C 至 125°C	4.85			
			V_{DD}= 15V	T_A = 25°C	14.92	14.96		
				T_A = –40°C 至 125°C	14.9			
		V_{IC} = V_{DD}/2、I_{OH} = –5mA、V_{ID} = 1V	V_{DD}= 2.7V	T_A = 25°C	1.88	2		
				T_A = –40°C 至 125°C	1.42			
			V_{DD}= 5V	T_A = 25°C	4.58	4.68		
				T_A = –40°C 至 125°C	4.44			
			V_{DD} = 15V	T_A = 25°C	14.7	14.8		
				T_A = –40°C 至 125°C	14.6			

版权 © 2004–2016, Texas Instruments Incorporated

电气特征 (接下页)

在额定自然通风温度下，V_{DD} = 2.7V、5V 和 15V（除非另有说明）

参数		测试条件			最小值	典型值	最大值	单位
V_{OL}	低电平输出电压	V_{IC} = V_{DD}/2、I_{OH} = 1mA、V_{ID} = 1V	V_{DD}= 2.7V	T_A = 25°C		0.1	0.15	V
				T_A = –40°C 至 125°C			0.22	
			V_{DD}= 5V	T_A = 25°C		0.05	0.1	
				T_A = –40°C 至 125°C			0.15	
			V_{DD}= 15V	T_A = 25°C		0.05	0.08	
				T_A = –40°C 至 125°C			0.1	
		V_{IC} = V_{DD}/2、I_{OH} = 5mA、V_{ID} = 1V	V_{DD}= 2.7V	T_A = 25°C		0.52	0.7	
				T_A = –40°C 至 125°C			1.15	
			V_{DD}= 5V	T_A = 25°C		0.28	0.4	
				T_A = –40°C 至 125°C			0.54	
			V_{DD}= 15V	T_A = 25°C		0.19	0.3	
				T_A = –40°C 至 125°C			0.35	
电源								
I_{DD}	电源电流（每个通道）	V_O = V_{DD}/2	V_{DD}= 2.7V	T_A = 25°C		470	560	μA
			V_{DD}= 5V	T_A = 25°C		550	660	
			V_{DD}= 15V	T_A = 25°C		750	900	
				T_A = –40°C 至 125°C			1200	
PSRR	电源电压抑制比 ($\Delta V_{DD}/\Delta V_{IO}$)	V_{DD} = 2.7V 至 15V、V_{IC} = V_{DD}/2，空载		T_A = 25°C	70	80		dB
				T_A = –40°C 至 125°C	65			
动态性能								
UGBW	单位增益带宽	R_L = 2kΩ，C_L = 10pF		V_{DD}= 2.7V，T_A = 25°C		2.4		MHz
				V_{DD} = 5V 至 15V、T_A = 25°C		3		
SR	单位增益下的压摆率	$V_{O(PP)}$ = V_{DD}/2、R_L = 10kΩ、C_L = 50pF	V_{DD}= 2.7V	T_A = 25°C	1.4	2		V/μs
				T_A = –40°C 至 125°C	1			
			V_{DD}= 5V	T_A = 25°C	1.4	2.4		
				T_A = –40°C 至 125°C	1.2			
			V_{DD}= 15V	T_A = 25°C	1.9	2.1		
				T_A = –40°C 至 125°C	1.4			
φ_m	相位裕度	R_L = 2kΩ、C_L = 100pF、T_A = 25°C				65°		
	增益裕量	R_L = 2kΩ、C_L = 10pF、T_A = 25°C				18		dB
t_s	建立时间	V_{DD} = 2.7V、$V_{(STEP)PP}$ = 1V、A_V = –1、R_L = 2kΩ、C_L = 10pF、25°C 时为 0.1%				2.9		μs
		V_{DD} = 5V 或 15V、$V_{(STEP)PP}$ = 1V、A_V = –1、R_L = 2kΩ、C_L = 47pF、25°C 时为 0.1%				2		
噪声/失真性能								
THD+N	总谐波失真 + 噪声	V_{DD} = 2.7V、$V_{O(PP)}$ = V_{DD}/2V、R_L = 2kΩ、f = 10kHz、T_A = 25°C		A_V = 1		0.02%		
				A_V = 10		0.05%		
				A_V = 100		0.18%		
		V_{DD} = 5V 或 15V、$V_{O(PP)}$ = V_{DD}/2V、R_L = 2kΩ、f = 10kHz、T_A = 25°C		A_V = 1		0.02%		
				A_V = 10		0.09%		
				A_V = 100		0.5%		
V_n	等效输入噪声电压	f = 1kHz，T_A = 25°C				39		$nV/\sqrt{Hz}$
		f = 10kHz，T_A = 25°C				35		
I_n	等效输入噪声电流	f = 1kHz，T_A = 25°C				0.6		$fA/\sqrt{Hz}$

版权 © 2004–2016, Texas Instruments Incorporated

7.8 典型特性

表 1. 图形表

			图
V_{IO}	输入失调电压	与共模输入电压的关系	图 1、图 2、图 3
CMRR	共模抑制比	与频率间的关系	图 4
	输入偏置和失调电流	与自然通风温度间的关系	图 5
V_{OL}	低电平输出电压	与低电平输出电流间的关系	图 6, 图 8, 图 10
V_{OH}	高电平输出电压	与高电平输出电流间的关系	图 7, 图 9, 图 11
$V_{O(PP)}$	峰间输出电压	与频率间的关系	图 12
I_{DD}	电源电流	与电源电压间的关系	图 13
PSRR	电源抑制比	与频率间的关系	图 14
A_{VD}	差分电压增益和相位	与频率间的关系	图 15
	增益带宽积	与自然通风温度间的关系	图 16
SR	压摆率	与电源电压间的关系	图 17
		与自然通风温度间的关系	图 18
φ_m	相位裕度	与容性负载间的关系	图 19
V_n	等效输入噪声电压	与频率间的关系	图 20
	电压跟随器大信号脉冲响应		图 21, 图 22
	电压跟随器小信号脉冲响应		图 23
	反相大信号脉冲响应		图 24, 图 25
	反相小信号响应		图 26
	串扰	与频率间的关系	图 27

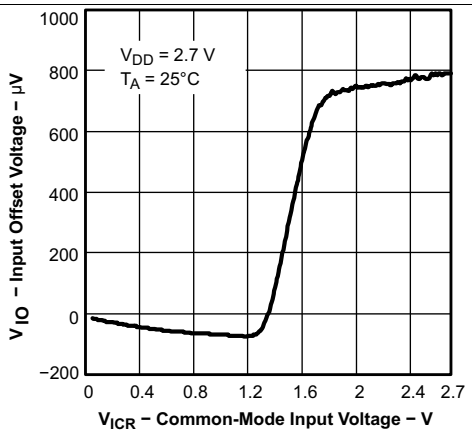


图 1. 输入失调电压
与共模输入电压间的关系

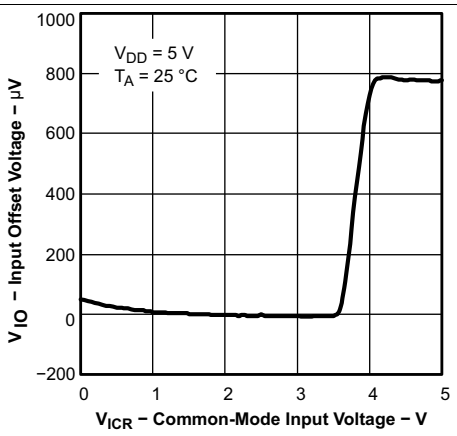


图 2. 输入失调电压
与共模输入电压间的关系

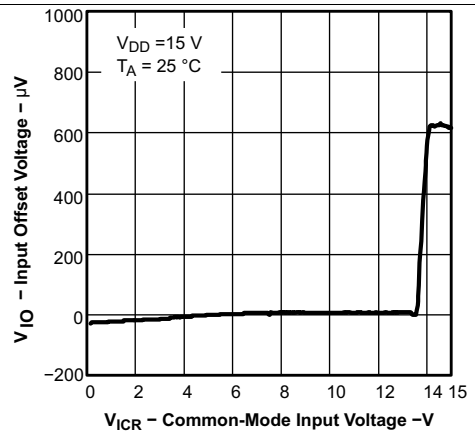


图 **3.** 输入失调电压
与共模输入电压间的关系

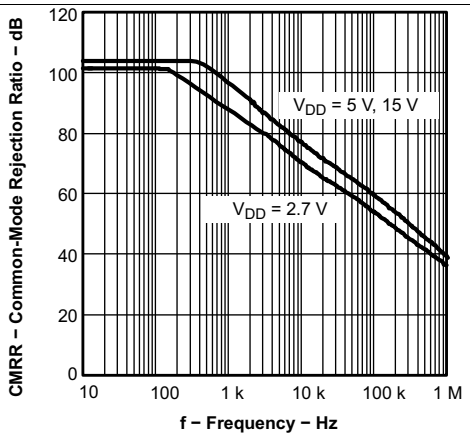


图 **4.** 共模抑制比与
频率间的关系

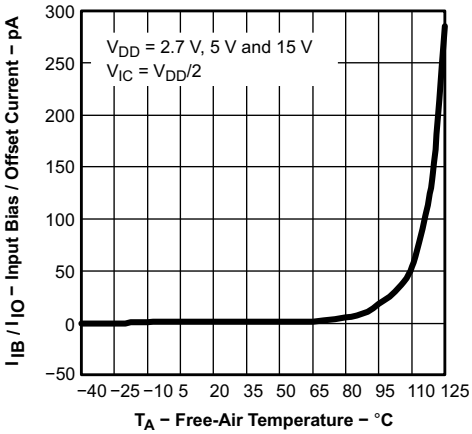


图 **5.** 输入偏置和失调电流与
空气温度间的关系

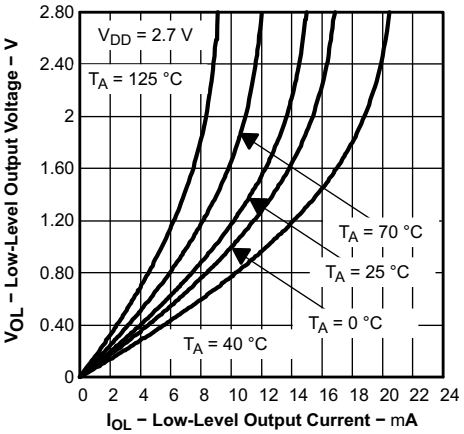


图 **6.** 低电平输出电压
与低电平输出电流间的关系

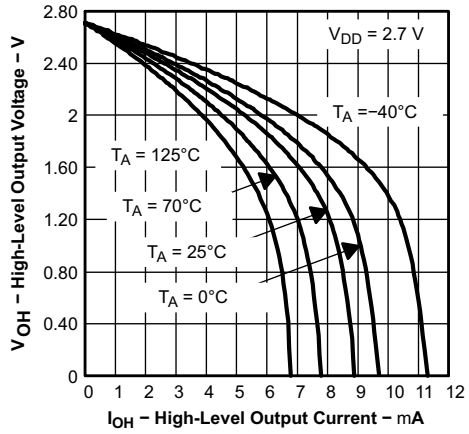


图 **7.** 高电平输出电压
与高电平输出电流间的关系

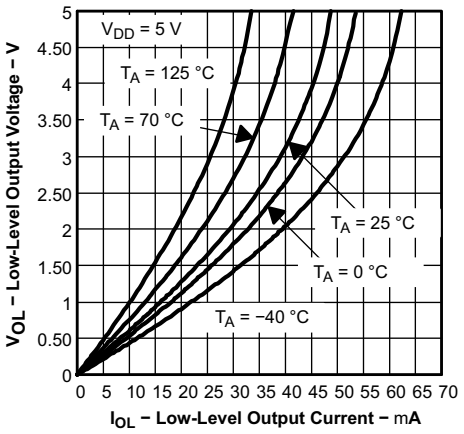


图 **8.** 低电平输出电压
与低电平输出电流间的关系

版权 © 2004–2016, Texas Instruments Incorporated

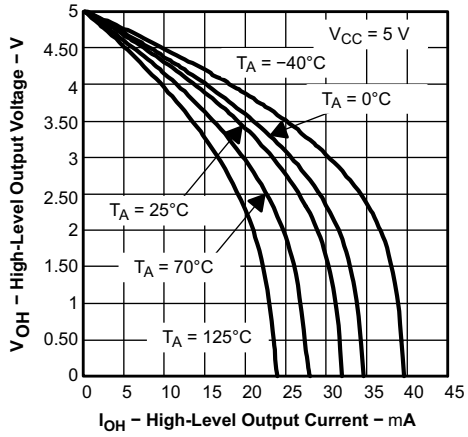


图 **9.** 高电平输出电压
与高电平输出电流间的关系

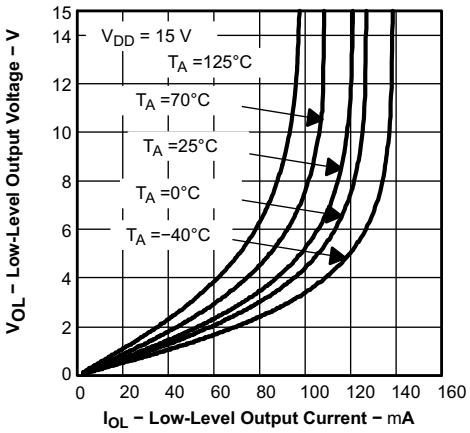


图 **10.** 低电平输出电压
与低电平输出电流间的关系

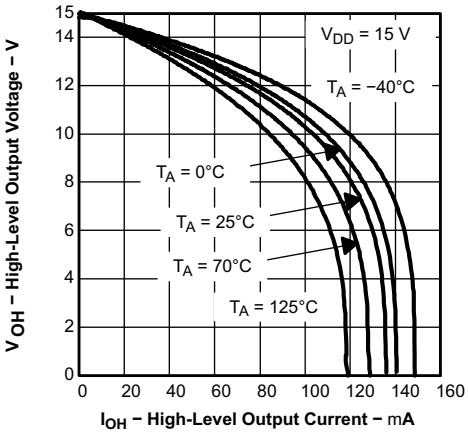


图 **11.** 高电平输出电压
与高电平输出电流间的关系

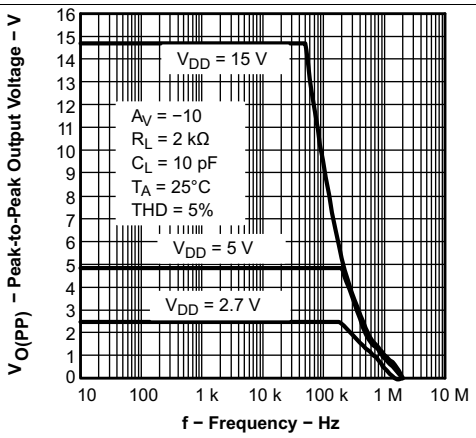


图 **12.** 峰间输出电压与
频率间的关系

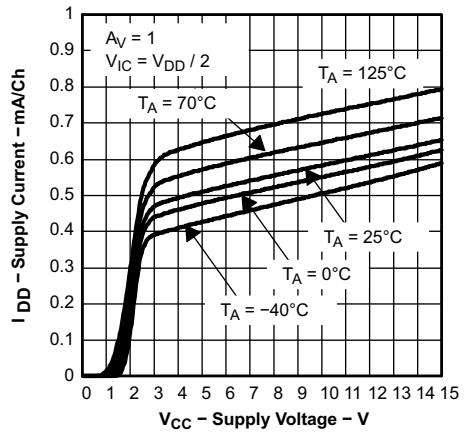


图 **13.** 电源电流与电源电压间的关系

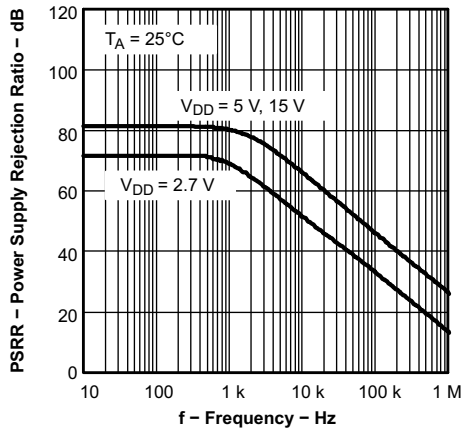


图 **14.** 电源抑制比与
频率间的关系

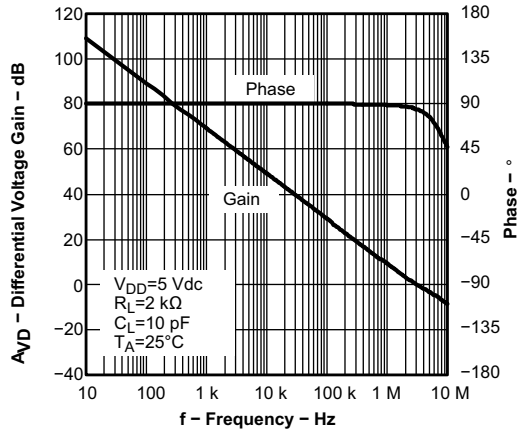


图 **15.** 差分电压增益和相位与频率间的关系

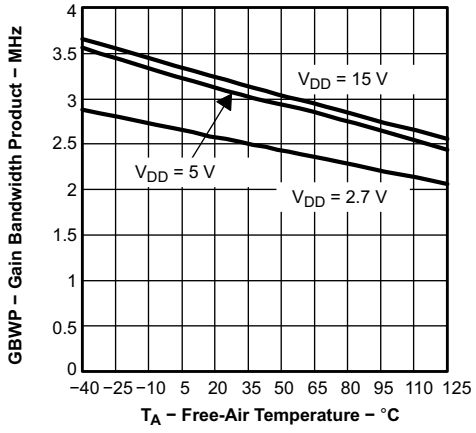


图 **16.** 增益带宽积与空气温度间的关系

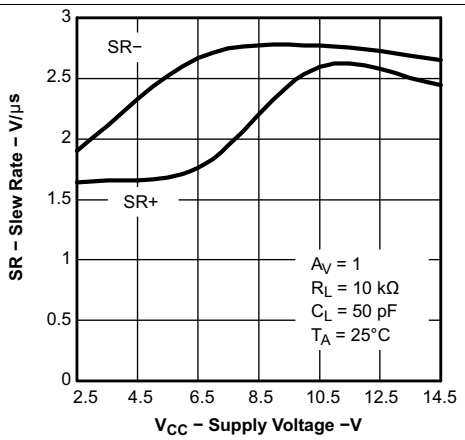


图 **17.** 压摆率与电源电压间的关系

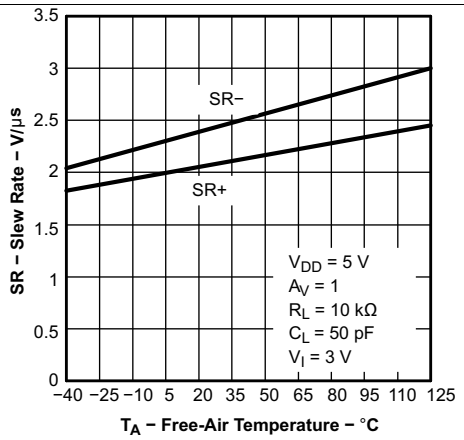


图 **18.** 压摆率与自然通风温度间的关系

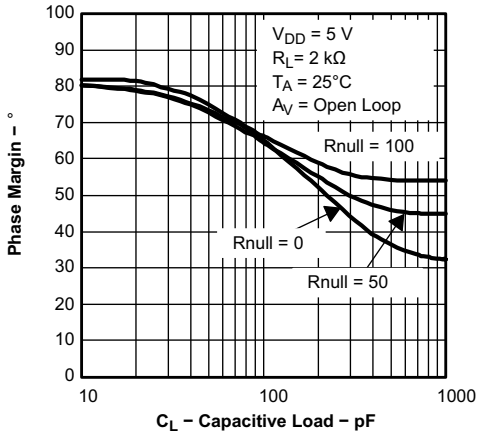


图 **19.** 相位裕度与容性负载间的关系

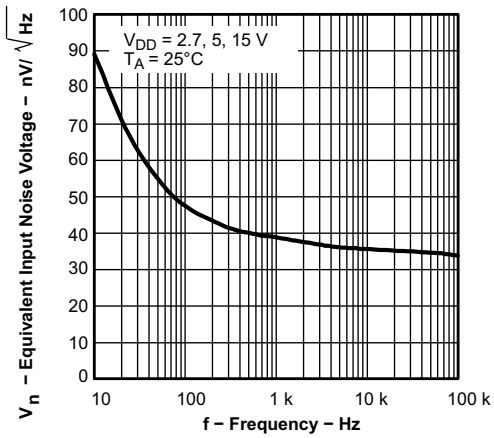


图 **20.** 等效输入噪声电压与频率间的关系

版权 © 2004–2016, Texas Instruments Incorporated

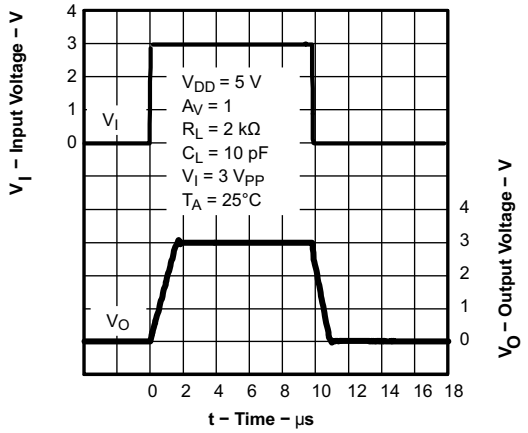


图 **21.** 电压跟随器大信号脉冲响应

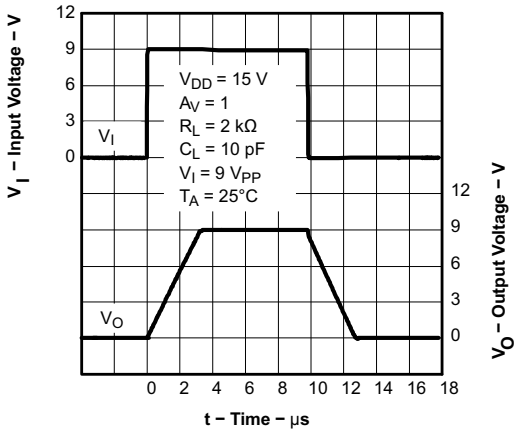


图 **22.** 电压跟随器大信号脉冲响应

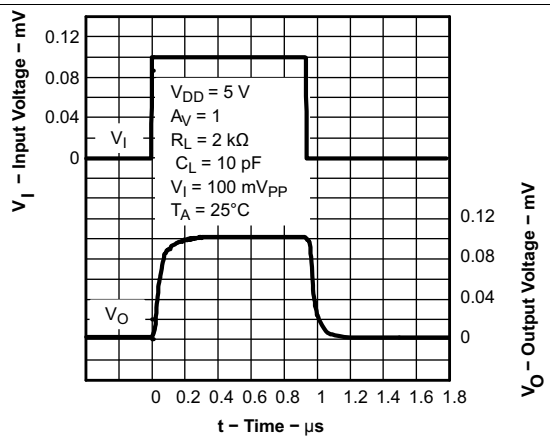


图 **23.** 电压跟随器小信号脉冲响应

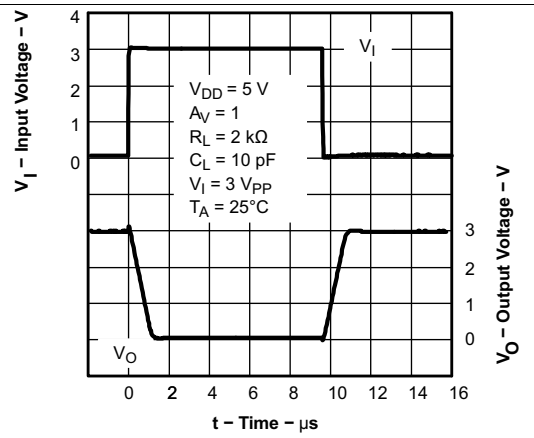


图 **24.** 反相大信号脉冲响应

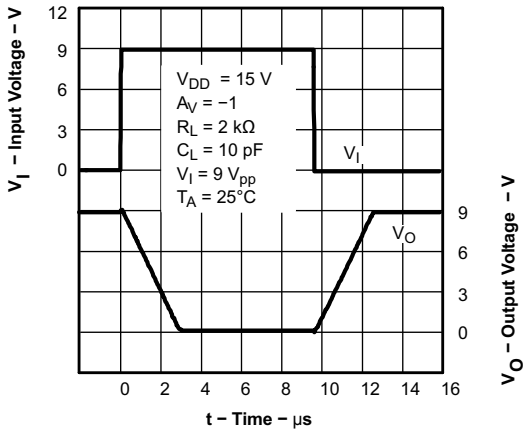


图 **25.** 反相大信号脉冲响应

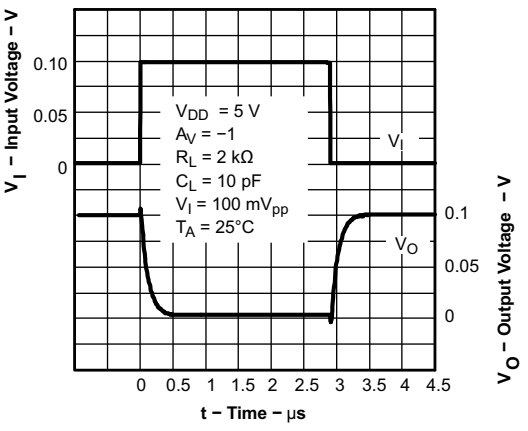


图 **26.** 反相小信号响应

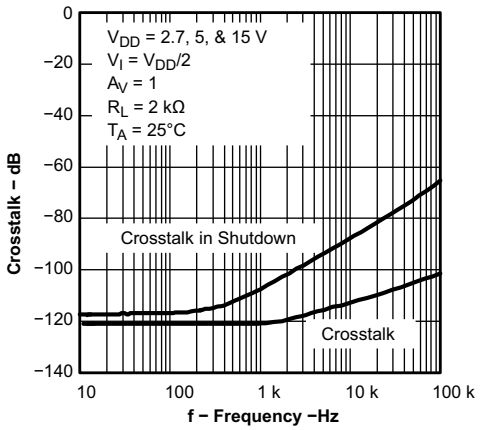


图 **27.** 串扰与频率间的关系

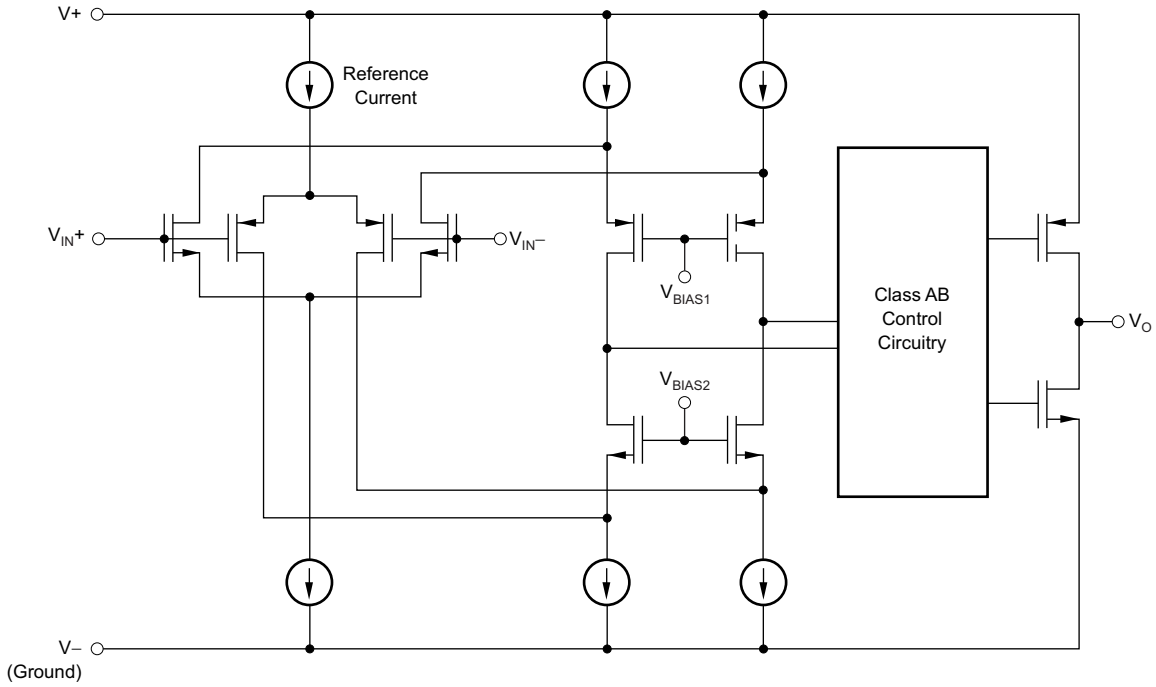
版权 © 2004–2016, Texas Instruments Incorporated

8 详细 说明

8.1 概要

TLV237x-Q1 单电源运算放大器可提供 3MHz 带宽的轨至轨输入和输出功能。TLV237x-Q1 的电流消耗仅为 550μA，是便携式电池供电应用的 理想之选。最大建议电源电压为 16V，由此，器件可以由多种可充电电池供电运行（支持 ±8V 低至 ±1.35V 的电源）。TLV237x-Q1 具有提供高输入阻抗的轨至轨输入，非常适合信号调节 应用。

8.2 功能框图



Copyright © 2016, Texas Instruments Incorporated

8.3 特性 描述

8.3.1 轨至轨输入运行

TLV237x-Q1 输入级同时包含 NMOS 和 PMOS 两个差分晶体管对，它们配合工作可实现轨至轨输入运行。两个晶体管对之间的过渡点可参见图 1 至图 3 中对应的 2.7V、5V 和 15V 电源。当共模输入电压接近正电源轨时，输入对从 PMOS 差分对转换为 NMOS 差分对。此转换发生在距离正轨大约 1.35V 时，由于 NMOS 和 PMOS 对之间不同的器件特性会导致失调电压变化。如果器件的输入信号大到足以在两轨之间摆动，此转换可降低共模抑制比 (CMRR)。如果输入信号没有在两轨之间摆动，建议对只有一个输入对处于活动状态的区域内的信号施加偏压。此区域对应于图 1 至图 3 中失调电压在输入范围内略微变化且可以实现 CMRR 的区域。在采用 2.7V 电源电压供电时，影响最为显著。

特性 描述 (接下页)

8.3.2 驱动容性负载

当以这种方式配置放大器时，直接位于输出端的容性负载会降低器件的相位裕度，从而导致高频率振铃或振荡。所以，对于大于
10pF 的容性负载，TI 建议将一个电阻器 (R_{NULL}) 与放大器输出端串联，如图 28 所示。20Ω 的最低值适用于大多数 应用。

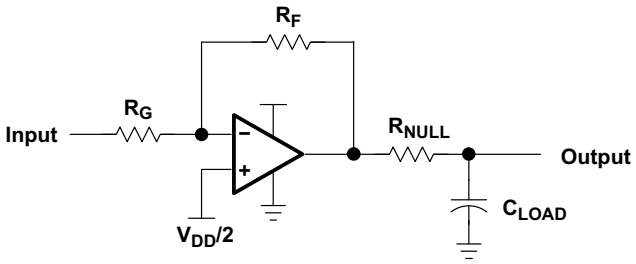
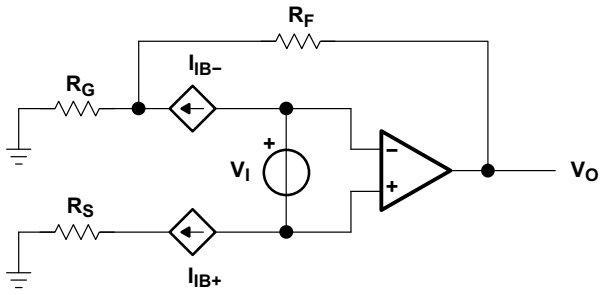


图 **28.** 驱动容性负载

8.3.3 失调电压

输出失调电压 (V_{OO}) 是输入失调电压 (V_{IO}) 和两个输入偏置电流 (I_{IB}) 乘以相应增益的总和。使用图 29 中的原理图和公式可计算输出失调电压。



$$V_{OO} = V_{IO}\left(1+\left(\frac{R_F}{R_G}\right)\right) \pm I_{IB+}\, R_S\left(1+\left(\frac{R_F}{R_G}\right)\right) \pm I_{IB-}\, R_F$$

图 **29.** 输出失调电压模型

8.3.4 一般配置

当接收到低电平信号时，通常需要限制即将进入系统的信号的带宽。实现这种限制的最简单方法是在放大器的同相端子上放置一个 RC 滤波器（请参阅图 30）。

版权 © 2004–2016, Texas Instruments Incorporated

特性 描述 (接下页)

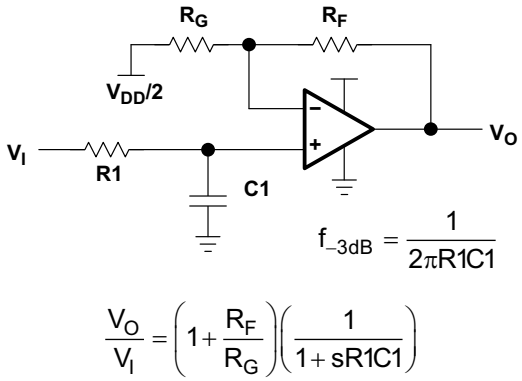


图 **30.** 单极点低通滤波器

如果需要更多的衰减，则需要多极点滤波器。可使用 Sallen-Key 滤波器完成此项工作（请参阅图 31）。为了获得最佳结果，放大器的带宽必须是滤波器频率带宽的 8 到 10 倍。不遵守此项要求可能导致放大器出现相移。

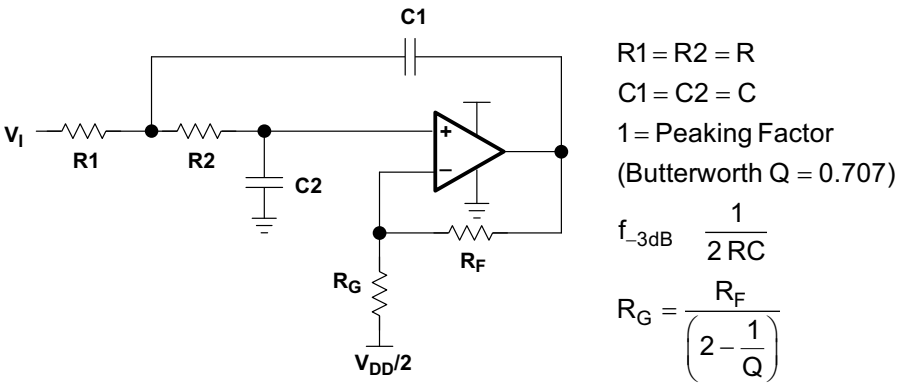


图 **31.** 二极低通 **Sallen-Key** 滤波器

8.4 器件功能模式

TLV2371-Q1、TLV2372-Q1 和 TLV2374-Q1 具有单功能模式。只要电源电压在 2.7V (±1.35V) 至 16V (±8V) 之间，这些器件便可正常工作。

9 应用和实现

注

以下应用部分中的 信息 不属于 TI 组件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

9.1 应用信息

在进行低功耗设计时，应仔细选择系统组件。为了最大限度地降低电流消耗，应选择大阻值电阻器。任何电阻器都会在电路中产生杂散电容以及运算放大器的输入电容。这些寄生 RC 组合可能会影响整个系统的稳定性。使用反馈电容器可确保稳定性并限制过冲或增益峰化。

9.2 典型 应用

9.2.1 高侧电流监控器

TLV237x-Q1 具有轨至轨输入和输出功能，电源电压高达 16V。因此，该器件适用于车身控制模型 应用 和更具体的高侧电流检测。输入共模出现在电源电压上，因此对差分增益没有限制。

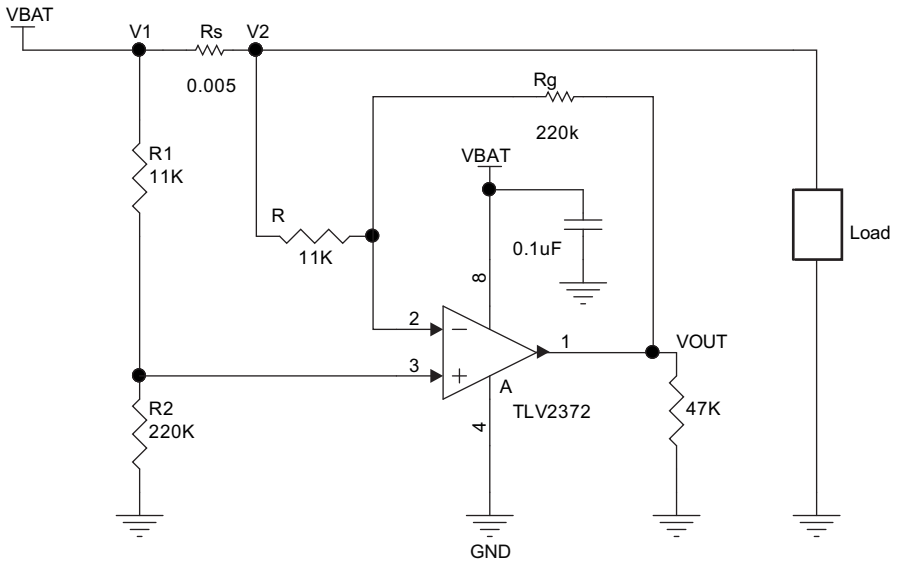


图 **32.** 应用电路

9.2.1.1 设计要求

本设计示例使用表 2 中列出的参数作为输入参数。

表 **2.** 设计参数

参数		值
V_{BAT}	电池电压	12V
R_{SENSE}		0.05Ω
I_{LOAD}	负载电流	0A 至 10A
运算放大器		设置为差分配置， 增益 = 20

版权 © 2004–2016, Texas Instruments Incorporated

9.2.1.2 详细设计流程

此电路旨在用于测量采用 12V 电池的汽车车身控制模块或类似 应用中的高侧电流。利用一个外部电阻器网络，将运算放大器设置为差分配置。

9.2.1.2.1 差分放大器公式

通过公式 1 和公式 2 可计算得出 V_{OUT}。

$$V_{OUT} = \frac{R_g}{R}\left(\frac{\frac{R}{R_g}-\frac{R_1}{R_2}}{1+\frac{R_1}{R_2}}\times\frac{V1+V2}{2}+\frac{1+\frac{1}{2}\left(\frac{R}{R_g}+\frac{R_1}{R_2}\right)}{1+\frac{R_1}{R_2}}(V1-V2)\right) \quad (1)$$

$$V_{OUT} = \frac{R_g}{R}\left(\frac{\frac{R}{R_g}-\frac{R_1}{R_2}}{1+\frac{R_1}{R_2}}\times\frac{V1+V2}{2}+\frac{1+\frac{1}{2}\left(\frac{R}{R_g}+\frac{R_1}{R_2}\right)}{1+\frac{R_1}{R_2}}\times R_S\times I_{load}\right) \quad (2)$$

在理想情况下，R1 = R、R2 = R_g，V_{OUT} 可通过公式 3 计算得出。

$$V_{OUT} = \frac{R_g}{R}\times R_S\times I_{load} \quad (3)$$

但是，由于电阻器具有容差，因此这两组值无法完全相等。

$R_1 = R \pm \Delta R_1$ (4)

$R_2 = R \pm \Delta R_2$ (5)

$R = R \pm \Delta R$ (6)

$R_g = R_g \pm \Delta R$ (7)

$$Tol = \frac{\Delta R}{R} \quad (8)$$

通过推导公式并忽略二阶，这些容差累积起来就导致了最差情况。公式 9 中显示了这一情况。

$$V = \pm\left(4\ Tol\right)\frac{Rg}{R+Rg}\times Vbat + \left(1 \pm 2\ Tol\left(1+\frac{2R}{R+Rg}\right)\right)\frac{Rg}{R}\times Rs\times I_{load}$$

其中

- 对于 1%，Tol = 0.01
- 对于 0.1%，Tol = 0.001 (9)

如果这些电阻器的实际值与理想情况完全一致，则 Tol = 0 并且 Vout 可通过公式 10 计算得出。

$$Vout = \frac{Rg}{R}\times Rs\times I_{load} \quad (10)$$

最大误差来自公式 11 中的共模误差。

$$\left(4\ Tol\right)\frac{Rg}{R+Rg}\times Vbat \quad (11)$$

公式 12 中，增益为 20，Rg/R = 20 且 Tol = 1%。

共模误差 = ((4 × 0.01) / 1.05) × 12V = 0.457V (12)

当增益为 20 且 Tol = 0.1% 时，共模误差 = 45.7mV。

这些电阻器从 1% 精度的批次中选出。

- R1 和 R 为 11kΩ
- R2 和 Rg 为 220kΩ

理想增益 = 220/11 = 20

电阻器的测量值：

- R1 = 10.97kΩ
- R = 10.96kΩ
- R2 = 220.23kΩ
- Rg = 220.15kΩ

9.2.1.3 应用曲线

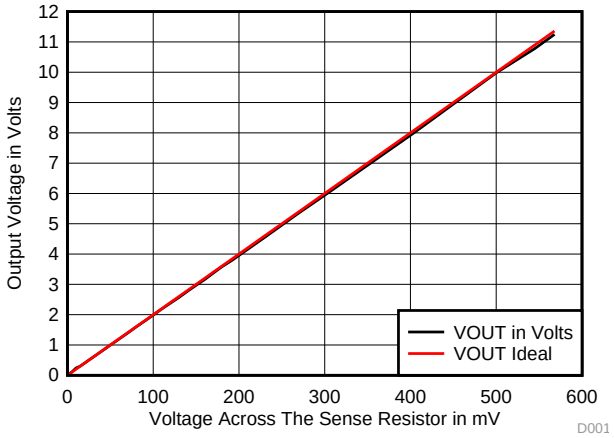


图 **33.** 高电流检测中输出电压与差分输入间的关系

9.2.2 反相放大器

运算放大器的典型应用是反相放大器（如 图 34 中所示）。反相放大器在输入端采用正电压，然后输出与输入端反相的信号，生成相同幅度的负电压。这种放大器还以相同方式使负输入电压在输出端变为正电压。此外，通过选择输入电阻器 R_I 和反馈电阻器 R_F，可以增加放大效果。

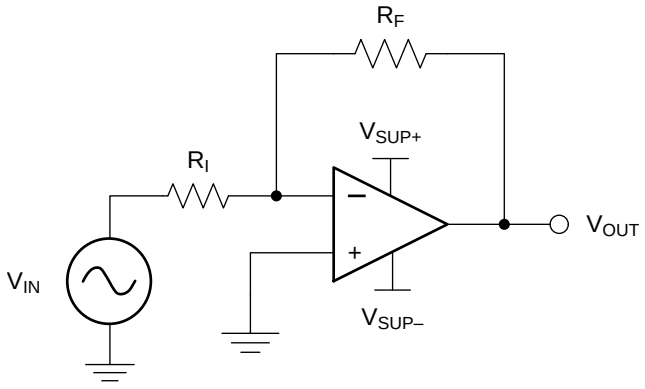


图 **34.** 放大器原理图

版权 © 2004–2016, Texas Instruments Incorporated

9.2.3 设计要求

选择的电源电压必须大于输入电压范围和期望输出范围。还必须考虑输入共模范围的限值 (V_{CM}) 以及相对于电源轨的输出电压摆幅 (V_O)。例如，此应用将 ±0.5V (1V) 的信号扩展到 ±1.8V (3.6V)。将电源设置在 ±2.5V 就足以适应此应用。

9.2.4 详细设计流程

使用公式 13 和公式 14 来确定反相放大器所需的增益。

$$A_V = \frac{V_{OUT}}{V_{IN}} \tag{13}$$

$$A_V = \frac{1.8}{-0.5} = -3.6 \tag{14}$$

确定所需增益后，选择 R_I 或 R_F 的值。由于放大器电路使用毫安级的电流，因此通用 应用 需要选择阻值为千欧姆级的电阻器。此毫安电流范围确保了该器件不会消耗过多电流。需要权衡的是，大电阻器（十万欧姆级别）消耗的电流最小，但产生的噪声最大。小电阻器（百欧姆级别）生成的噪声小，但消耗电流大。此示例使用的 R_I 为 10kΩ，这意味着对 R_F 使用的值为 36kΩ。这些值是通过公式 15 确定的。

$$A_V = -\frac{R_F}{R_I} \tag{15}$$

9.2.5 应用曲线

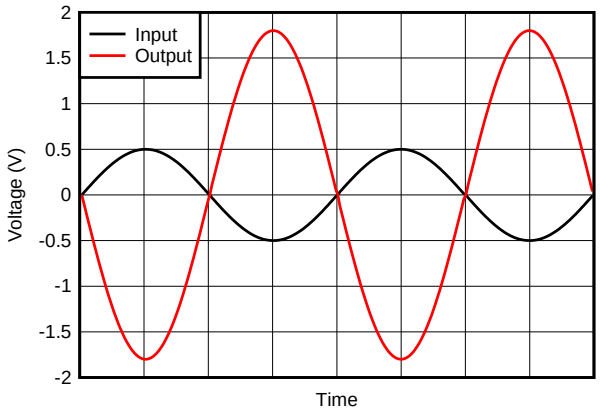


图 35. 反相放大器输入和输出

10 电源建议

TLV237x-Q1 系列的额定工作电压范围为 2.7V 至 15V（±1.35V 至 ±7.5V）；许多规格在 –40°C 至 125°C 的温度下适用。*典型特性* 中介绍了可能会随工作电压或温度的变化而显著变化的参数。

CAUTION

电源电压超过 16V 可能会对器件造成永久性损坏（请参阅*绝对最大额定值*）。

将 0.1µF 旁路电容器置于电源引脚附近，以减小从高噪声电源或高阻抗电源中耦合进来的误差。有关旁路电容器放置的更多详细信息，请参阅*布局*。

版权 © 2004–2016, Texas Instruments Incorporated

11 布局

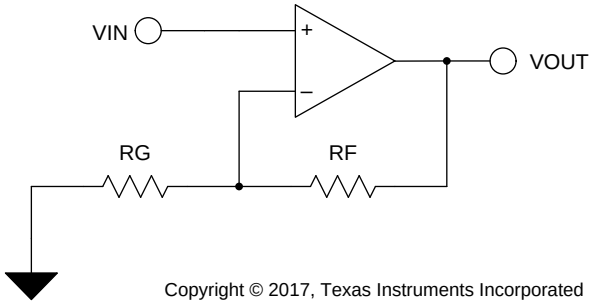
11.1 布局指南

为了达到 TLV237x-Q1 的高性能水平，应遵循正确的印刷电路板设计方法。下面给出了一组通用的准则：

- 接地平面：TI 强烈建议在电路板上使用接地平面来为所有组件提供低电感接地连接。但是，在放大器输入和输出区域，可移除接地平面以便最大限度减小杂散电容。
- 适当的电源去耦：在每个电源端子上使用一个 6.8μF 钽电容器与一个 0.1μF 陶瓷电容器并联。根据应用情况，也许可以在若干放大器之间共享钽电容器，但每个放大器的电源端子上必须始终使用 0.1μF 陶瓷电容器。另外，0.1μF 电容器必须尽可能靠近电源端子。随着此距离增大，连接迹线中的电感会使电容器效率降低。设计人员必须力求使器件电源端子和陶瓷电容器之间的距离小于 0.1 英寸。
- 插座：可以使用但不建议使用。插座引脚中的额外引线电感常常会导致稳定性问题。将表面贴装式封装直接焊接到印刷电路板上是最好的实施方式。
- 短迹线或紧凑型部件安置：当杂散串联电感最小时，即可实现最佳的高性能。为了实现这一点，电路布局必须尽可能紧凑，从而尽量减少所有迹线的长度。应特别注意放大器的反相输入端。它的长度必须尽可能短。这有助于最大限度减小放大器输入端的杂散电容。
- 表面贴装无源组件：出于多种原因，建议对高性能放大器电路使用表面贴装无源组件。首先，由于表面贴装组件的引线电感极低，因此大大减少了杂散串联电感问题。其次，表面贴装组件的小尺寸特性自然而然会使布局更紧凑，进而最小化杂散电感和电容。如果使用引线式组件，TI 建议尽可能缩短引线长度。

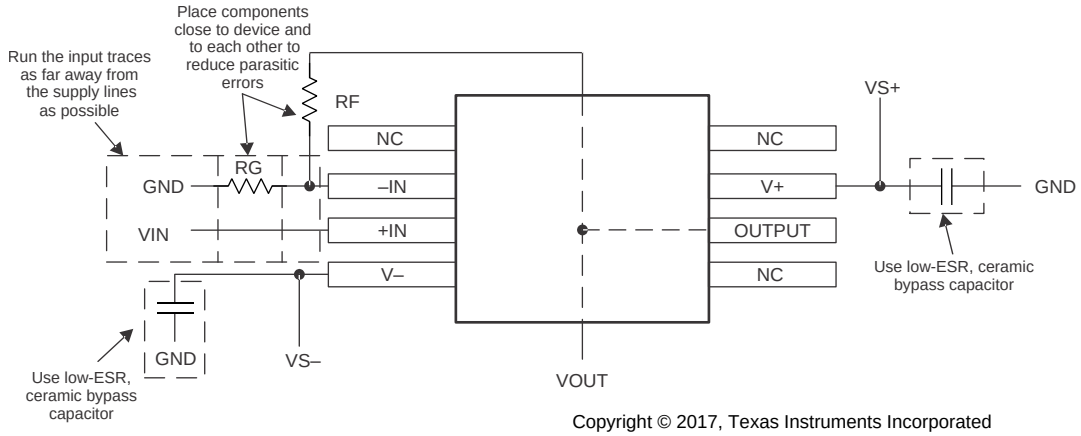
版权 © 2004–2016, Texas Instruments Incorporated

11.2 布局示例



Copyright © 2017, Texas Instruments Incorporated

图 **36.** 原理图表示



Copyright © 2017, Texas Instruments Incorporated

图 **37.** 同相配置的运算放大器电路板布局

11.3 功率耗散注意事项

对于给定 $R_{\theta JA}$，通过公式 16 计算最大功率损耗。

$$P_D = \left(\frac{T_{MAX} - T_A}{\theta_{JA}} \right) \quad (16)$$

其中

- P_D = TLV237x-Q1 IC 的最大功率损耗（瓦特）
- T_{MAX} = 最大结温绝对值 (150°C)
- T_A = 自然通风环境温度 (°C)
- $R_{\theta JA} = R_{\theta JC} + R_{\theta CA}$
  - $R_{\theta JC}$ = 结至外壳的热系数
  - $R_{\theta CA}$ = 外壳至环境空气的热系数 (°C/W)

12 器件和文档支持

12.1 相关链接

下表列出了快速访问链接。类别包括技术文档、支持与社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 3. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具与软件	支持和社区
TLV2371-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV2372-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV2374-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

12.2 接收文档更新通知

要接收文档更新通知，请导航至 TI.com.cn 上的器件产品文件夹。单击右上角的*通知我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.3 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。*** **此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。**

设计支持 ***TI 参考设计支持*** **可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。**

12.4 商标

E2E is a trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

12.5 静电放电警告



这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

12.6 术语表

SLYZ022 — *TI 术语表*。

这份术语表列出并解释术语、缩写和定义。

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

版权 © 2004–2016, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TLV2371QDBVRQ1	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	371Q	Samples
TLV2371QDRG4Q1	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2371Q1	Samples
TLV2372QDRG4Q1	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2372Q1	Samples
TLV2372QDRQ1	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2372Q1	Samples
TLV2374QDRG4Q1	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2374Q1	Samples
TLV2374QDRQ1	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2374Q1	Samples
TLV2374QPWRG4Q1	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2374Q1	Samples
TLV2374QPWRQ1	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2374Q1	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

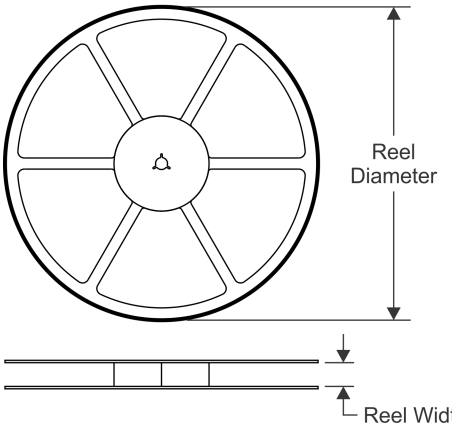
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

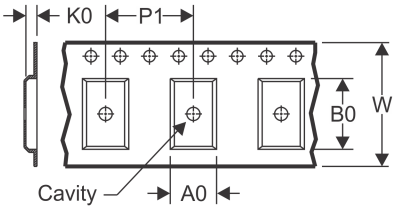
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

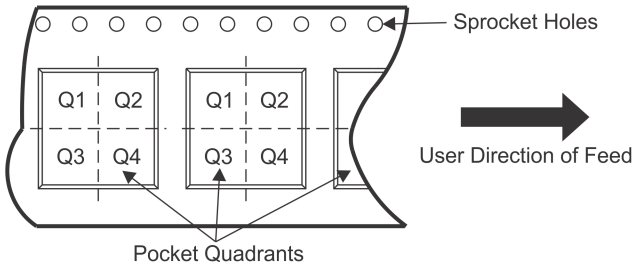


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

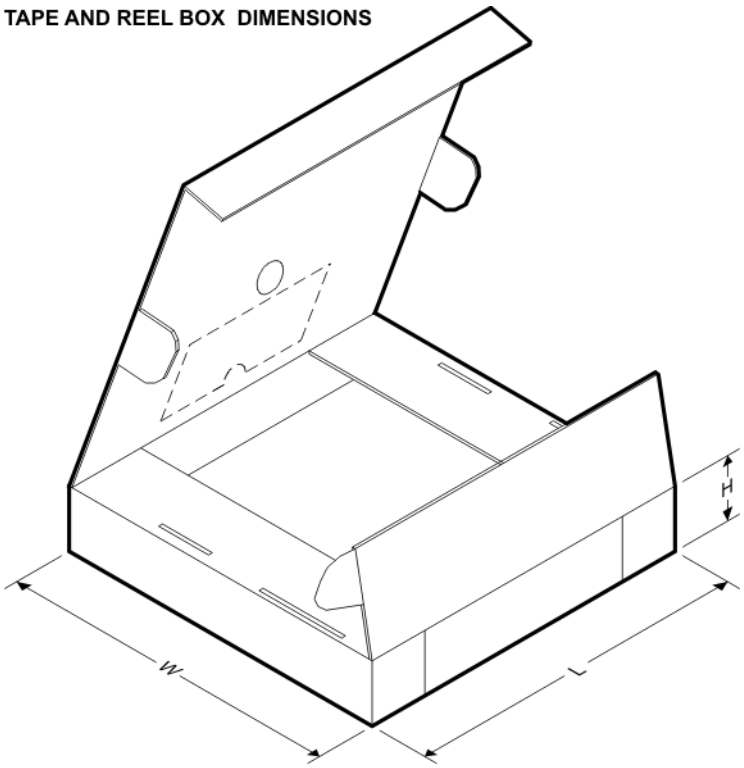
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV2371QDBVRQ1	SOT-23	DBV	5	3000	180.0	9.0	3.15	3.2	1.4	4.0	8.0	Q3
TLV2374QPWRG4Q1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV2374QPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

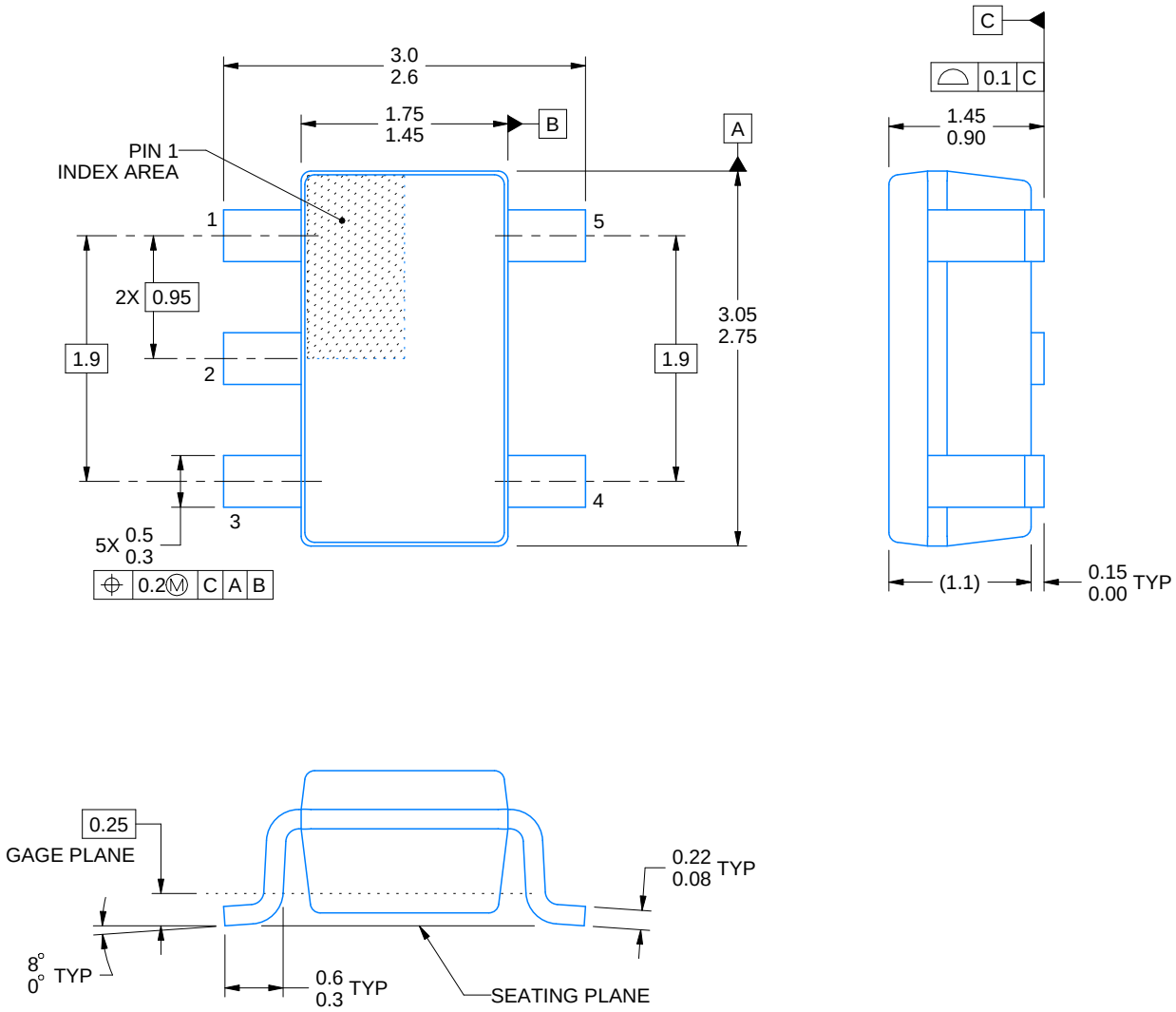
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV2371QDBVRQ1	SOT-23	DBV	5	3000	182.0	182.0	20.0
TLV2374QPWRG4Q1	TSSOP	PW	14	2000	367.0	367.0	35.0
TLV2374QPWRQ1	TSSOP	PW	14	2000	853.0	449.0	35.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

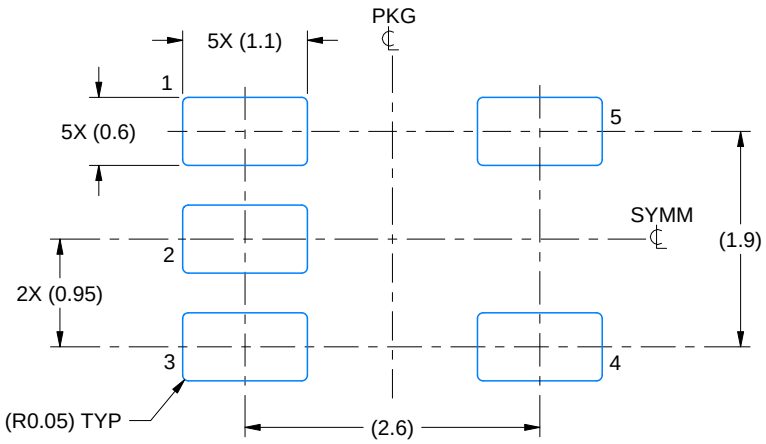
SMALL OUTLINE TRANSISTOR



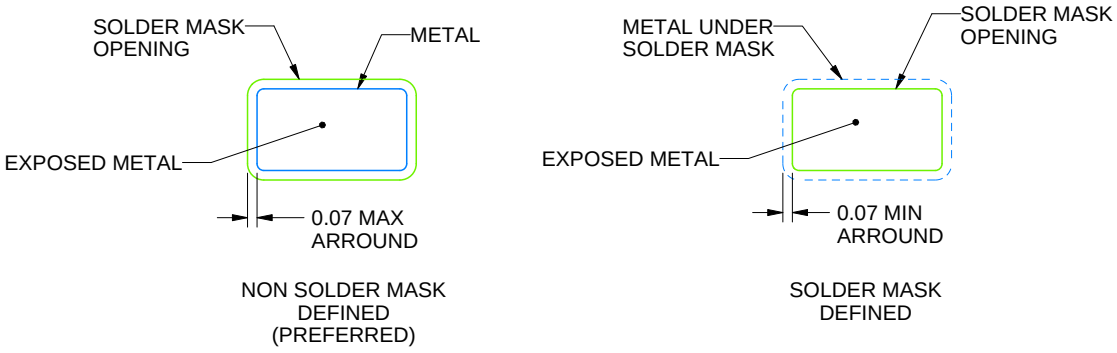
4214839/F 06/2021

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

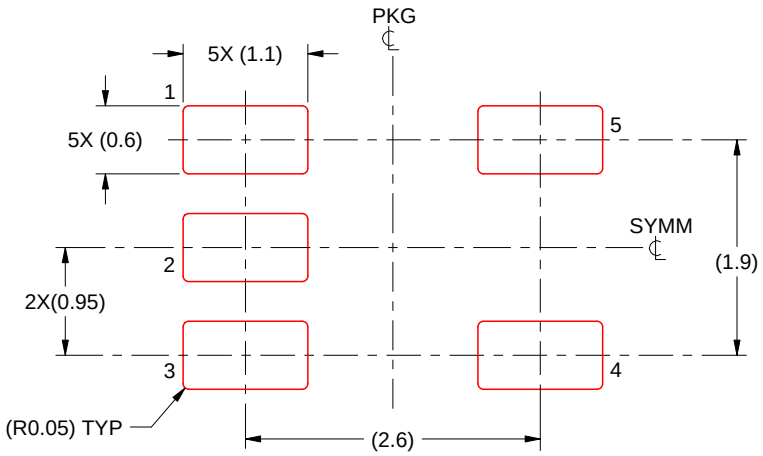


SOLDER MASK DETAILS

4214839/F 06/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



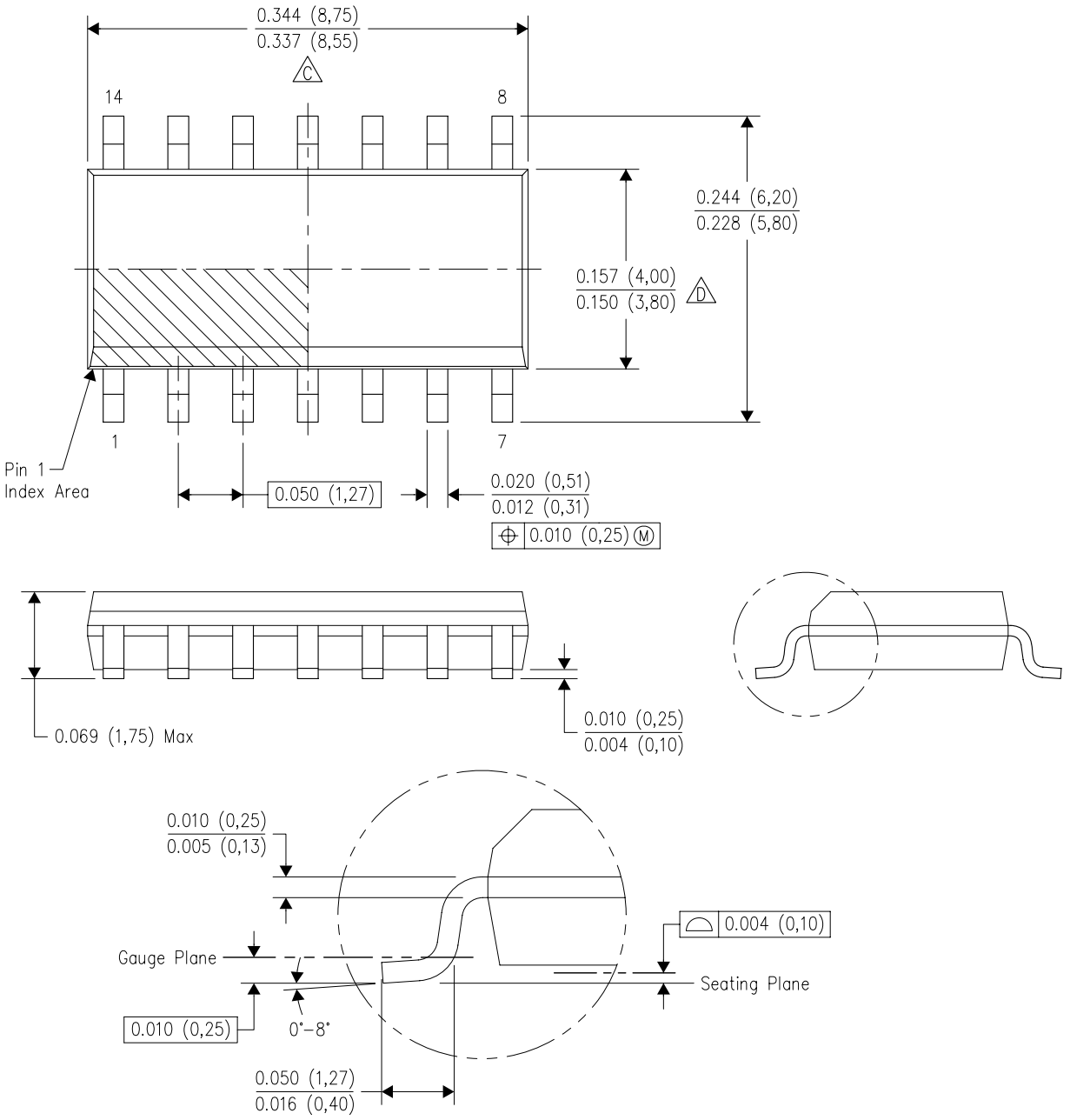
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/F 06/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

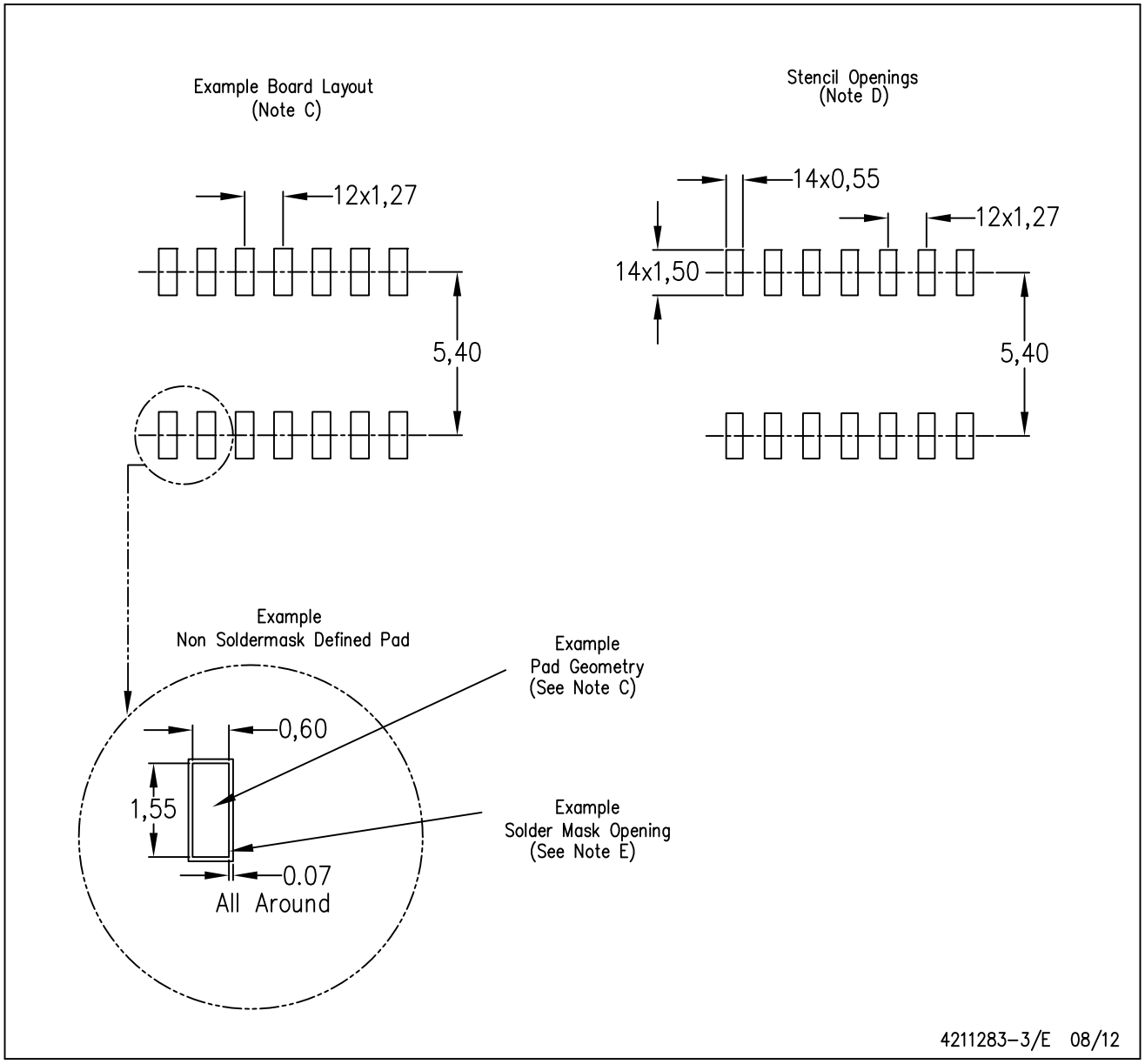
D (R–PDSO–G14) PLASTIC SMALL OUTLINE



4040047–5/M 06/11

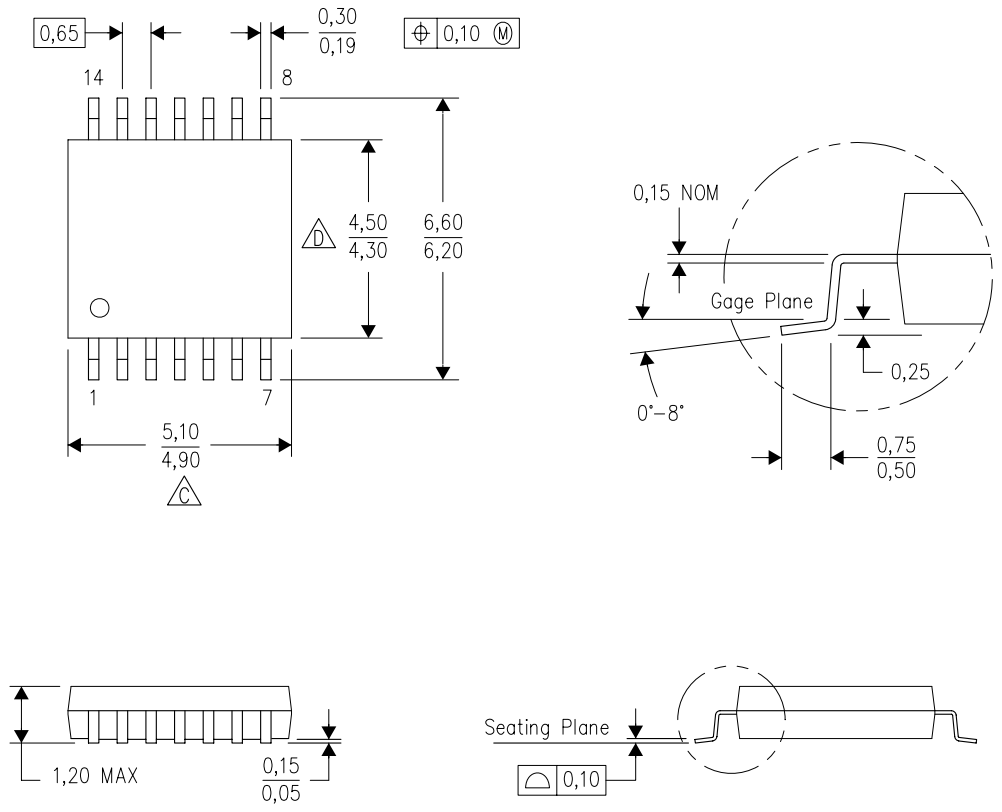
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AB.

D (R–PDSO–G14) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

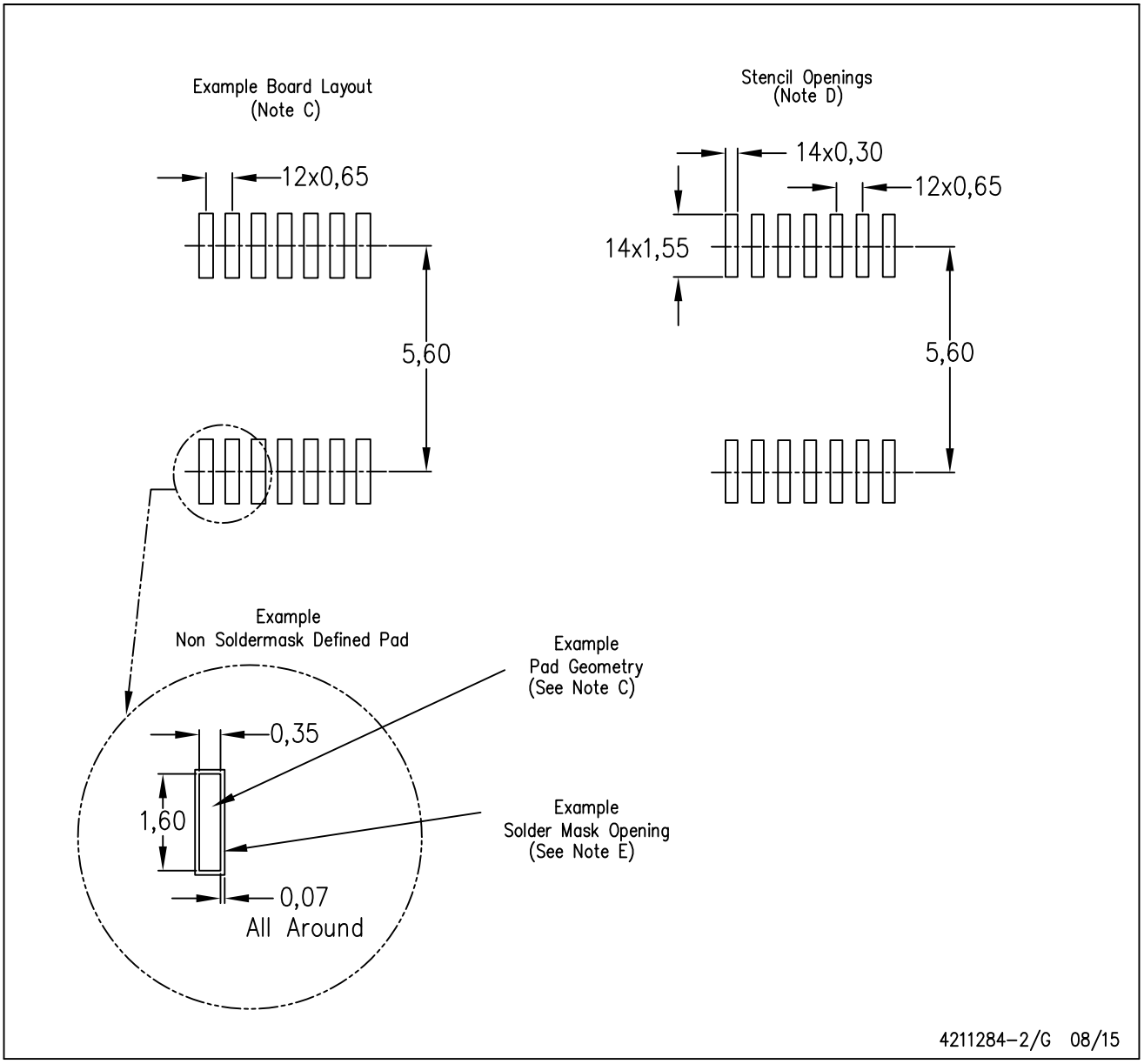
PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



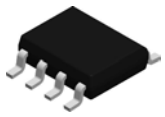
4040064–3/G 02/11

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
E. Falls within JEDEC MO–153

PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

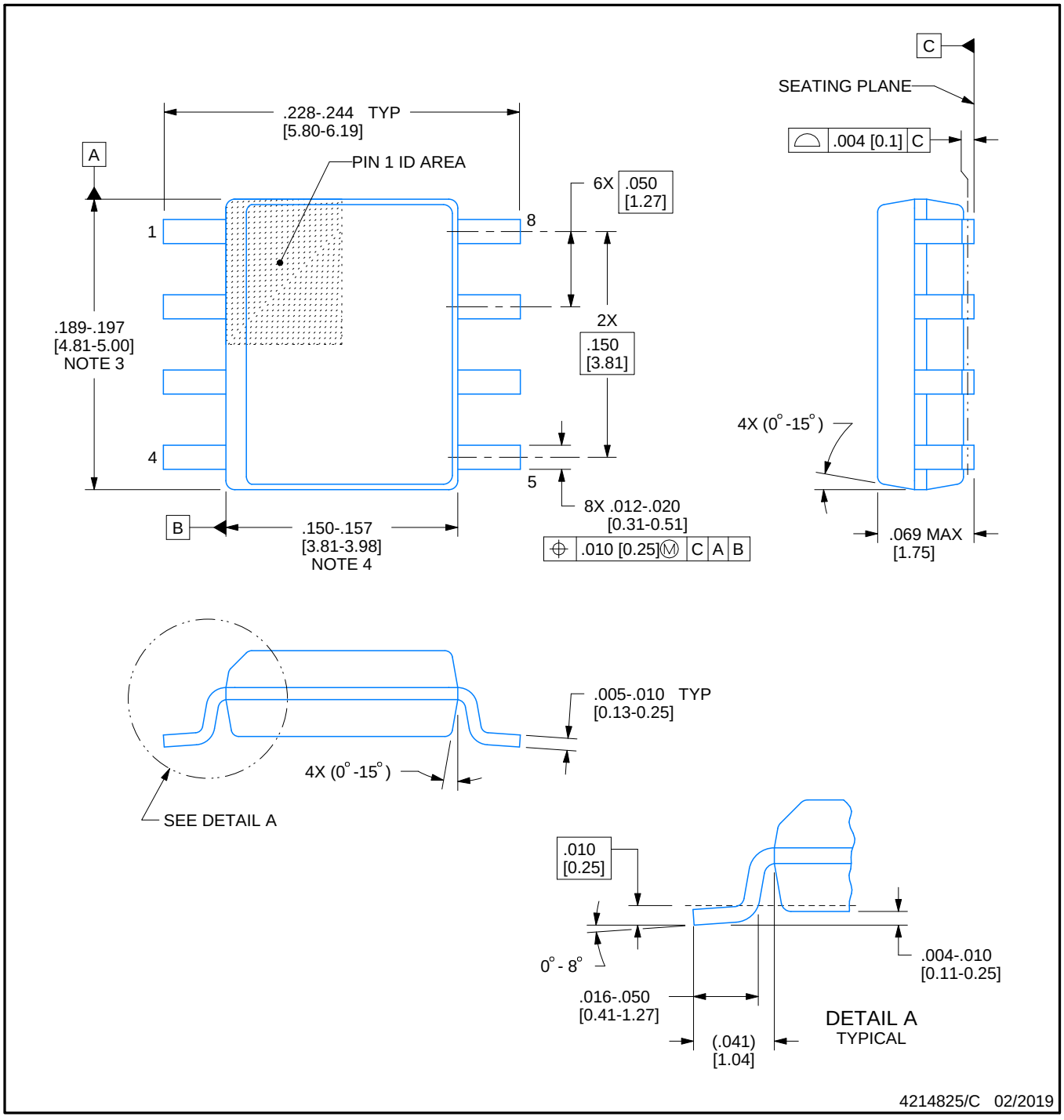


PACKAGE OUTLINE

D0008A

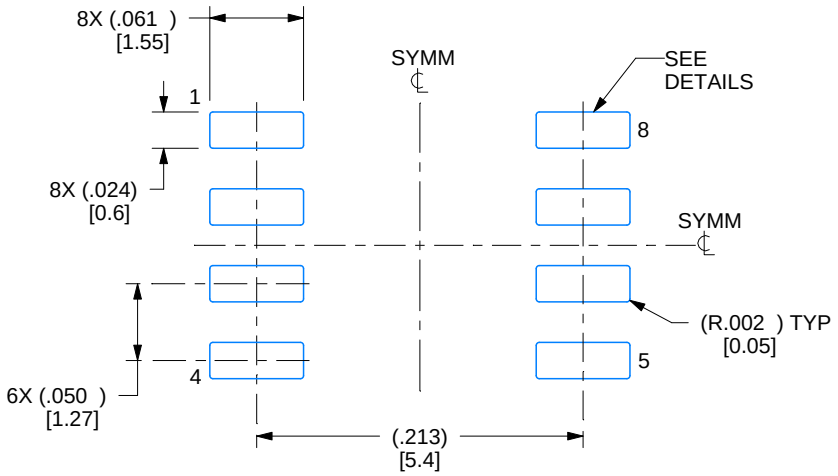
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

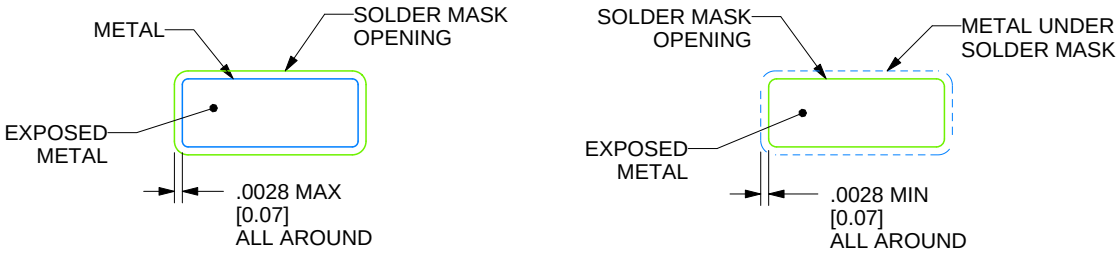


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

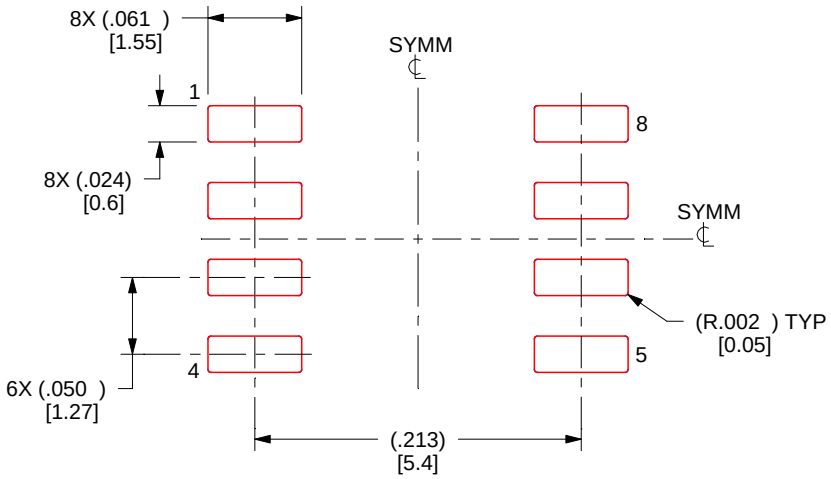
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2022，德州仪器 (TI) 公司