具有集成电流感应和智能调优技术的 DRV8424E/P 和 DRV8425E/P 双路 H 桥电机驱动器

1 特性

- 双路 H 桥电机驱动器
  - 一个双极步进电机
  - 两个双向有刷直流电机
  - 四个单向有刷直流电机
- 集成式电流感应功能
  - 无需使用感应电阻器
  - ±5% 满量程电流精度
- 工作电源电压范围为 4.5V 至 33V
- 多种控制接口选项
  - 相位/使能 (PH/EN)
  - PWM (IN/IN)
- 智能调优、快速和混合衰减选项
- 低 $R_{DS(ON)}$：
  - DRV8424E/P：24V、25°C 时为 330mΩ HS + LS
  - DRV8425E/P：24V、25°C 时为 550mΩ HS + LS
- 每个电桥都具有高电流容量
  - DRV8424E/P：4A 峰值（有刷）、2.5A 满量程（步进）
  - DRV8425E/P：3.2A 峰值（有刷）、2A 满量程（步进）

  与以下器件引脚对引脚兼容：

  - DRV8426E/P：33V，900mΩ HS + LS
  - DRV8436E/P：48V，900mΩ HS + LS
  - DRV8434E/P：48V，330mΩ HS + LS
- 可配置关断时间 PWM 斩波
  - 7、16、24 或 32μs
- 支持 1.8V、3.3V、5.0V 逻辑输入
- 低电流睡眠模式 (2μA)
- 适用于低电磁干扰 (EMI) 的展频时钟
- 有刷直流应用中的浪涌电流限制
- 小型封装和外形尺寸
- 保护特性
  - VM 欠压锁定 (UVLO)
  - 电荷泵欠压 (CPUV)
  - 过流保护 (OCP)
  - 热关断 (OTSD)
  - 故障调节输出 (nFAULT)

2 应用

- 打印机和扫描仪
- ATM 和工厂自动化
- 办公和家庭自动化
- 工厂自动化和机器人
- 主要家用电器
- 扫地机器人、类人机器人和玩具机器人

3 说明

DRV8424E/P 和 DRV8425E/P 器件是适用于各种工业应用的双路 H 桥电机驱动器。这些器件可用于驱动两个直流电机或一个双极步进电机。

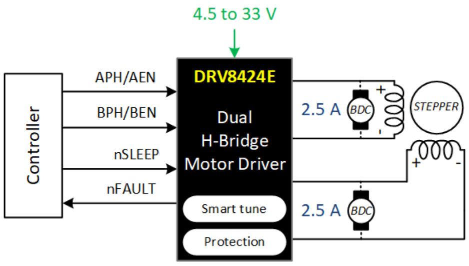
驱动器的输出级包括配置为两个全 H 桥的 N 沟道功率 MOSFET、电荷泵稳压器、电流感应和调节以及保护电路。集成电流感应采用内部电流镜架构，无需大型电源分流电阻器，可以节省电路板面积并降低系统成本。提供的低功耗睡眠模式可通过关断大部分内部电路实现超低静态电流消耗。提供的内部保护特性包括：电源欠压锁定 (UVLO)、电荷泵欠压 (CPUV)、输出过流 (OCP) 和器件过热 (TSD) 保护。

DRV8424E/P 能够驱动满量程电流高达 2.5A 的步进电机或峰值电流达 4A 的有刷电机；DRV8425E/P 能够驱动满量程电流高达 2A 的步进电机或峰值电流高达 3.2A 的有刷电机（取决于设计）。

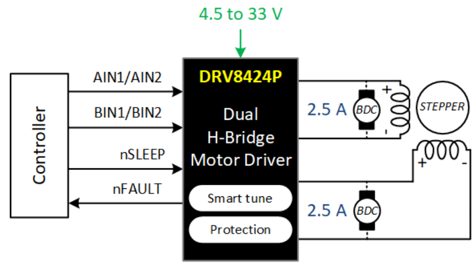
表 3-1. 器件信息 (1)

器件型号	封装	封装尺寸（标称值）
DRV8424EPWPR	HTSSOP (28)	9.7mm x 4.4mm
DRV8424ERGER	VQFN (24)	4.0mm x 4.0mm
DRV8425EPWPR	HTSSOP (28)	9.7mm x 4.4mm
DRV8425ERGER	VQFN (24)	4.0mm x 4.0mm
DRV8424PPWPR	HTSSOP (28)	9.7mm x 4.4mm
DRV8424PRGER	VQFN (24)	4.0mm x 4.0mm
DRV8425PPWPR	HTSSOP (28)	9.7mm x 4.4mm
DRV8425PRGER	VQFN (24)	4.0mm x 4.0mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



DRV8424E 简化原理图



DRV8424P 简化原理图

内容

1 特性.......... 1
2 应用.......... 1
3 说明.......... 1
4 修订历史记录.......... 3
5 引脚配置和功能.......... 4
引脚功能.......... 5
6 规格.......... 7
6.1 绝对最大额定值.......... 7
6.2 ESD 等级.......... 7
6.3 建议运行条件.......... 8
6.4 热性能信息.......... 8
6.5 电气特性.......... 9
7 详细说明.......... 11
7.1 概述.......... 11
7.2 功能方框图.......... 12
7.3 特性说明.......... 14
7.4 器件功能模式.......... 25
8 应用和实施.......... 27
8.1 应用信息.......... 27
8.2 典型应用.......... 27
8.3 备选应用.......... 32
9 电源相关建议.......... 34
9.1 大容量电容.......... 34
10 布局.......... 35
10.1 布局指南.......... 35
10.2 布局示例.......... 35
11 器件和文档支持.......... 37
11.1 文档支持.......... 37
11.2 相关链接.......... 37
11.3 接收文档更新通知.......... 37
11.4 社区资源.......... 37
11.5 商标.......... 37
12 机械、封装和可订购信息.......... 38

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

5 引脚配置和功能

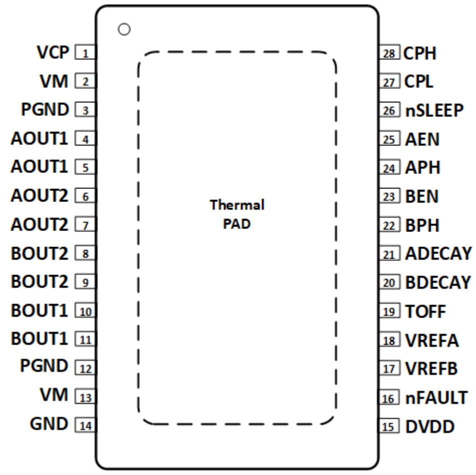


图 5-1. PWP PowerPAD™ 封装 28 引脚 HTSSOP 俯视图（DRV8424E 和 DRV8425E）

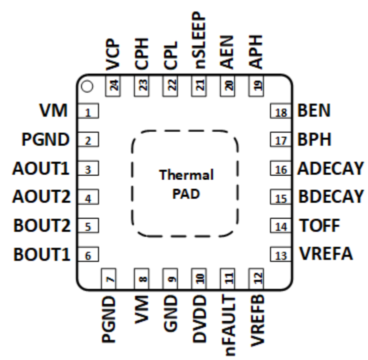


图 5-2. RGE 封装 24 引脚 VQFN（带有外露散热焊盘） 俯视图（DRV8424E 和 DRV8425E）

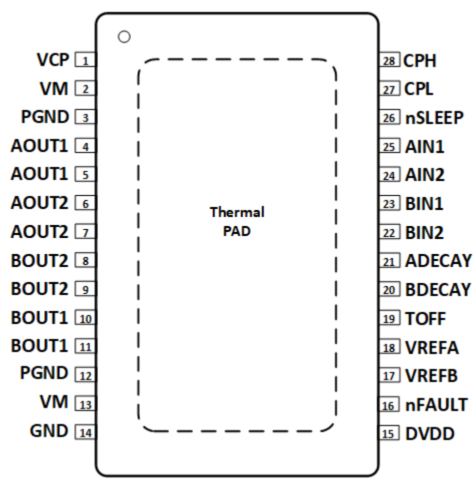


图 5-3. PWP PowerPAD™ 封装 28 引脚 HTSSOP 俯视图（DRV8424P 和 DRV8425P）

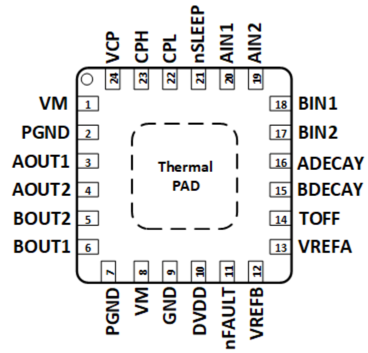


图 5-4. RGE 封装 24 引脚 VQFN（带有外露散热焊盘） 俯视图（DRV8424P 和 DRV8425P）

引脚功能

引脚					类型	说明
名称	PWP		RGE			
	DRV8424E、DRV8425E	DRV8424P、DRV8425P	DRV8424E、DRV8425E	DRV8424P、DRV8425P		
ADECAY	21	21	16	16	I	衰减模式设置引脚。设置电桥 A 的衰减模式；四电平引脚。
AEN	25	—	20	—	I	电桥 A 使能输入。逻辑高电平启用电桥 A；逻辑低电平禁用电桥，高阻态。
AIN1	—	25	—	20	I	电桥 A PWM 输入。逻辑控制 H 桥 A 的状态；内部下拉。
AIN2	—	24	—	19	I	电桥 B PWM 输入。逻辑控制 H 桥 B 的状态；内部下拉。
AOUT1	4、5	4、5	3	3	O	绕组 A 输出。连接到电机绕组。
AOUT2	6、7	6、7	4	4	O	绕组 A 输出。连接到电机绕组。
APH	24	—	19	—	I	电桥 A 相位输入。逻辑高电平驱动电流从 AOUT1 流向 AOUT2。
VREFA	18	18	13	13	I	基准电压输入。该引脚上的电压将设置 H 桥 A 中的满量程斩波电流。
BDECAY	20	20	15	15	I	衰减模式设置引脚。设置电桥 B 的衰减模式；四电平引脚。
BEN	23	—	18	—	I	电桥 B 使能输入。逻辑高电平启用电桥 B；逻辑低电平禁用电桥，高阻态。
BIN1	—	23	—	18	I	电桥 B PWM 输入。逻辑控制 H 桥 B 的状态；内部下拉。
BIN2	—	22	—	17	I	电桥 B PWM 输入。逻辑控制 H 桥 B 的状态；内部下拉。
BOUT1	10、11	10、11	6	6	O	绕组 B 输出。连接到电机绕组。
BOUT2	8, 9	8, 9	5	5	O	绕组 B 输出。连接到电机绕组。
BPH	22	—	17	—	I	电桥 B 相位输入。逻辑高电平驱动电流从 BOUT1 流向 BOUT2。
VREFB	17	17	12	12	I	基准电压输入。该引脚上的电压将设置 H 桥 B 中的满量程斩波电流。
CPH	28	28	23	23	PWR	电荷泵开关节点。在 CPH 到 CPL 之间连接一个额定电压为 VM 的 X7R 0.022 µF 陶瓷电容器。
CPL	27	27	22	22		
GND	14	14	9	9	PWR	器件接地。连接到系统接地。

引脚					类型	说明
名称	PWP		RGE			
	DRV8424E、DRV8425E	DRV8424P、DRV8425P	DRV8424E、DRV8425E	DRV8424P、DRV8425P		
TOFF	19	19	14	14	I	设置电流斩波期间的衰减模式关断时间；四电平引脚。还将设置智能调优纹波控制模式中的纹波电流。
DVDD	15	15	10	10	PWR	逻辑电源电压。通过电容为 0.47μF 至 1μF、额定电压为 6.3V 或 10V 的 X7R 陶瓷电容器连接至 GND。
VCP	1	1	24	24	O	电荷泵输出。通过一个 X7R 0.22μF 16V 陶瓷电容器连接至 VM。
VM	2、13	2、13	1、8	1、8	PWR	电源。连接到电机电源电压，并通过两个 0.01μF 陶瓷电容器（每个引脚一个）和一个额定电压为 VM 的大容量电容器旁路到 PGND。
PGND	3、12	3、12	2、7	2、7	PWR	电源接地。连接到系统接地。
nFAULT	16	16	11	11	O	故障指示。故障状态下拉低逻辑低电平；开漏输出需要外部上拉电阻。
nSLEEP	26	26	21	21	I	休眠模式输入。逻辑高电平用于启用器件；逻辑低电平用于进入低功耗休眠模式；内部下拉电阻。nSLEEP 低电平脉冲将清除故障。
PAD	-	-	-	-	-	散热焊盘。连接到系统接地。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内，且电压以 GND 为基准（除非另有说明）

	最小值	最大值	单位
电源电压 (VM)	–0.3	35	V
电荷泵电压（VCP、CPH）	–0.3	V_{VM} + 7	V
电荷泵负开关引脚 (CPL)	–0.3	V_{VM}	V
nSLEEP 引脚电压 (nSLEEP)	–0.3	V_{VM}	V
内部稳压器电压 (DVDD)	-0.3	5.75	V
控制引脚电压（APH、AEN、BPH、BEN、AIN1、AIN2、BIN1、BIN2、nFAULT、ADECAY、BDECAY、TOFF）	-0.3	5.75	V
开漏输出电流 (nFAULT)	0	10	mA
基准输入引脚电压（VREFA、VREFB）	-0.3	5.75	V
连续相节点引脚电压（AOUT1、AOUT2、BOUT1、BOUT2）	–1	V_{VM} + 1	V
瞬态 100ns 相节点引脚电压（AOUT1、AOUT2、BOUT1、BOUT2）	–3	V_{VM} + 3	V
峰值驱动电流（AOUT1、AOUT2、BOUT1、BOUT2）	受内部限制		A
工作环境温度，T_A	-40	125	°C
运行结温，T_J	-40	150	°C
贮存温度，T_{stg}	-65	150	°C

应力超出*绝对最大额定值* 下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

6.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001		±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101	PWP 转角引脚（1、14、15 和 28）	±750	
			其他引脚	±500	

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_{VM}	可确保正常（直流）运行的电源电压范围	4.5	33	V
V_I	逻辑电平输入电压	0	5.5	V
V_{REF}	基准均方根电压范围（VREFA、VREFB）（DRV8424E、DRV8424P）	0.05	3.3	V
V_{REF}	基准均方根电压范围（VREFA、VREFB）（DRV8425E、DRV8425P）	0.05	2.64	V
f_{PWM}	施加的 PWM 信号（APH、AEN、BPH、BEN、AIN1、AIN2、BIN1、BIN2）	0	100	kHz
I_{FS}	电机满量程电流 (xOUTx)（DRV8424E、DRV8424P）	0	2.5	A
I_{FS}	电机满量程电流 (xOUTx)（DRV8425E、DRV8425P）	0	2	A
I_{rms}	电机均方根电流 (xOUTx)（DRV8424E、DRV8424P）	0	1.8	A
I_{rms}	电机均方根电流 (xOUTx)（DRV8425E、DRV8425P）	0	1.4	A
T_A	工作环境温度	-40	125	°C
T_J	工作结温	-40	150	°C

6.4 热性能信息

热指标[(1)]		PWP (HTSSOP)	RGE (VQFN)	单位
		28 引脚	24 引脚	
$R_{\theta JA}$	结至环境热阻	31.0	40.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	25.2	31.8	°C/W
$R_{\theta JB}$	结至电路板热阻	10.8	17.7	°C/W
ψ_{JT}	结至顶部特征参数	0.4	0.6	°C/W
ψ_{JB}	结至电路板特征参数	10.7	17.7	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	3.3	4.7	°C/W

(1) 有关新旧热指标的更多信息，请参阅*《半导体和 IC 封装热指标》* 应用报告。

6.5 电气特性

典型值都是在 T_A = 25°C 且 V_{VM} = 24V 条件下的值。除非另有说明，否则所有限值都是在推荐工作条件下的限值。

参数		测试条件	最小值	典型值	最大值	单位
电源电压（VM、DVDD）						
I_{VM}	VM 工作电源电流	nSLEEP = 1，无电机负载		5	6.5	mA
I_{VMQ}	VM 休眠模式电源电流	nSLEEP = 0		2	4	μA
t_{SLEEP}	休眠时间	nSLEEP = 0 至休眠模式	120			μs
t_{RESET}	nSLEEP 复位脉冲	nSLEEP 低电平至清除故障	20		40	μs
t_{WAKE}	唤醒时间	nSLEEP = 1 至输出转换		0.8	1.2	ms
t_{ON}	开通时间	VM > UVLO 至输出转换		0.8	1.2	ms
V_{DVDD}	内部稳压器电压	无外部负载，6V < V_{VM} < 33V	4.75	5	5.25	V
		无外部负载，V_{VM} = 4.5V	4.2	4.35		V
电荷泵（VCP、CPH、CPL）						
V_{VCP}	VCP 工作电压	6V < V{25}VM{26} < 33V		V_{VM} + 5		V
$f_{(VCP)}$	电荷泵开关频率	V_{VM} > UVLO；nSLEEP = 1		360		kHz
逻辑电平输入（APH、AEN、BPH、BEN、AIN1、AIN2、BIN1、BIN2、nSLEEP）						
V_{IL}	输入逻辑低电平电压		0		0.6	V
V_{IH}	输入逻辑高电平电压		1.5		5.5	V
V_{HYS}	输入逻辑迟滞			150		mV
I_{IL}	输入逻辑低电平电流	V_{IN} = 0V	-1		1	μA
I_{IH}	输入逻辑高电平电流	V_{IN} = 5V			100	μA
t_{PD}	传播延迟	从 xPH、xEN、xINx 输入到电流改变		800		ns
四电平输入（ADECAY、BDECAY、TOFF）						
V_{I1}	输入逻辑低电平电压	连接至 GND	0		0.6	V
V_{I2}		330kΩ ± 5% 至 GND	1	1.25	1.4	V
V_{I3}	输入高阻抗电压	高阻抗（>500kΩ 至 GND）	1.8	2	2.2	V
V_{I4}	输入逻辑高电平电压	连接至 DVDD	2.7		5.5	V
I_O	输出上拉电流			10		μA
控制输出 (nFAULT)						
V_{OL}	输出逻辑低电平电压	I_O = 5mA			0.5	V
I_{OH}	输出逻辑高电平泄漏电流		-1		1	μA
电机驱动器输出（AOUT1、AOUT2、BOUT1、BOUT2）						
$R_{DS(ONH)}$	高侧 FET 导通电阻（DRV8424E、DRV8424P）	T_J = 25°C、I_O = -1A		165	200	mΩ
		T_J = 125°C、I_O = -1A		250	300	mΩ
		T_J = 150°C、I_O = -1A		280	350	mΩ
$R_{DS(ONL)}$	低侧 FET 导通电阻（DRV8424E、DRV8424	T_J = 25°C、I_O = 1A		165	200	mΩ
		T_J = 125°C、I_O = 1A		250	300	mΩ
		T_J = 150°C、I_O = 1A		280	350	mΩ
$R_{DS(ONH)}$	高侧 FET 导通电阻（DRV8425E、DRV8425P）	T_J = 25°C、I_O = -1A		275	330	mΩ
		T_J = 125°C、I_O = -1A		410	500	mΩ
		T_J = 150°C、I_O = -1A		460	580	mΩ
$R_{DS(ONL)}$	低侧 FET 导通电阻（DRV8425E、DRV8425P）	T_J = 25°C、I_O = 1A		275	330	mΩ
		T_J = 125°C、I_O = 1A		410	500	mΩ
		T_J = 150°C、I_O = 1A		460	580	mΩ

典型值都是在 T_A = 25°C 且 V_{VM} = 24V 条件下的值。除非另有说明，否则所有限值都是在推荐工作条件下的限值。

参数		测试条件	最小值	典型值	最大值	单位
t_{SR}	输出压摆率	VM = 24V，I_O = 1A，介于 10% 和 90% 之间		240		V/µs
PWM 电流控制（VREFA、VREFB）						
K_V	跨阻增益	VREF = 3.3V	1.254	1.32	1.386	V/A
I_{VREF}	VREF 泄漏电流	VREF = 3.3V			8.25	μA
t_{OFF}	PWM 关断时间	TOFF = 0		7		μs
		TOFF = 1		16		
		TOFF = Hi-Z		24		
		TOFF = 330kΩ 至 GND		32		
ΔI_{TRIP}	电流跳变精度	I_O = 2.5A，10% 至 20% 电流设置	–8		12	%
		I_O = 2.5A，20% 至 40% 电流设置	–7		7	
		I_O = 2.5A，40% 至 100% 电流设置	-5		5	
$I_{O,CH}$	AOUT 和 BOUT 电流匹配	I_O = 2.5A	-2.5		2.5	%
保护电路						
V_{UVLO}	VM UVLO 锁定	VM 下降，UVLO 下降	4.1	4.25	4.35	V
		VM 上升，UVLO 上升	4.2	4.35	4.45	
$V_{UVLO,HYS}$	欠压迟滞	上升至下降阈值		100		mV
V_{CPUV}	电荷泵欠压	VCP 下降		V_{VM} + 2		V
I_{OCP}	过流保护（DRV8424E、DRV8424P）	流经任何 FET 的电流	4			A
I_{OCP}	过流保护（DRV8425E、DRV8425P）	流经任何 FET 的电流	3.2			A
t_{OCP}	过流抗尖峰时间			1.8		μs
T_{OTSD}	热关断	内核温度 T_J	150	165	180	°C
T_{HYS_OTSD}	热关断迟滞	内核温度 T_J		20		°C

7 详细说明

7.1 概述

DRV8424E/P 和 DRV8425E/P 是用于双极步进电机或双路有刷直流电机的集成电机驱动器解决方案。这些器件集成了两个 N 沟道功率 MOSFET H 桥、集成电流感应和调节电路。DRV8424E/P 和 DRV8425E/P 可与 DRV8426E/P、DRV8436E/P 和 DRV8434E/P 实现引脚对引脚兼容。DRV8424E/P 和 DRV8425E/P 可以通过 4.5V 至 33V 的电源电压供电。DRV8424E/P 能够提供最高 4A 峰值或 2.5A 满量程的输出电流。DRV8425E/P 能够提供最高 3.2A 峰值或 2A 满量程的输出电流。实际的满量程和均方根电流取决于环境温度、电源电压和 PCB 热性能。

DRV8424E/P 和 DRV8425E/P 器件采用集成式电流感应架构，无需再使用两个外部功率感应电阻器，从而显著节省布板空间和 BOM 成本，并减少设计工作量和降低功耗。该架构使用电流镜方法和内部功率 MOSFET 进行电流感应，消除了感应电阻器中的功率损耗。通过 VREFA 和 VREFB 引脚处的电压来调节电流调节设定点。

借助简单的 PH/**E**N（DRV8424**E** 和 DRV8425**E**）或 **P**WM（DRV8424**P** 和 DRV8425**P**）接口，可轻松连接至控制器电路。

电流调节是高度可配置的，并可以在多种衰减模式下运行。可选择的衰减模式包括智能调优动态衰减、智能调优纹波控制、混合或快速衰减。可以将 PWM 关断时间 t_{OFF} 调节为 7、16、24 或 32 μs。

系统包括一个低功耗睡眠模式，以便在不驱动电机时省电。

7.2 功能方框图

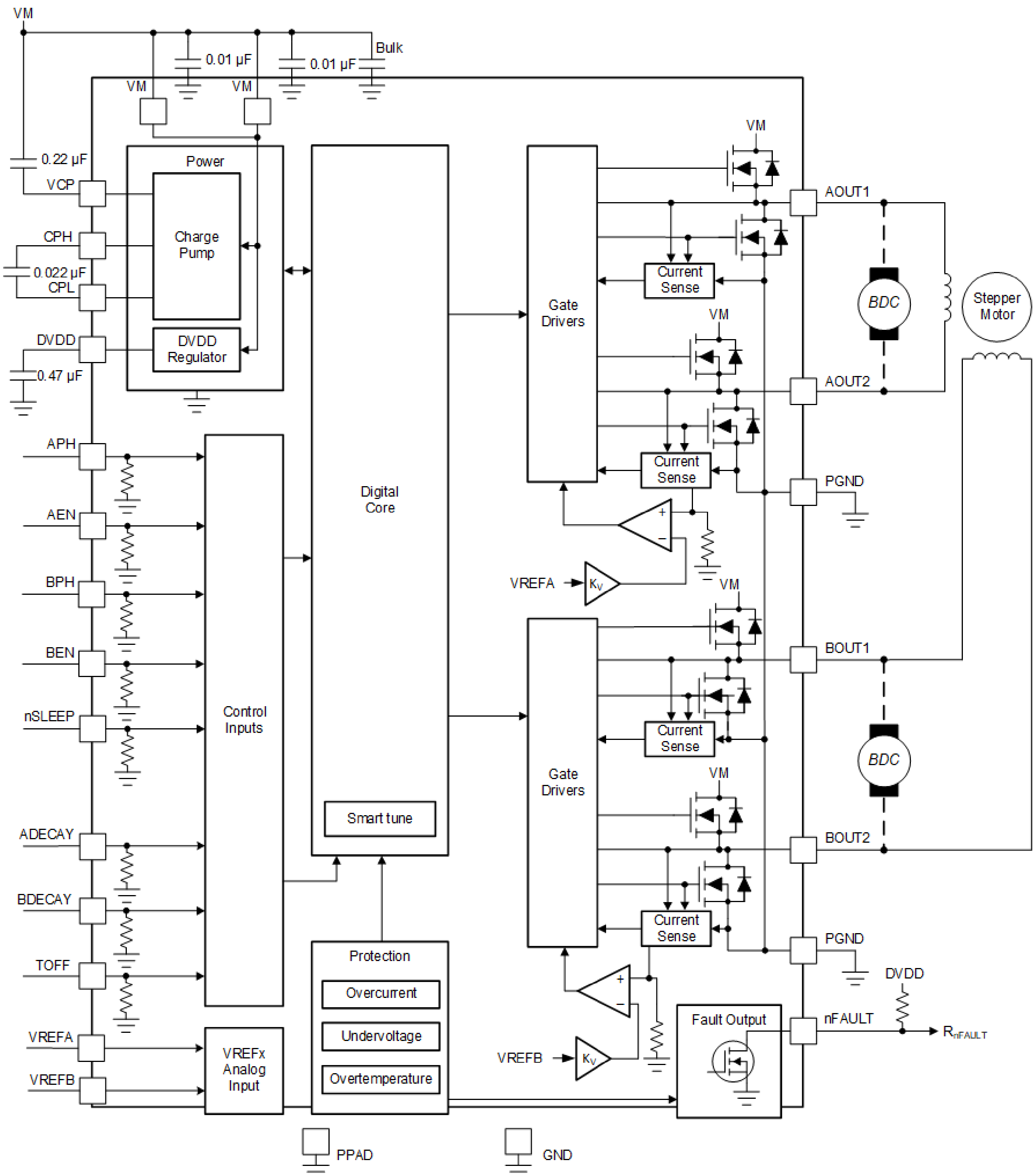


图 7-1. DRV8424E、DRV8425E 方框图

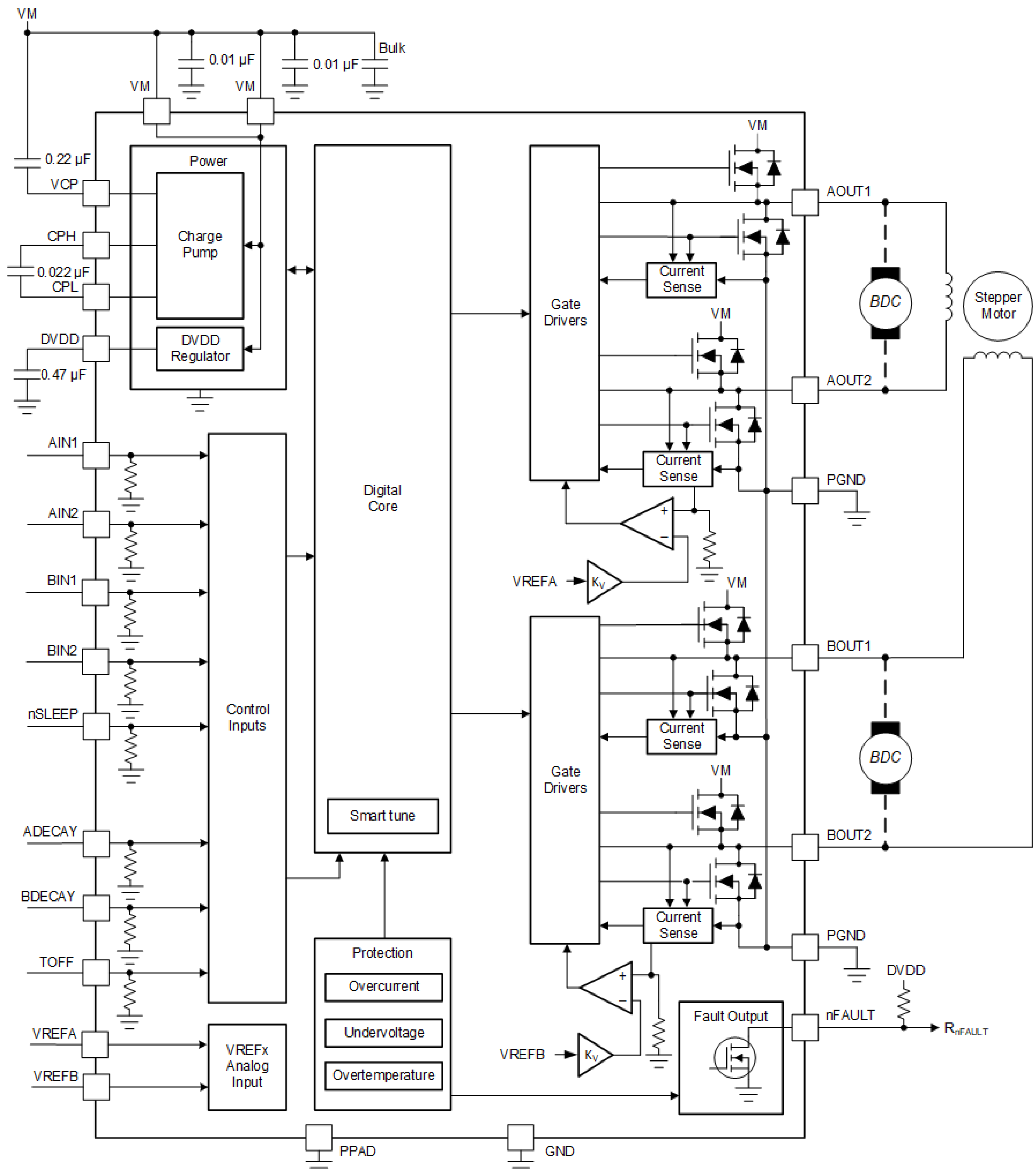


图 7-2. DRV8424P、DRV8425P 方框图

7.3 特性说明

下表显示了驱动器外部组件的建议值。

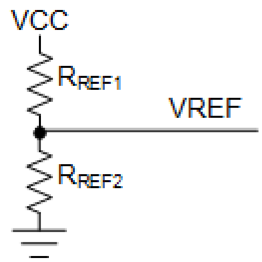


图 7-3. 连接到 **VREF** 引脚的电阻分压器

表 7-1. 外部组件

组件	引脚 1	引脚 2	推荐
C_{VM1}	VM	PGND	两个额定电压为 VM 的 X7R 0.01µF 陶瓷电容器
C_{VM2}	VM	PGND	额定电压为 VM 的大容量电容器
C_{VCP}	VCP	VM	X7R 0.22µF 16V 陶瓷电容器
C_{SW}	CPH	CPL	额定电压为 VM 的 X7R 0.022µF 陶瓷电容器
C_{DVDD}	DVDD	GND	额定电压为 6.3V 或 10V 的 X7R 0.47µF 至 1µF 陶瓷电容器
R_{nFAULT}	VCC	nFAULT	>4.7kΩ 电阻器
R_{REF1}	VREFx	VCC	用于限制斩波电流的电阻器。建议 R_{REF1} 和 R_{REF2} 的并联电阻值应低于 50kΩ。
R_{REF2}（可选）	VREFx	GND	

7.3.1 PWM 电机驱动器

这些器件包含两个全 H 桥的驱动器。{1}{3} 显示了该电路的方框图。GUID-12F0BB58-EA0F-4626-ACF8-DC71C4891B6D#GUID-12F0BB58-EA0F-4626-ACF8-DC71C4891B6D/SLVSD193232

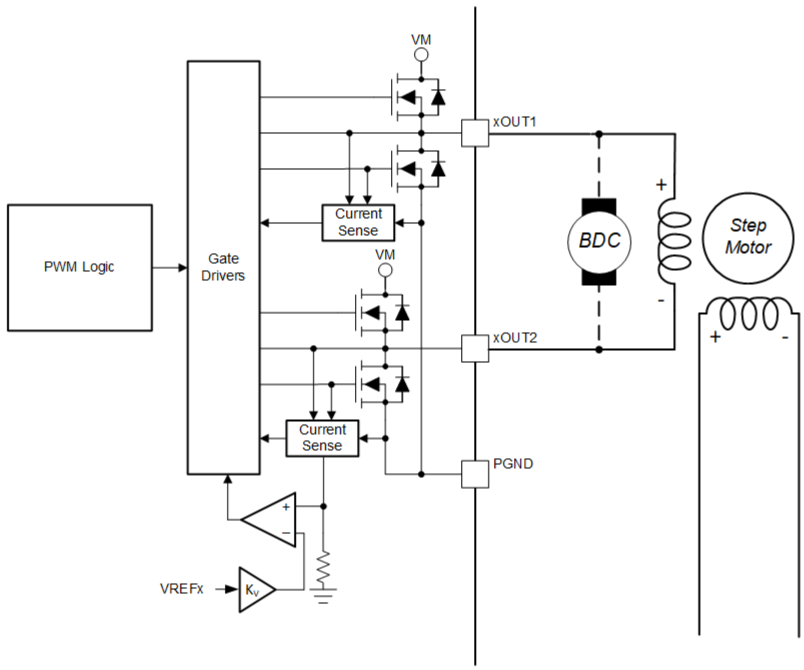


图 7-4. PWM 电机驱动器方框图

7.3.2 电桥控制

使用 PH/EN 接口来控制 DRV8424E 和 DRV8425E。表 7-2 提供了全 H 桥状态。请注意，该表未考虑 DRV8424E 和 DRV8425E 的内置电流控制。正电流是指从 xOUT1 流向 xOUT2 的电流。

表 7-2. DRV8424E 和 DRV8425E (PH/EN) 控制接口

nSLEEP	xEN	xPH	xOUT1	xOUT2	说明
0	X	X	Hi-Z	Hi-Z	睡眠模式；H 桥禁用，高阻态
1	0	X	Hi-Z	Hi-Z	H 桥禁用，高阻态
1	1	0	L	H	反向（xOUT2 到 xOUT1 的电流）
1	1	1	H	L	正向（xOUT1 到 xOUT2 的电流）

使用 PWM 接口来控制 DRV8424P 和 DRV8425P。表 7-3 提供了全 H 桥状态。请注意，该表未考虑 DRV8424P 和 DRV8425P 的内置电流控制。正电流是指从 xOUT1 流向 xOUT2 的电流。

表 7-3. DRV8424P 和 DRV8425P (PWM) 控制接口

nSLEEP	xIN1	xIN2	xOUT1	xOUT2	说明
0	X	X	Hi-Z	Hi-Z	睡眠模式；H 桥禁用，高阻态
1	0	0	L	L	制动；低侧慢速衰减
1	0	1	L	H	反向（xOUT2 到 xOUT1 的电流）
1	1	0	H	L	正向（xOUT1 到 xOUT2 的电流）
1	1	1	H	H	制动；高侧慢速衰减

7.3.3 电流调节

流经电机绕组的电流由一个可调节关断时间的 PWM 电流调节电路进行调节。当 H 桥被启用时，电流以一定的速率上升通过绕组，该速率取决于直流电压、绕组电感和存在的反电动势大小。当电流达到电流调节阈值时，电桥将进入衰减模式以减小电流，该模式的持续时间取决于 TOFF 引脚设置。关断时间结束后，将重新启用电桥，开始另一个 PWM 循环。

表 7-4. 关断时间设置

TOFF	关断时间 t_{OFF}
0	7μs
1	16μs
Hi-Z	24μs
330kΩ 至 GND	32μs

除智能调优纹波控制模式外，TOFF 引脚将配置所有衰减模式的 PWM 关断时间。该器件支持动态更改关断时间。在更改关断时间设置后，新的关断时间设置将在 10μs 的抗尖峰脉冲时间之后生效。

调节电流阈值由比较器设置，该比较器监测与低侧功率 MOSFET 并联的电流感应 MOSFET 两端的电压。为了生成该比较器的基准电压，VREFx 输入的衰减系数应为 Kv。

您可以使用以下公式计算电流调节阈值 (I_{REG})：I_{REG} (A) = V_{REFx} (V)/K_V (V/A) = V_{REFx} (V)/1.32 (V/A)。

7.3.4 衰减模式

在 PWM 电流斩波期间，将启用 H 桥以驱动电流流过电机绕组，直至达到 PWM 电流调节阈值。图 7-5 的项目 1 中显示了这种情况。

达到电流阈值后，H 桥可在两种不同的状态下运行：快速衰减或慢速衰减。在快速衰减模式下，一旦达到相应电流电平，H 桥便会进行状态逆转，使绕组电流反向流动。此时对侧的 FET 开启；由于绕组电流接近零，因此会禁用该电桥，以防止出现反向流动的电流。图 7-5 的项目 2 中显示了快速衰减模式。在慢速衰减模式下，通过启用该电桥的两个低侧 FET 来实现绕组电流的再循环。图 7-5 的项目 3 中显示了这种情况。

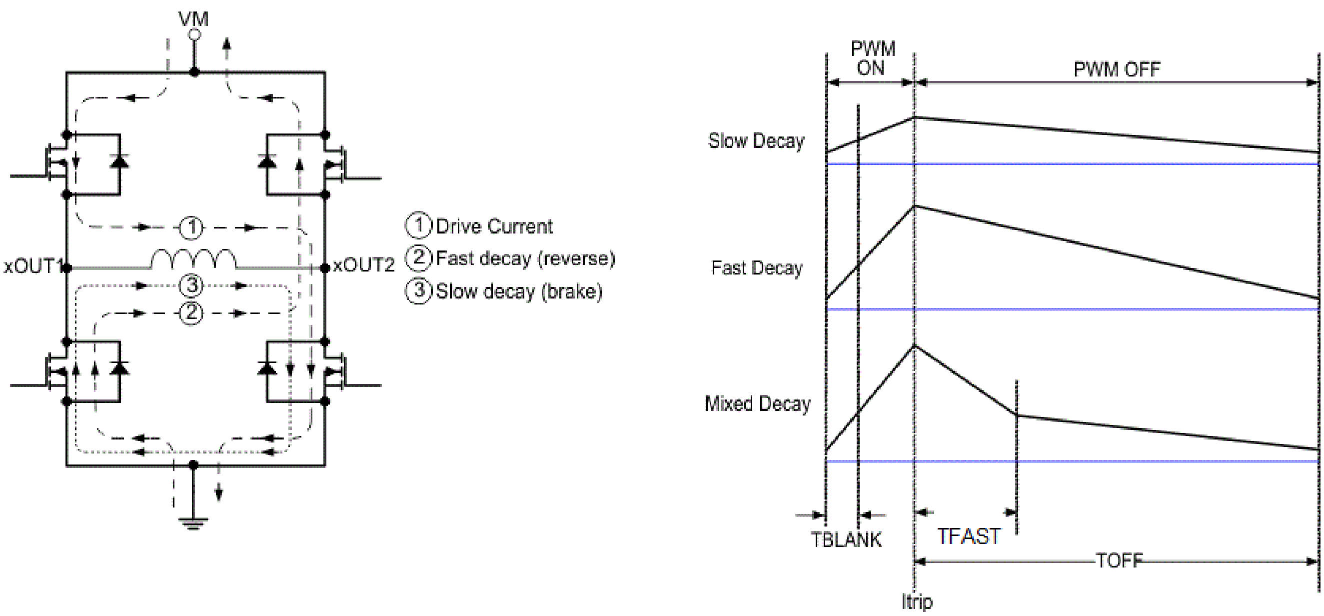


图 7-5. 衰减模式

通过设置四电平 ADECAY 和 BDECAY 引脚来选择衰减模式，如表 7-5 所示。

表 7-5. 衰减模式设置

xDECAY	衰减模式
0	智能调优动态衰减
1	智能调优纹波控制
Hi-Z	混合衰减快 30%
330k 至 GND	快速衰减

ADECAY 引脚设置 H 桥 A 的衰减模式（AOUT1、AOUT2），BDECAY 引脚设置 H 桥 B 的衰减模式（BOUT1、BOUT2）。

7.3.4.1 混合衰减

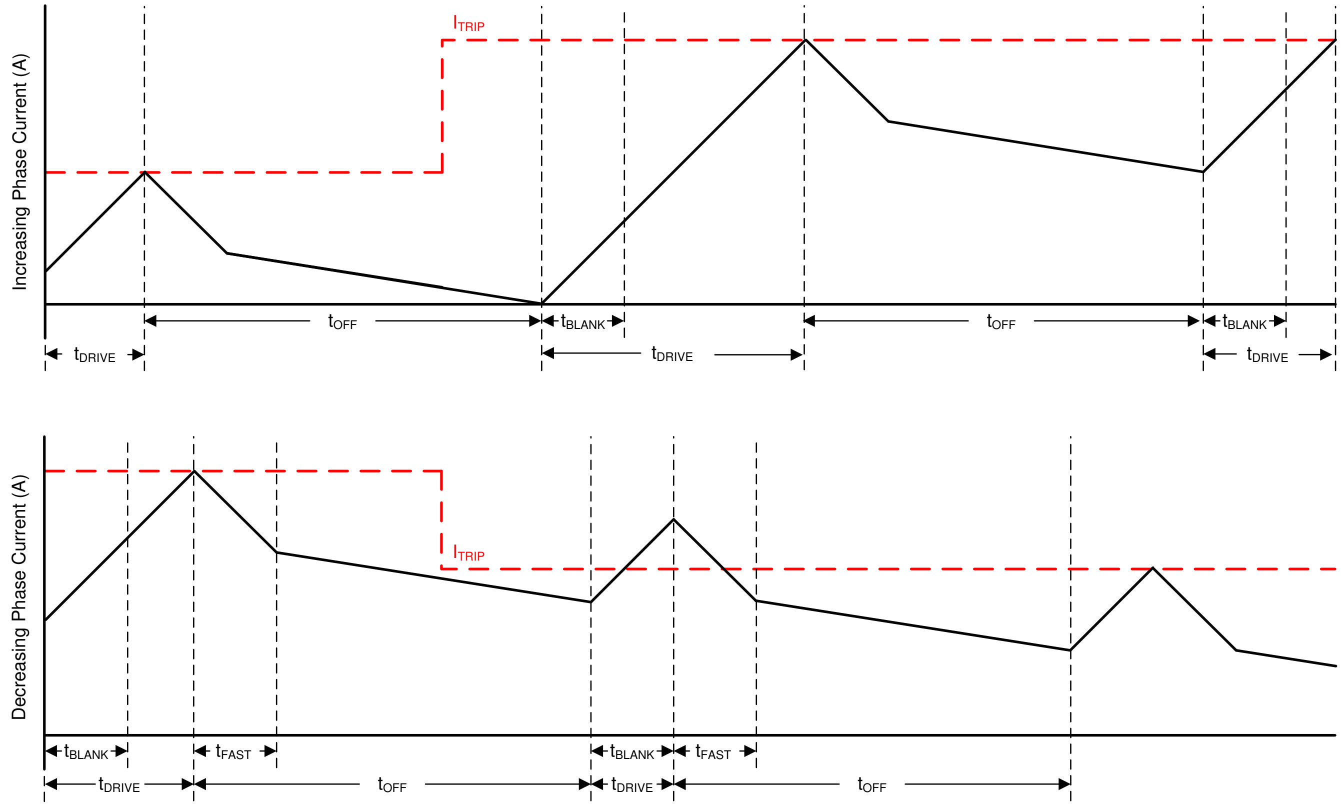


图 7-6. 混合衰减模式

混合衰减模式下，开始的一段时间（t_{OFF} 的 30%）内为快速衰减，然后在 t_{OFF} 的剩余时间内慢速衰减。

该模式表现出的纹波比慢速衰减大，但比快速衰减小。在下降电流阶跃时，混合衰减可比慢速衰减更快地稳定到新的 I_{TRIP} 电平。

7.3.4.2 快速衰减

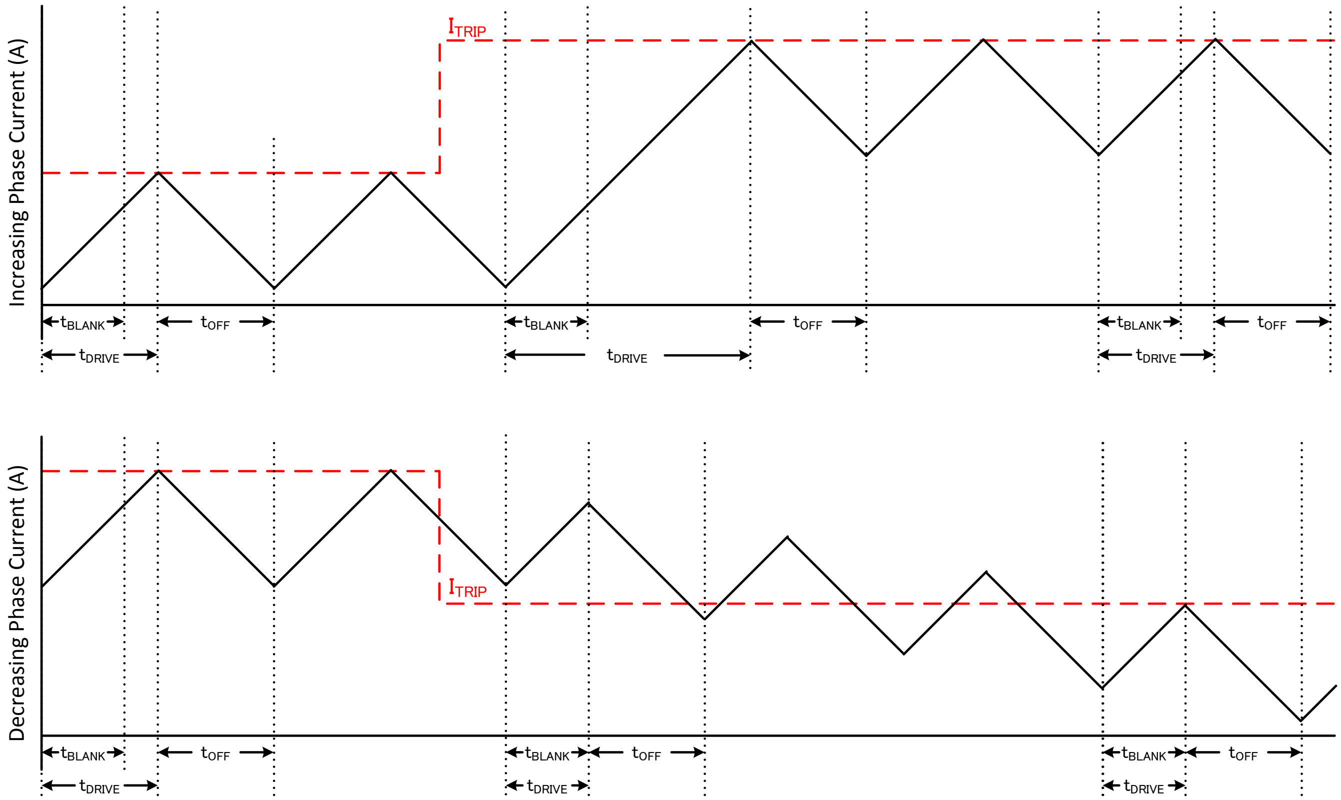


图 7-7. 快速/快速衰减模式

在快速衰减期间，H 桥的极性会发生逆转。当电流接近零时，H 桥将关闭，以防止电流反向流动。

在给定的 t_{OFF} 下，快速衰减是电流纹波最高的衰减模式。电流步进下降的过渡时间要比慢速衰减短得多，因为其电流下降速度比后者快很多。

7.3.4.3 智能调优动态衰减

与传统的固定关断时间电流调节方案相比，智能调优电流调节方案是一种先进的电流调节控制方法。智能调优电流调节方案有助于步进电机驱动器根据下列运行因素调整衰减方案：

- 电机绕组电阻和电感
- 电机老化效应
- 电机动态转速和负载
- 电机电源电压变化
- 低电流与高电流 dI/dt

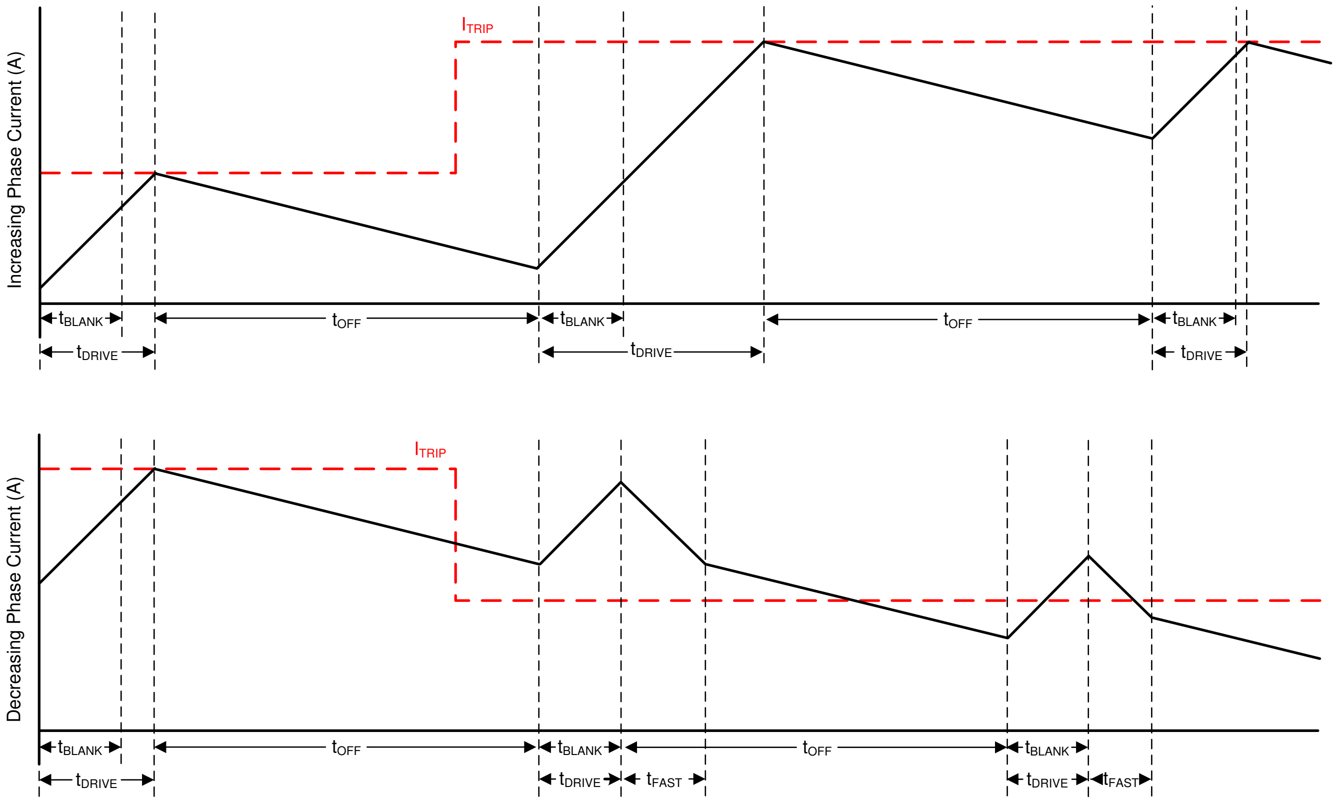


图 7-8. 智能调优动态衰减模式

智能调优动态衰减通过在慢速、混合和快速衰减之间自动配置衰减模式，显著简化了衰减模式选择。在混合衰减中，智能调优将动态调整总混合衰减时间中快速衰减的百分比。此功能通过自动确定最佳衰减设置来消除电机调谐，从而产生最低的电机纹波。

衰减模式设置经由每个 PWM 周期进行迭代优化。如果电机电流超过目标跳变电平，则衰减模式在下一个周期变得更加激进（增加快速衰减百分比）以防止调节损失。如果必须长时间驱动才能达到目标跳变电平，则衰减模式在下一个周期变得不那么激进（去除快速衰减百分比），从而以更少的纹波实现更高效地运行。在步进下降时，智能调优动态衰减会自动切换到快速衰减，以便快速进入下一步进。

对于需要实现最小电流纹波但希望在电流调节方案中保持固定频率的应用，智能调优动态衰减是理想选择。

7.3.4.4 智能调优纹波控制

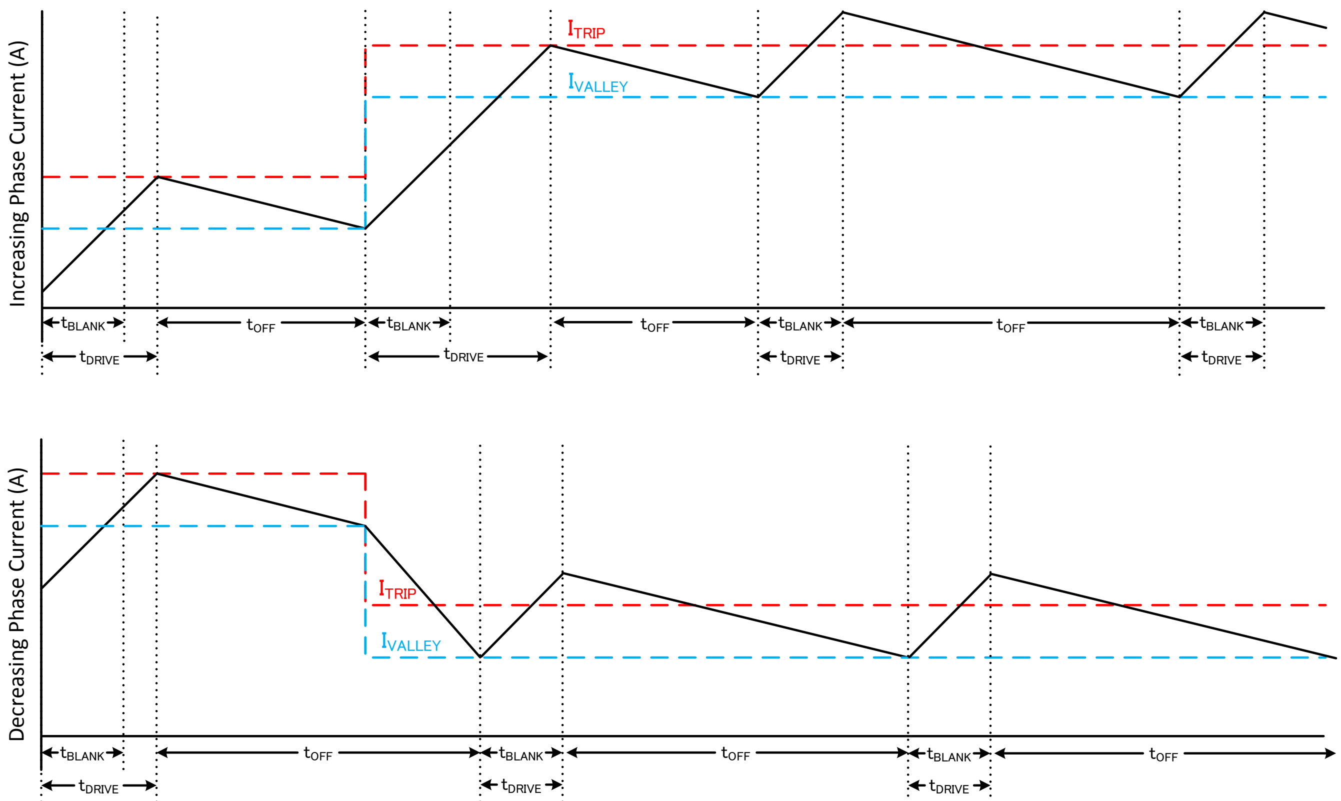


图 7-9. 智能调优纹波控制衰减模式

智能调优纹波控制通过在 I_{TRIP} 电平旁设置一个 I_{VALLEY} 电平来进行操作。当电流电平达到 I_{TRIP} 时，驱动器将进入慢速衰减，直到达到 I_{VALLEY}，而不是直到 t_{OFF} 时间结束。慢速衰减的工作原理类似于模式 1，其中两个低侧 MOSFET 都导通，允许电流再循环。在此模式下，t_{OFF} 根据电流电平和运行条件而变化。

该方法可以更严格地调节电流电平，从而提高电机效率和系统性能。智能调优纹波控制适用于能够承受可变关断时间调节方案的系统，以在电流调节中实现小电流纹波。

在此衰减模式下，纹波电流等于 19mA + 特定微步进级别的 ITRIP 的 1%。

7.3.4.5 消隐时间

在 H 桥接通电流（驱动阶段开始）后，电流感应比较器将在启用电流感应电路前被忽略一段时间 (t_{BLANK})。消隐时间还将设置 PWM 的最小驱动时间。消隐时间大约为 1μs。

7.3.5 电荷泵

集成了一个电荷泵以提供高侧 N 沟道 MOSFET 栅极驱动电压。需要在 VM 和 VCP 引脚之间为电荷泵放置一个电容作为储能电容。此外，还需要在 CPH 和 CPL 引脚之间放置一个陶瓷电容作为飞跨电容。

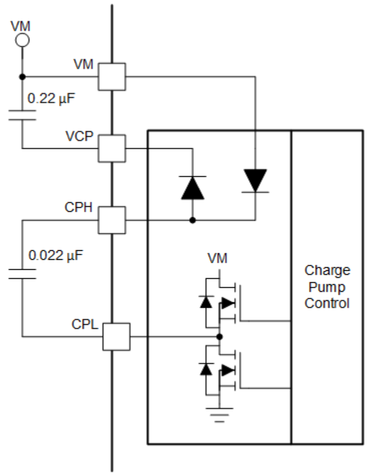


图 **7-10.** 电荷泵方框图

7.3.6 线性稳压器

该器件中集成了一个线性稳压器。DVDD 稳压器可用于提供基准电压。DVDD 最大可提供 2mA 的负载。为确保正常运行，请使用陶瓷电容器将 DVDD 引脚旁路至 GND。

DVDD 输出的标称值为 5V。当 DVDD LDO 电流负载超过 2mA 时，输出电压会显著下降。

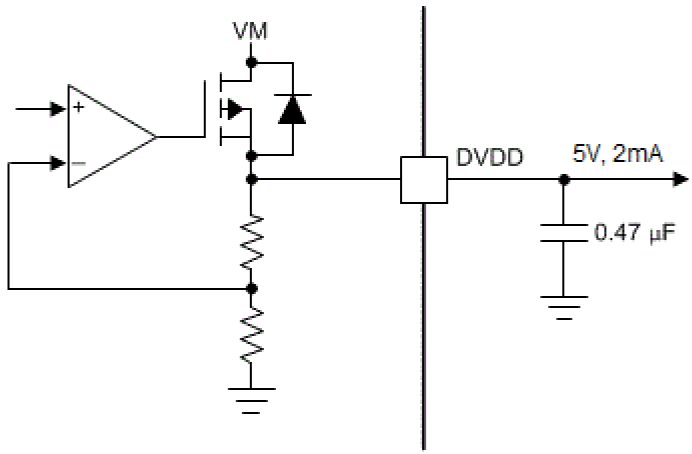


图 7-11. 线性稳压器方框图

如果数字输入须一直连接高电平（即 ADECAY、BDECAY 或 TOFF），则宜将输入连接到 DVDD 引脚而不是外部稳压器。此方法可在未应用 VM 引脚或处于休眠模式时省电：DVDD 稳压器被禁用，电流不会流经输入下拉电阻器。作为参考，逻辑电平输入的典型下拉电阻为 200kΩ。

请勿将 nSLEEP 引脚连接至 DVDD，否则器件将无法退出睡眠模式。

7.3.7 逻辑和四电平引脚图

图 7-12 提供了逻辑电平引脚 APH、AEN、BPH、BEN、AIN1、AIN2、BIN1、BIN2 和 nSLEEP 的输入结构：

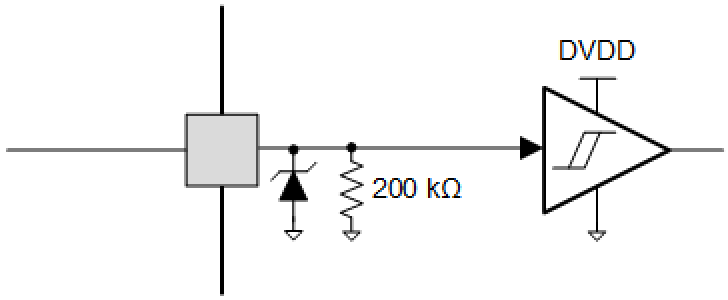


图 7-12. 逻辑电平输入引脚图

四电平逻辑引脚 TOFF、ADECAY 和 BDECAY 具有图 7-13 所示的以下结构。

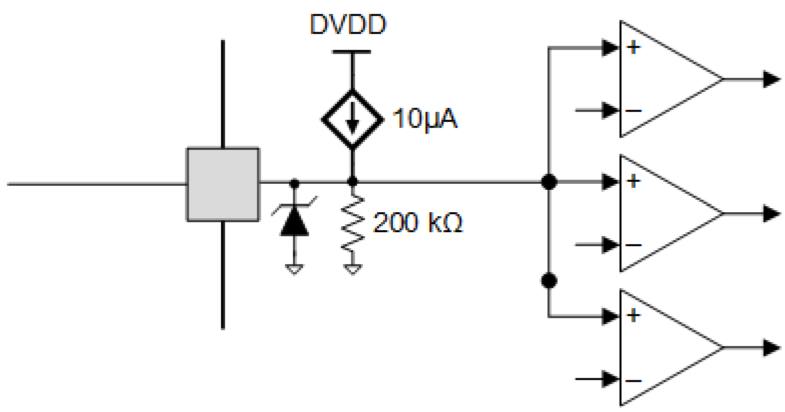


图 7-13. 四电平输入引脚图

7.3.8 nFAULT 引脚

nFAULT 引脚具有开漏输出且应上拉至 5V、3.3V 或 1.8V 电源电压。当检测到故障时，nFAULT 引脚将变成逻辑低电平；上电后，则变成高电平。对于 5V 上拉，nFAULT 引脚可通过一个电阻器连接至 DVDD 引脚。对于 3.3V 或 1.8V 上拉，必须使用一个外部电源。

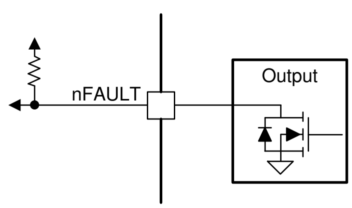


图 7-14. nFAULT 引脚

7.3.9 保护电路

这些器件可完全防止电源欠压、电荷泵欠压、输出过流和器件过热事件。

7.3.9.1 VM 欠压锁定 (UVLO)

无论 VM 引脚电压何时降至电源电压的 UVLO 阈值电压以下，都会禁用所有输出并将 nFAULT 引脚驱动为低电平。在这种情况下，电荷泵会禁用。VM 欠压条件消失后，器件将恢复正常运行（电机驱动器运行并释放 nFAULT 引脚）。

7.3.9.2 VCP 欠压锁定 (CPUV)

无论 VCP 引脚电压何时降至 CPUV 电压以下，都会禁用所有输出并将 nFAULT 引脚驱动为低电平。在这种情况下，电荷泵将保持有效状态。VCP 欠压条件消失后，器件将恢复正常运行（电机驱动器运行且释放 nFAULT 引脚）。

7.3.9.3 过流保护 (OCP)

每个 FET 上的模拟电流限制电路都将通过移除栅极驱动来限制流经 FET 的电流。如果此电流限制的持续时间超过 t_{OCP}，则将会禁用相应 H 桥中的 FET 并将 nFAULT 引脚驱动为低电平。在这种情况下，电荷泵将保持有效状态。一旦 OCP 条件消除，器件会在应用 nSLEEP 复位脉冲或重新上电后恢复正常运行。

7.3.9.4 热关断 (OTSD)

如果内核温度超过热关断限值 (T_{OTSD})，则会禁用 H 桥中的所有 MOSFET 并将 nFAULT 引脚驱动为低电平。结温降至过热阈值限值减去迟滞 (T_{OTSD} – T_{HYS_OTSD}) 所得的值以下后，器件会在应用 nSLEEP 复位脉冲或功率循环后恢复正常运行。

7.3.9.5 故障条件汇总

表 7-6. 故障条件汇总

故障	条件	错误报告	H 桥	电荷泵	逻辑	恢复
VM 欠压 (UVLO)	VM < V_{UVLO}	nFAULT	禁用	禁用	复位 (V_{DVDD} < 3.9V)	自动：VM > V_{UVLO}
VCP 欠压 (CPUV)	VCP < V_{CPUV}	nFAULT	禁用	工作	工作	VCP > V_{CPUV}
过流 (OCP)	I_{OUT} > I_{OCP}	nFAULT	禁用	工作	工作	锁存
热关断 (OTSD)	T_J > T_{TSD}	nFAULT	禁用	禁用	工作	锁存

7.4 器件功能模式

7.4.1 睡眠模式 (nSLEEP = 0)

该器件的状态通过 nSLEEP 引脚进行管理。当 nSLEEP 引脚为低电平时，该器件将进入低功耗睡眠模式。在睡眠模式下，将会禁用所有内部 MOSFET 和电荷泵。必须在 nSLEEP 引脚上的下降沿之后再过去 t_{SLEEP} 时间后，器件才能进入睡眠模式。如果 nSLEEP 引脚变为高电平，该器件会自动退出睡眠模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

7.4.2 工作模式 (nSLEEP = 1)

当 nSLEEP 引脚为高电平且 VM > UVLO 时，器件将进入运行模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

7.4.3 nSLEEP 复位脉冲

故障可通过快速 nSLEEP 脉冲清除。该脉冲的宽度必须在 20μs 至 40μs 之间。如果 nSLEEP 在 40μs 至 120μs 的时间内保持低电平，则会清除故障，但器件有可能会关断，也有可能不关断，如时序图中所示。该复位脉冲不影响电荷泵或其他功能块的状态。

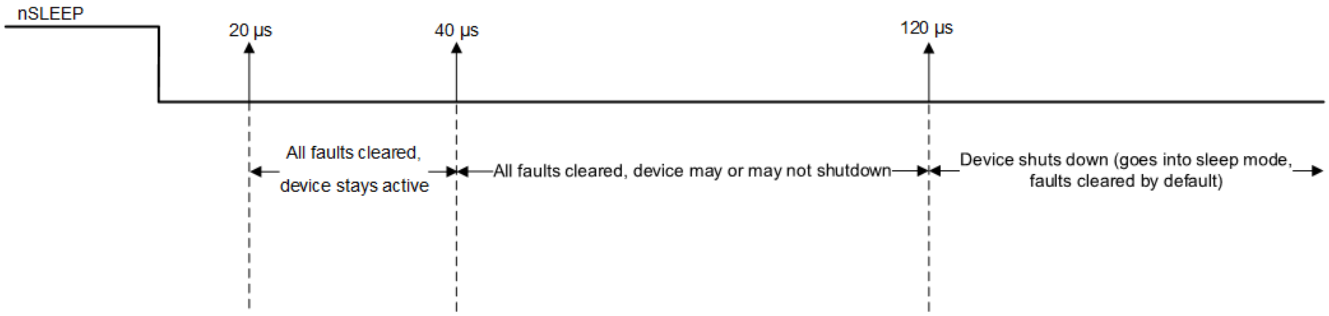


图 7-15. nSLEEP 复位脉冲

7.4.4 功能模式汇总

下表汇总了所有功能模式。

表 7-7. 功能模式汇总

条件		配置	H 桥	DVDD 稳压器	电荷泵	逻辑
睡眠模式	4.5V < VM < 33V	nSLEEP 引脚 = 0	禁用	禁用	禁用	禁用
工作	4.5V < VM < 33V	nSLEEP 引脚 = 1	工作	工作	工作	工作

8 应用和实施

NOTE

以下应用部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

DRV8424E/P 和 DRV8425E/P 用于有刷电机或步进电机控制。

8.2 典型应用

在该应用中，此器件被配置为使用 H 桥配置，通过两个外部负载（例如两个有刷直流电机）来驱动双向电流。H 桥极性和占空比通过外部控制器和 xEN/xIN1、xPH/xIN2 引脚进行控制。

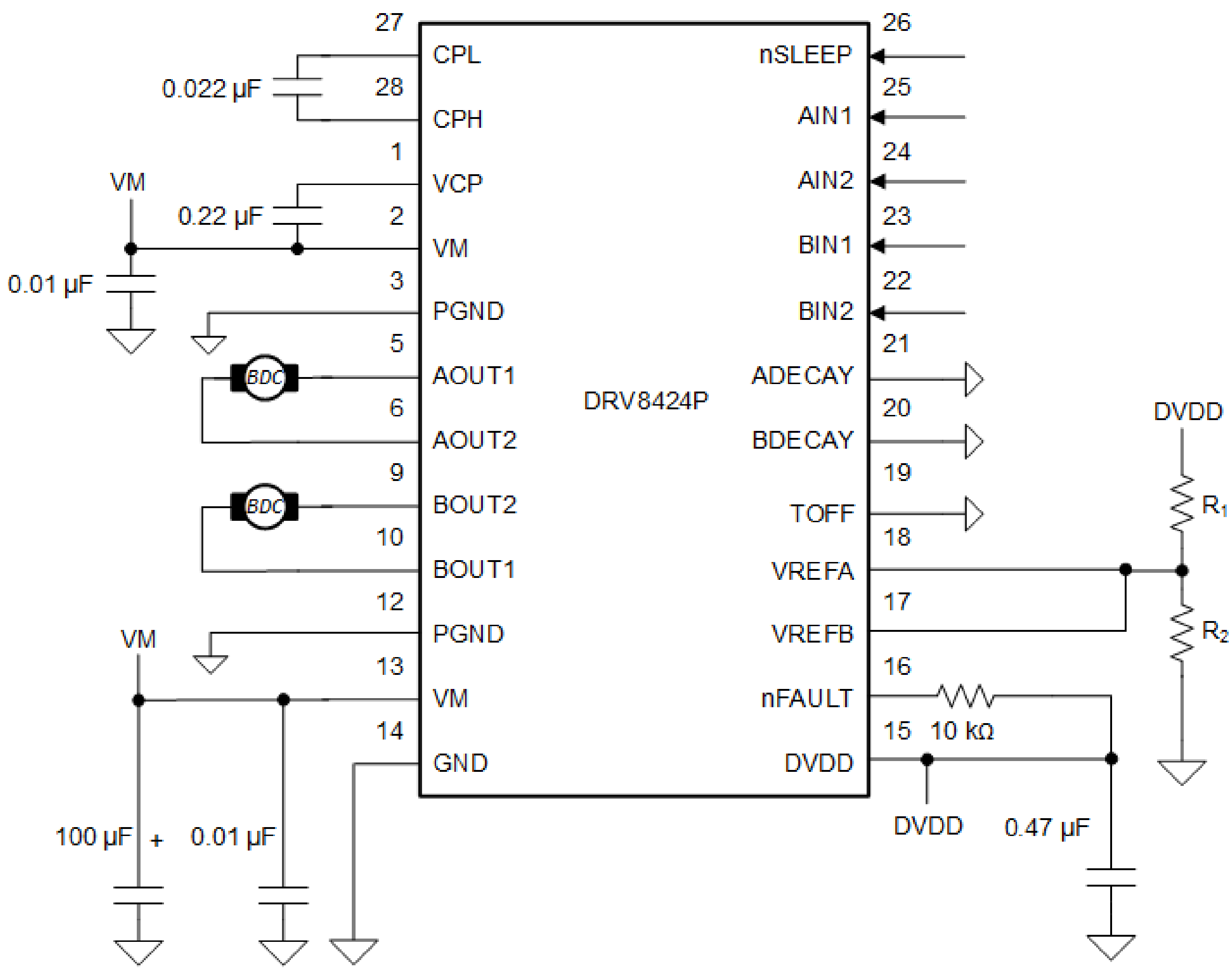


图 8-1. 典型应用原理图

8.2.1 设计要求

表 8-1 列出了系统设计的设计输入参数。

表 **8-1.** 设计参数

设计参数	基准	示例值
电源电压	VM	24V
电机绕组电阻	R_L	1.2Ω
电机绕组电感	L_L	2.3mH
开关频率	f_{PWM}	30kHz
每个电机的稳定电流	I{10}REG{11}	1.5A

8.2.2 详细设计过程

8.2.2.1 电流调节

稳定电流 (I_{REG}) 由 VREFx 模拟电压进行设置。在启动有刷直流电机时，由于没有反电动势，因此可能会产生很大的浪涌电流。电流调节可以限制该浪涌电流，并防止在启动时产生高电流。您可以使用以下公式计算稳定电流 (I_{REG})：I_{REG} (A) = V_{REFx} (V)/K_V (V/A) = V_{REFx} (V)/1.32 (V/A)。

8.2.2.2 功率损耗和热量计算

此器件的输出电流和功率耗散能力在很大程度上取决于 PCB 设计和外部系统状况。本节提供了一些用于计算这些值的指导。

此器件的总功率损耗 (P{1}TOT{2}) 由三个主要部分组成。这三个组成部分是功率 MOSFET $R_{DS(ON)}$（导通）损耗、功率 MOSFET 开关损耗和静态电源电流损耗。尽管其他的一些因素可能会造成额外的功率损耗，但与这三个主要因素相比，其他因素通常并不重要。

$P_{TOT} = P_{COND} + P_{SW} + P_Q$

可以根据器件 $R_{DS(ON)}$ 和稳定输出电流 (I_{REG}) 计算每个有刷直流电机的 P_{COND}。假设两个有刷直流电机的 I_{REG} 相同，

$P_{COND} = 2 \times (I_{REG})^2 \times (R_{DS(ONH)} + R_{DS(ONL)})$

需要注意的是，$R_{DS(ON)}$ 与器件的温度密切相关。可以在“典型特性”曲线中找到一条显示了标称 $R_{DS(ON)}$ 和温度的曲线。

$P_{COND} = 2 \times (1.5A)^2 \times (0.165\Omega + 0.165\Omega) = 1.485W$

可以根据标称电源电压 (VM)、稳定输出电流 (I_{REG})、开关频率 (f_{PWM}) 以及器件输出上升 (t_{RISE}) 和下降 (t_{FALL}) 时间规格来计算 P_{SW}。

$P_{SW} = 2 \times (P_{SW\_RISE} + P_{SW\_FALL})$

$P_{SW\_RISE} = 0.5 \times VM \times I_{REG} \times t_{RISE} \times f_{PWM}$

$P_{SW\_FALL} = 0.5 \times VM \times I_{REG} \times t_{FALL} \times f_{PWM}$

$P_{SW\_RISE} = 0.5 \times 24V \times 1.5A \times 100ns \times 30kHz = 0.054W$

$P_{SW\_FALL} = 0.5 \times 24V \times 1.5A \times 100ns \times 30kHz = 0.054W$

$P_{SW} = 2 \times (0.054W + 0.054W) = 0.216W$

可以根据标称电源电压 (VM) 和 I_{VM} 电流规格来计算 P_Q。

$P_Q = VM \times I_{VM} = 24V \times 5mA = 0.12W$

总功率损耗 (P_{TOT}) 是导通损耗、开关损耗和静态功率损耗之和。

$P_{TOT} = P_{COND} + P_{SW} + P_Q = 1.485W + 0.216W + 0.12W = 1.821W$

如果已知环境温度 T_A 和总功率损耗 (P_{TOT})，则结温 (T_J) 的计算公式为：

$T_J = T_A + (P_{TOT} \times R_{\theta JA})$

在一个符合 JEDEC 标准的 4 层 PCB 中，采用 HTSSOP 封装时的结至环境热阻 ($R_{\theta JA}$) 为 31°C/W，而采用 VQFN 封装时则为 40.7°C/W。

假设环境温度为 25°C，则 HTSSOP 封装的结温为：

T_J = 25°C + (1.821W x 31°C/W) = 81.45°C

VQFN 封装的结温为：

TJ = 25°C + (1.821W x 40.7°C/W) = 99.11°C

应确保器件结温处于指定的工作范围内。

8.2.3 应用曲线

CH3 = VM (10V/div)、CH1 = nFAULT (3V/div)、CH5 = nSLEEP (3V/div)、CH7 = I_{REG} (1.5A/div)

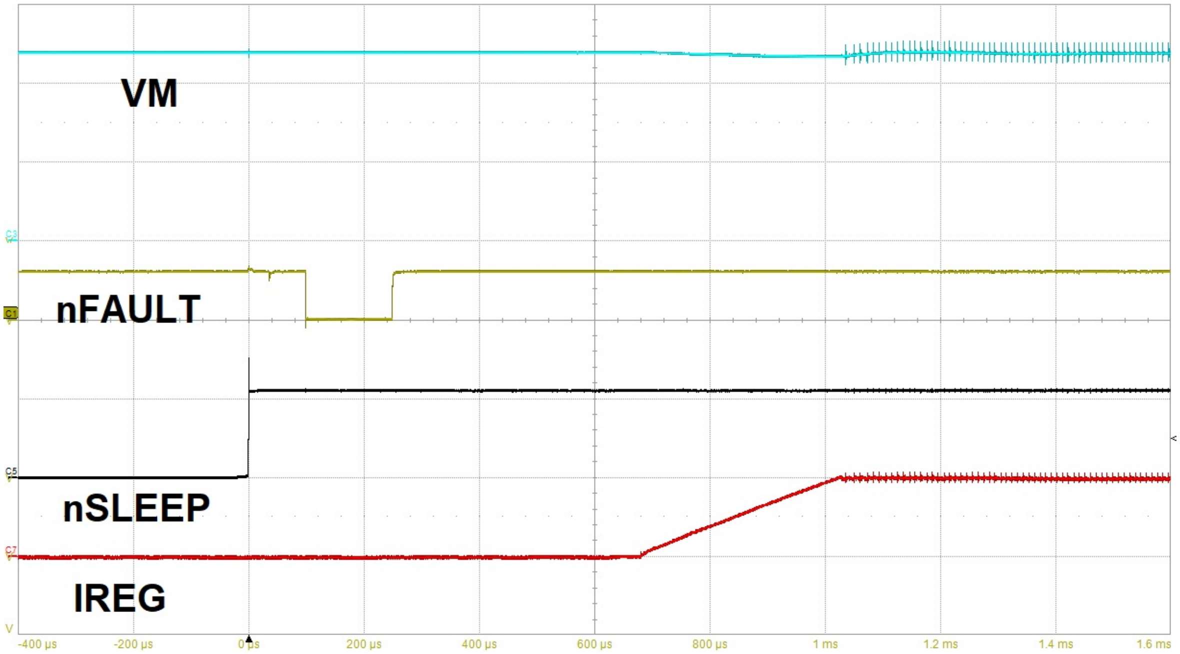


图 **8-2. 通过 nSLEEP** 引脚实现器件上电

CH3 = VM (10V/div)、CH1 = nFAULT (3V/div)、CH5 = nSLEEP (3V/div)、CH7 = I_{REG} (1.5A/div)

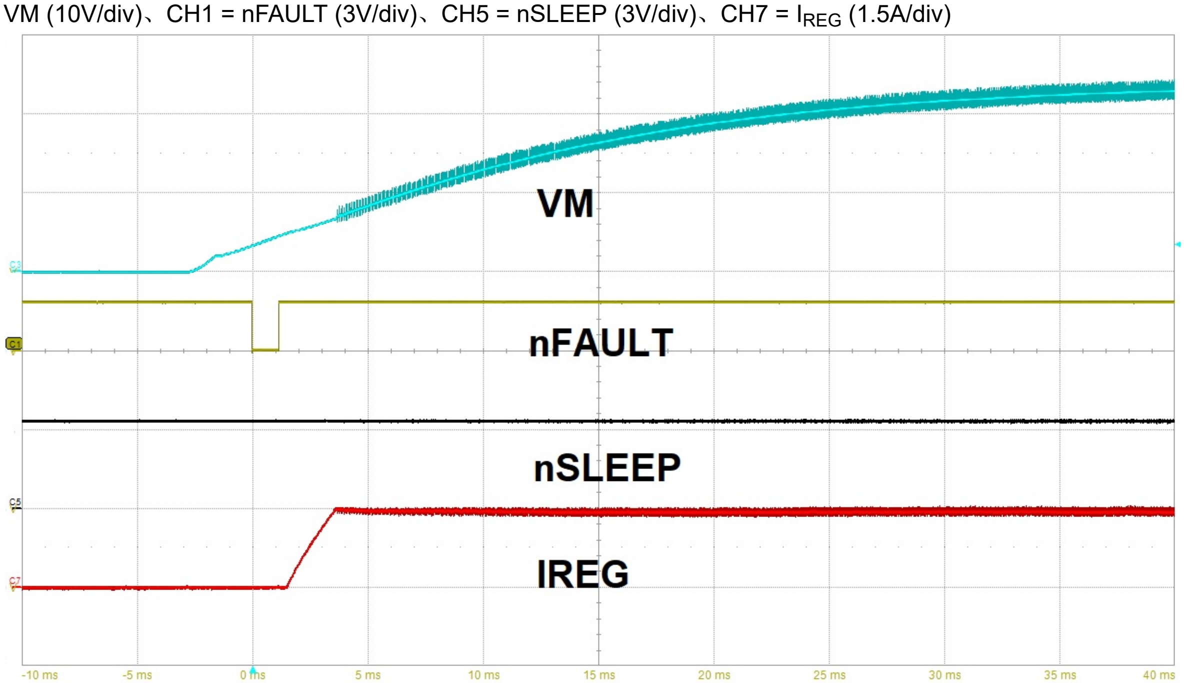


图 **8-3.** 通过电源电压斜升 **(VM)** 实现器件上电

CH1 = IN1 (3V/div)、CH7 = I_{REG} (0.75A/div)、CH3 = AOUT1 (24V/div)、CH2 = AOUT2 (24V/div)

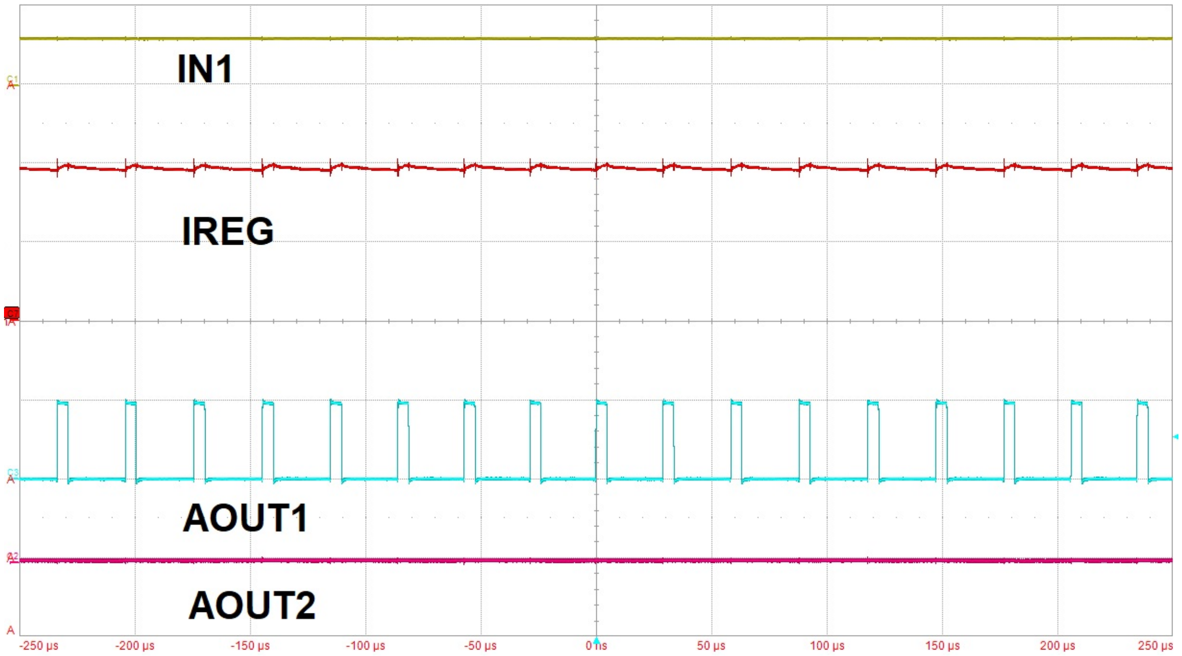


图 **8-4.** 在进行电流调节的情况下，驱动器全开运行

8.3 备选应用

以下设计过程可用于配置 DRV8424E/P 和 DRV8425E/P，以驱动步进电机。

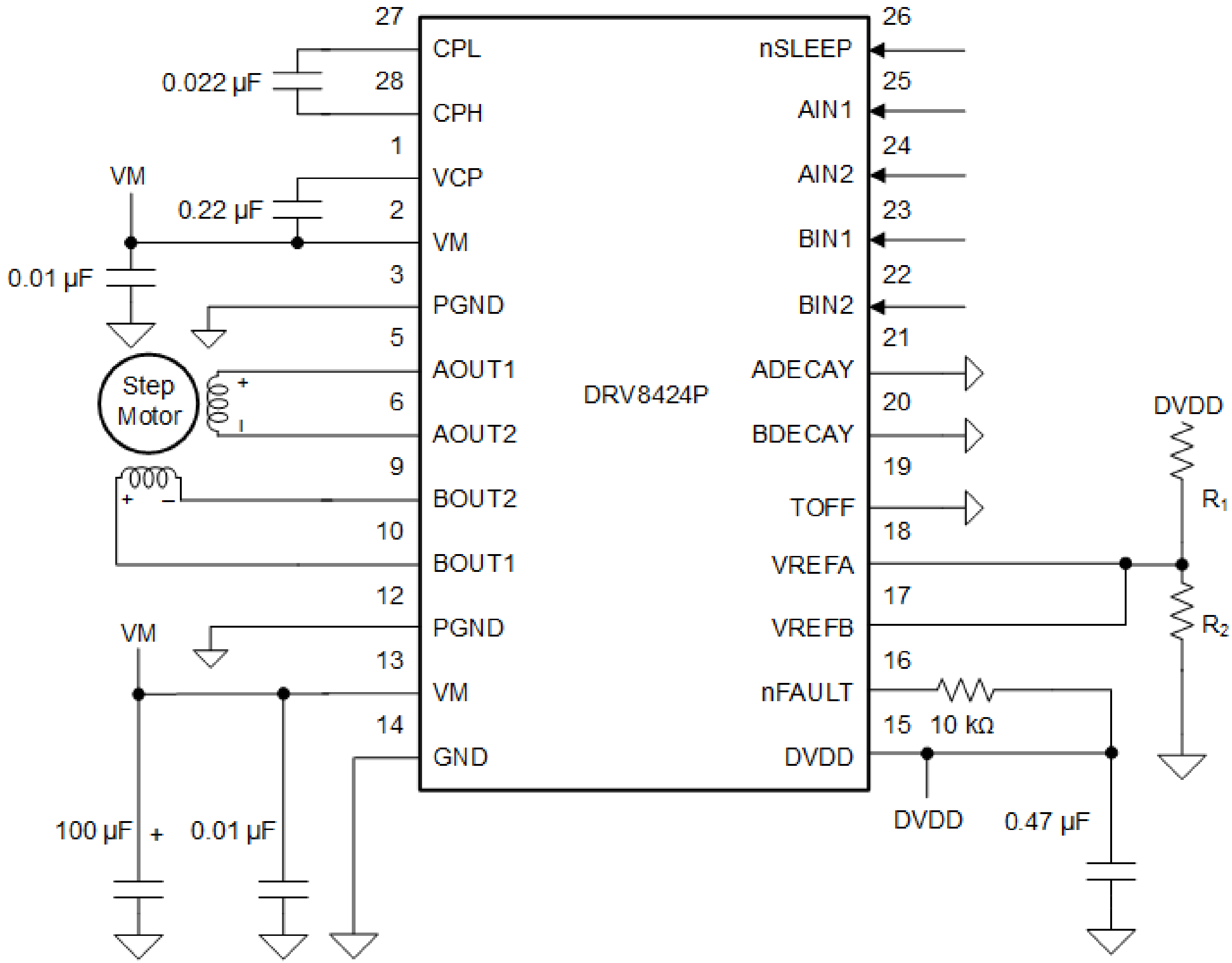


图 8-5. 备选应用原理图

8.3.1 设计要求

{1}表 8-2{5} 提供了系统设计的设计输入参数。

表 8-2. 设计参数

设计参数	基准	示例值
电源电压	VM	24V
电机绕组电阻	R_L	0.93Ω/相
电机绕组电感	L_L	1.9mH/相
电机全步进角	θ_{step}	1.8°/步进
目标微步进级别	n_m	1/2 步进
目标电机转速	v	90rpm
目标满量程电流	I_{FS}	2A

8.3.2 详细设计过程

8.3.2.1 电流调节

在步进电机中，满量程电流 (I_{FS}) 是通过任一绕组的最大电流。该电流值取决于 VREFx 电压。VREFx 引脚上允许的最大电压为 3.3V。DVDD 可用于通过电阻分压器提供 VREFx。

I_{FS} (A) = V_{REF} (V)/1.32 (V/A)

NOTE

I_{FS} 电流还必须遵循方程式 1，以避免电机饱和。VM 是电机电源电压，R_L 是电机绕组电阻。

$$I_{FS}\ (A) < \frac{VM\ (V)}{R_L\ (\Omega) + 2 \times R_{DS(ON)}\ (\Omega)} \tag{1}$$

8.3.2.2 步进电机转速

接下来，需要考虑驱动波形。要实现正确的转速，应确定输入波形的频率。

如果目标电机转速过高，则电机不会旋转。请确保电机可以支持目标转速。

对于所需的电机转速 (v)、微步进级别 (n_m) 和电机全步进角 (θ_{step})，

$$f_{step}\ (steps/s) = \frac{v\ (rpm) \times 360\ (°/rot)}{\theta_{step}\ (°/step) \times n_m\ (steps/microstep) \times 60\ (s/min)} \tag{2}$$

θ_{step} 的值载于步进电机数据表中或印于电机上。

频率 f_{step} 提供了器件上输入变化的频率。根据{10} 中所述的设计参数，可以计算出 f_{step} 为 600Hz。GUID-AA0AC066-5B4C-4A32-862D-83BEA96FBA95#GUID-AA0AC066-5B4C-4A32-862D-83BEA96FBA95/SLVSD391449

8.3.2.3 衰减模式

该器件支持多种不同的衰减模式：快速衰减、混合衰减和智能调优。使用可调节的固定关断时间方案来调节流经电机绕组的电流。这意味着在任何驱动阶段之后，当电机绕组电流达到电流斩波阈值 (I_{TRIP}) 时，器件会在 TOFF 时间内一直将绕组置于某种衰减模式。TOFF 之后，新的驱动阶段开始。

9 电源相关建议

该器件可在 4.5V 至 33 V 的输入电压电源 (VM) 范围内正常工作。必须在每个 VM 引脚处放置一个额定电压为 VM 的 0.01µF 陶瓷电容器，该电容器要尽可能靠近该器件。此外，VM 上必须放置一个大容量电容。

9.1 大容量电容

配备合适的局部大容量电容是电机驱动系统设计中的重要因素。使用更多的大容量电容通常是有益的，但缺点在于这会增加成本和物理尺寸。

所需的局部电容数量取决于多种因素，包括：

- 电机系统所需的最高电流
- 电源的电容和拉电流的能力
- 电源和电机系统之间的寄生电感量
- 可接受的电压纹波
- 使用的电机类型（有刷直流、无刷直流、步进电机）
- 电机制动方法

电源和电机驱动系统之间的电感将限制电流可以从电源变化的速率。如果局部大容量电容太小，系统将以电压变化的方式对电机中的电流不足或过剩电流作出响应。当使用足够多的大容量电容时，电机电压保持稳定，可以快速提供大电流。

数据表通常会给出建议值，但需要进行系统级测试来确定大小适中的大容量电容。

大容量电容的额定电压应高于工作电压，以在电机将能量传递给电源时提供裕度。

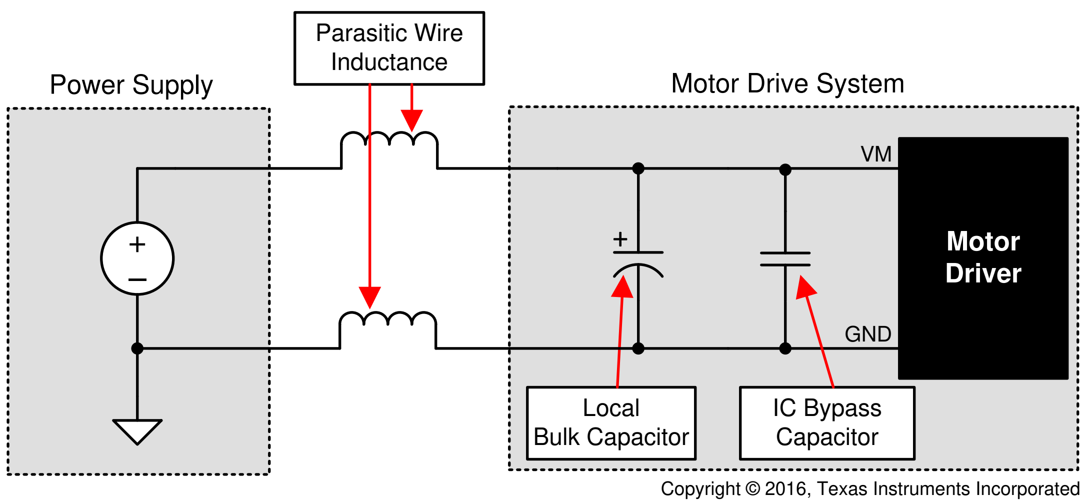


图 9-1. 带外部电源的电机驱动系统示例设置

10 布局

10.1 布局指南

应使用一个推荐电容为 0.01μF 且额定电压为 VM 的低 ESR 陶瓷旁路电容器将 VM 引脚旁路至 PGND。该电容器应尽可能靠近 VM 引脚放置，并通过较宽的引线或通过接地平面与器件 PGND 引脚连接。

必须使用额定电压为 VM 的大容量电容器将 VM 引脚旁路至接地。该组件可以是电解电容。

必须在 CPL 和 CPH 引脚之间放置一个低 ESR 陶瓷电容。建议使用一个电容值为 0.022μF、额定电压为 VM 的电容。将此组件尽可能靠近引脚放置。

必须在 VM 和 VCP 引脚之间放置一个低 ESR 陶瓷电容。建议使用一个电容值为 0.22μF、额定电压为 16V 的电容。将此组件尽可能靠近引脚放置。

使用低 ESR 陶瓷电容器将 DVDD 引脚旁路至接地。建议使用一个电容为 0.47μF、额定电压为 6.3V 的电容器。将此旁路电容器尽可能靠近引脚放置。

散热焊盘必须连接到系统接地。

10.2 布局示例

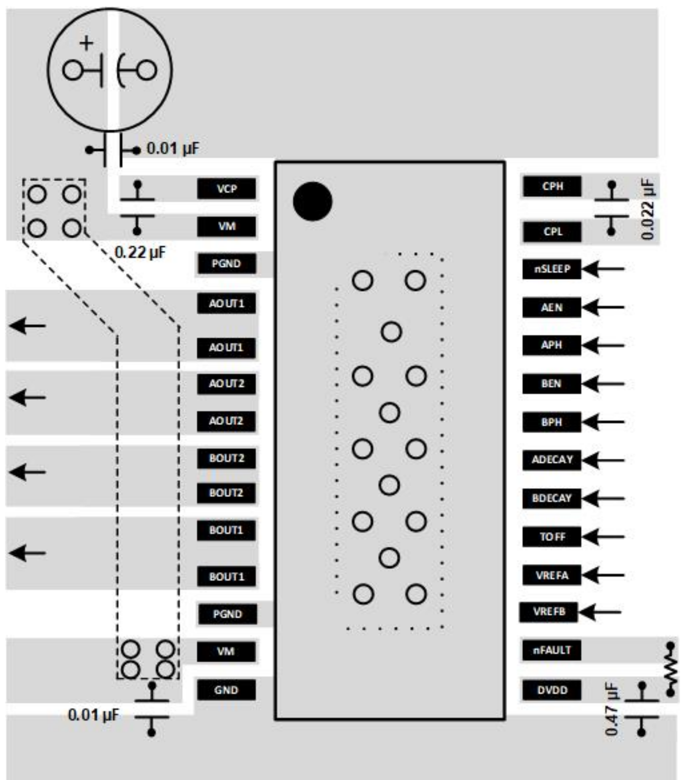


图 10-1. HTSSOP 布局示例

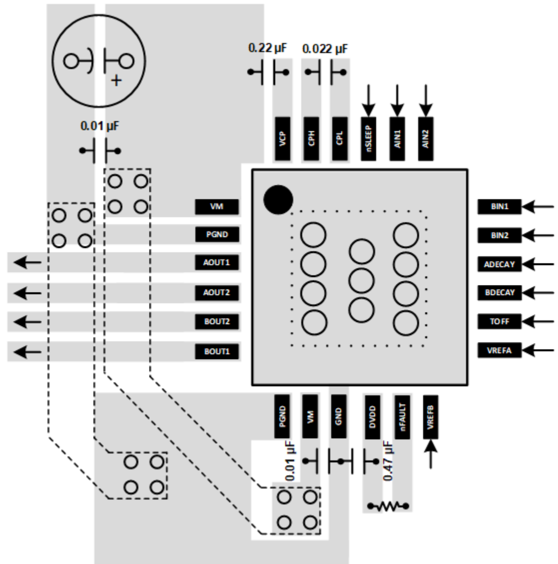


图 **10-2. QFN** 布局建议

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，*《PowerPAD™ 热增强型封装》* 应用报告
- 德州仪器 (TI)，*《PowerPAD™ 速成》* 应用报告
- 德州仪器 (TI)，*《电流再循环和衰减模式》* 应用报告
- 德州仪器 (TI)，*《计算电机驱动器的功耗》* 应用报告
- 德州仪器 (TI)，*《了解电机驱动器电流额定值》* 应用报告
- 德州仪器 (TI)，*《采用 DRV88xx 系列器件的高分辨率微步进驱动器》* 应用报告

11.2 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件，以及立即订购快速访问。

表 11-1. 相关链接

器件	产品文件夹	立即订购	技术文档	工具和软件	支持和社区
DRV8424E	点击此处	点击此处	点击此处	点击此处	点击此处
DRV8424P	点击此处	点击此处	点击此处	点击此处	点击此处
DRV8425E	点击此处	点击此处	点击此处	点击此处	点击此处
DRV8425P	点击此处	点击此处	点击此处	点击此处	点击此处

11.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com.cn 上的器件产品文件夹。单击右上角的*通知我*进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.4 社区资源

11.5 商标

所有商标均为其各自所有者的财产。

12 机械、封装和可订购信息

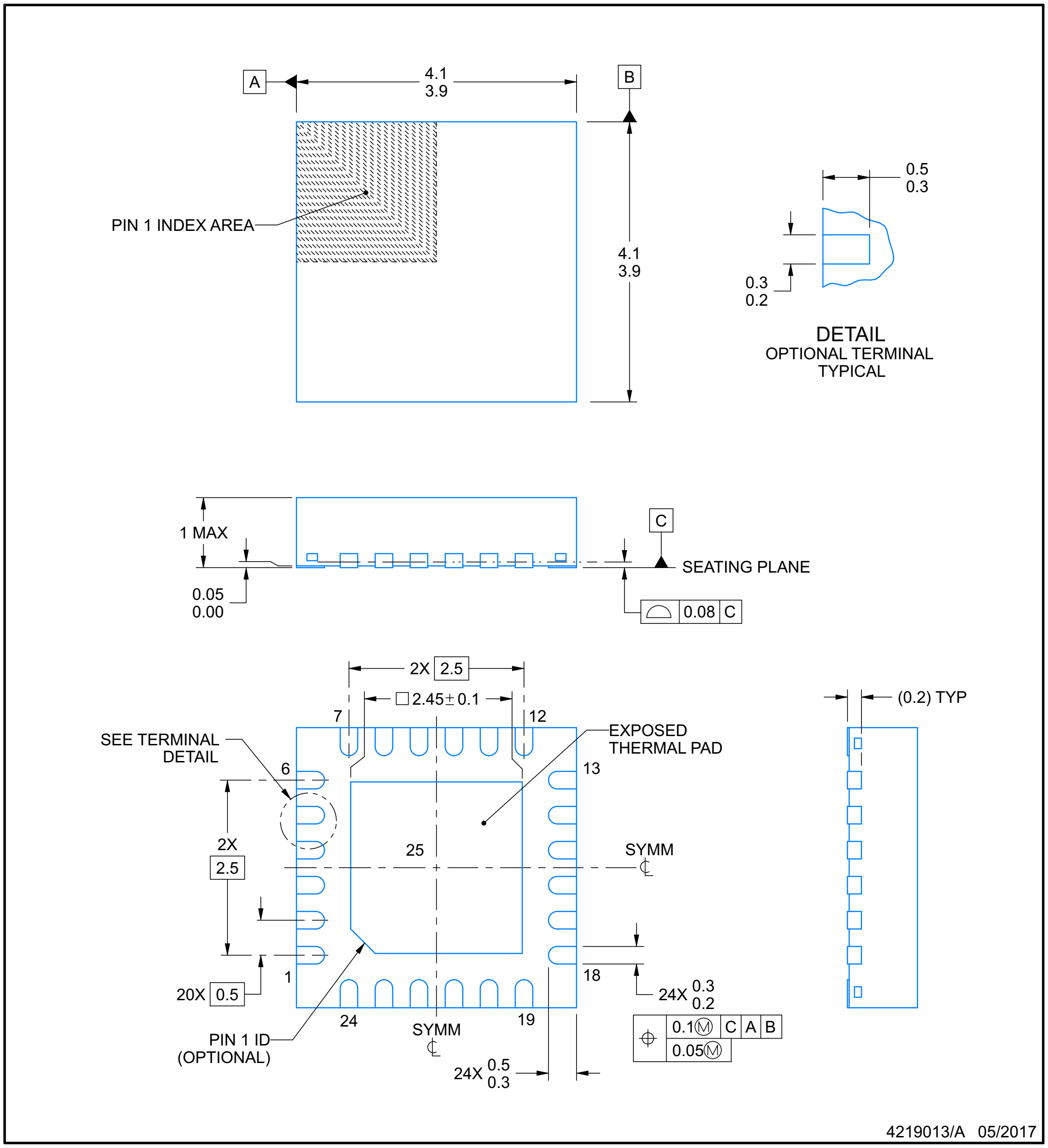
以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGE OUTLINE

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

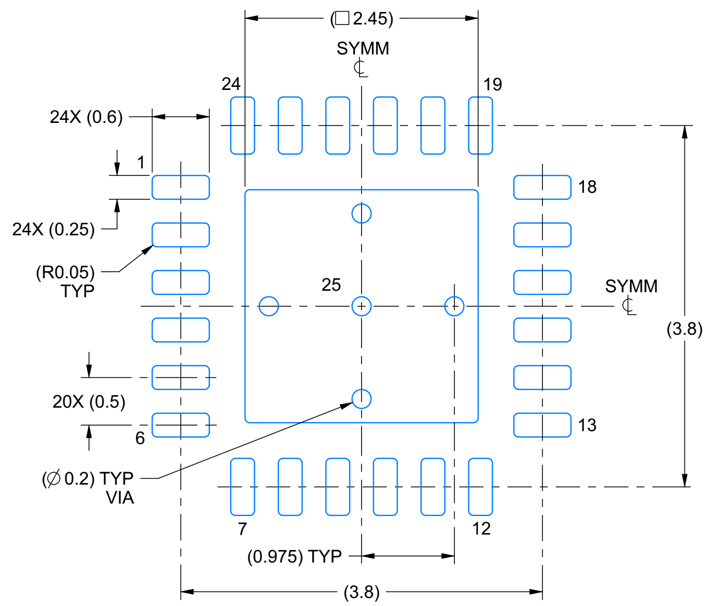
www.ti.com

EXAMPLE BOARD LAYOUT

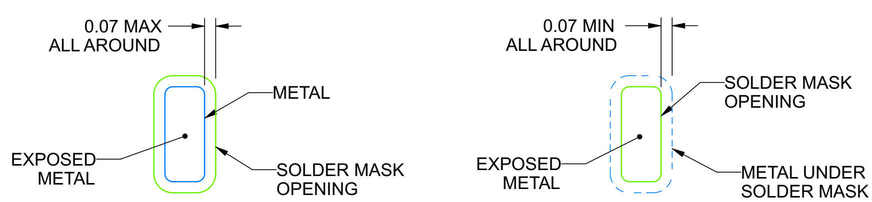
RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



NON SOLDER MASK
DEFINED
(PREFERRED)

SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4219013/A 05/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

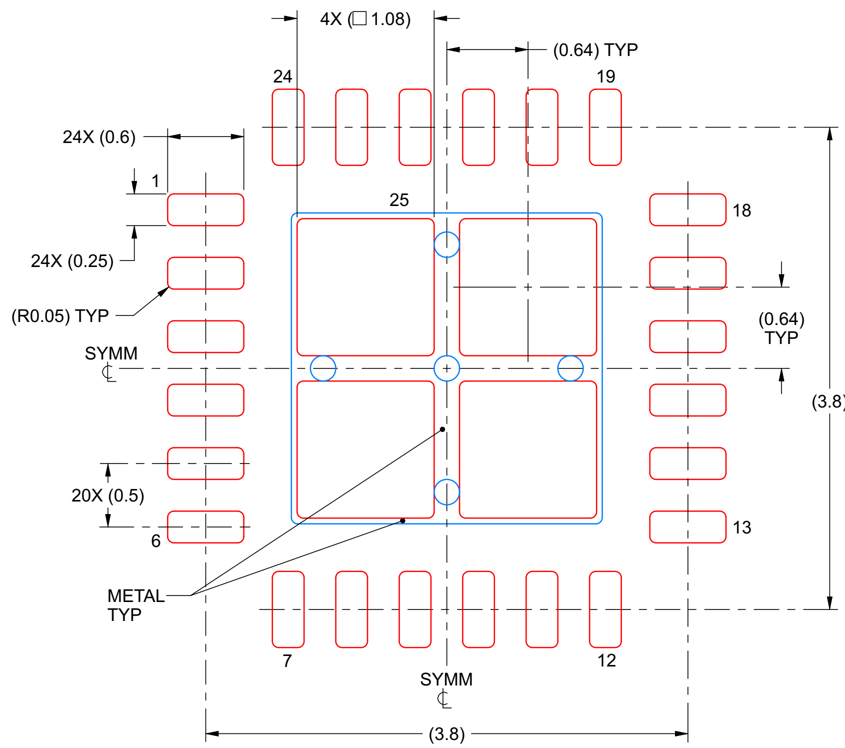
TEXAS INSTRUMENTS
www.ti.com

EXAMPLE STENCIL DESIGN

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 25
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4219013/A 05/2017

NOTES: (continued)

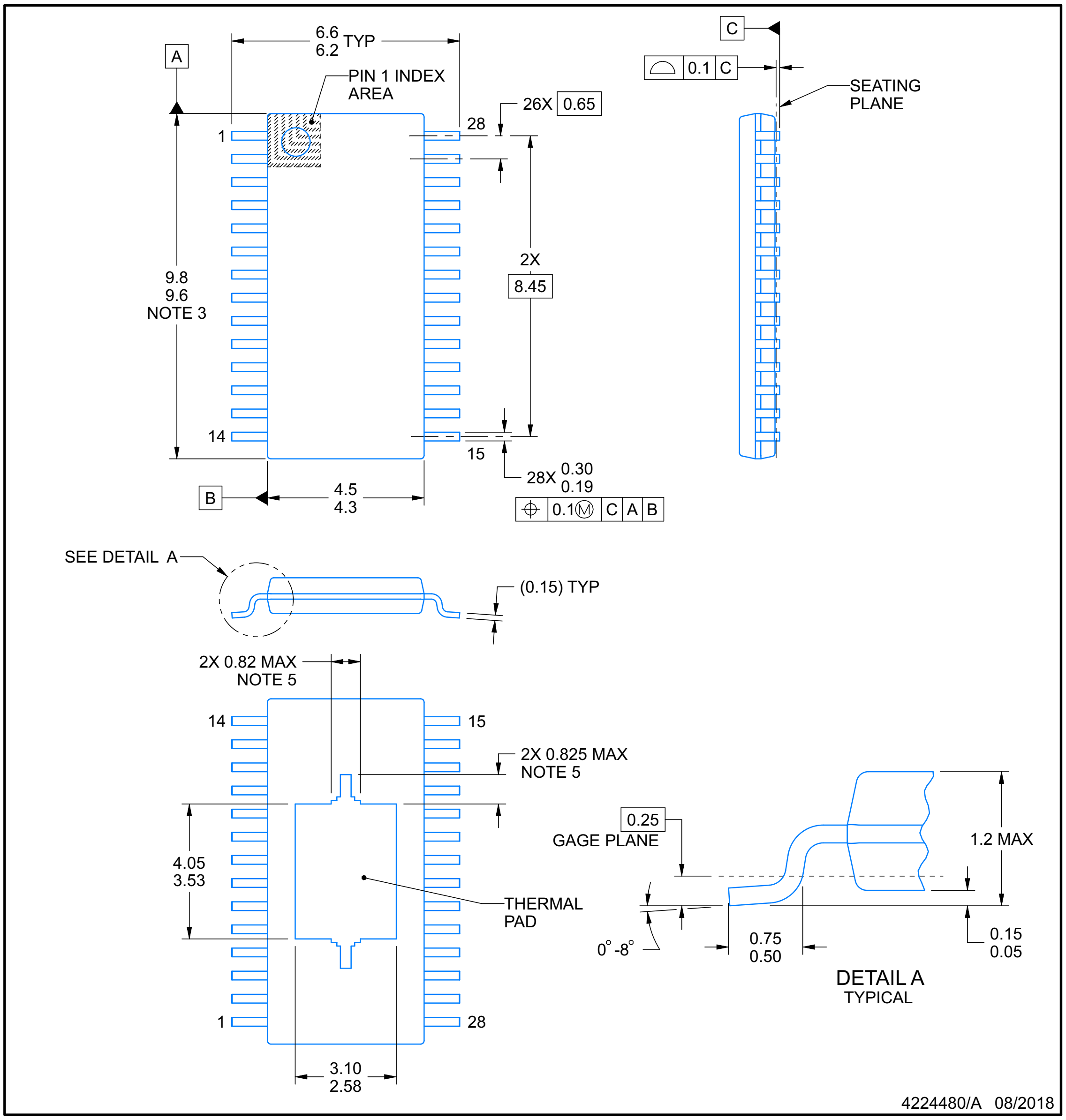
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

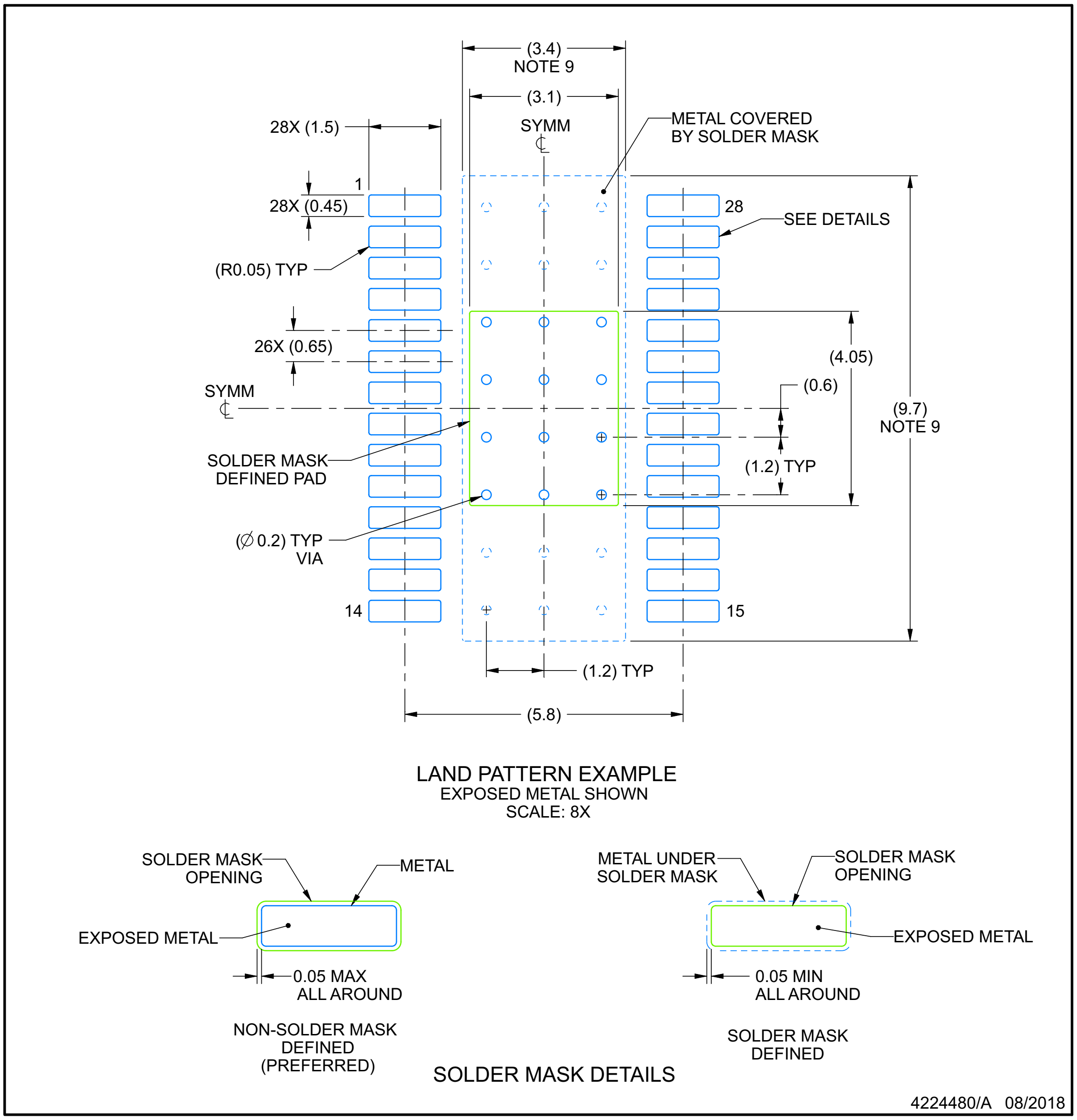
TEXAS INSTRUMENTS
www.ti.com

EXAMPLE BOARD LAYOUT

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

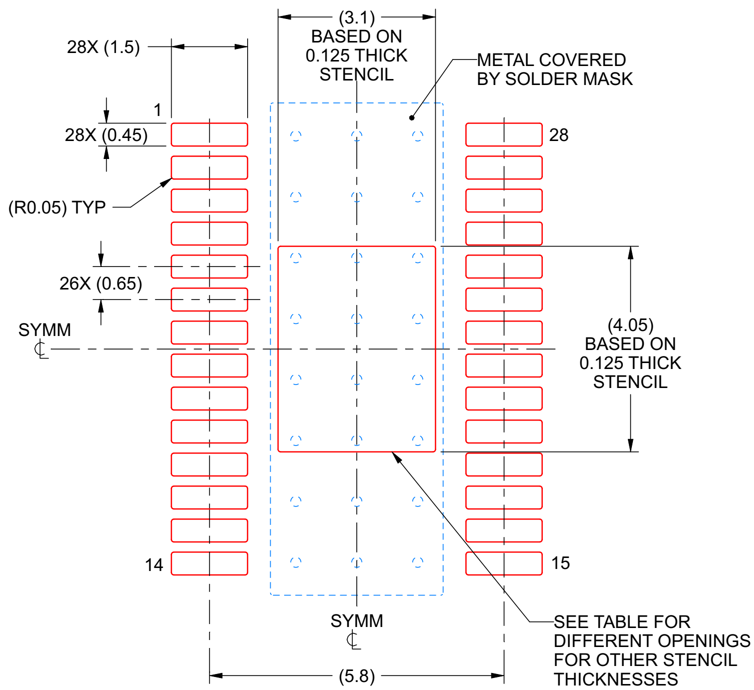
Texas Instruments
www.ti.com

EXAMPLE STENCIL DESIGN

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.47 X 4.53
0.125	3.10 X 4.05 (SHOWN)
0.15	2.83 X 3.70
0.175	2.62 X 3.42

4224480/A 08/2018

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

TEXAS INSTRUMENTS
www.ti.com

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DRV8424EPWPR	ACTIVE	HTSSOP	PWP	28	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8424E	Samples
DRV8424ERGER	ACTIVE	VQFN	RGE	24	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8424E	Samples
DRV8424PPWPR	ACTIVE	HTSSOP	PWP	28	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8424P	Samples
DRV8424PRGER	ACTIVE	VQFN	RGE	24	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8424P	Samples
DRV8425EPWPR	ACTIVE	HTSSOP	PWP	28	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8425E	Samples
DRV8425ERGER	ACTIVE	VQFN	RGE	24	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV 8425E	Samples
DRV8425PPWPR	ACTIVE	HTSSOP	PWP	28	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8425P	Samples
DRV8425PRGER	ACTIVE	VQFN	RGE	24	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV 8425P	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

[5] Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

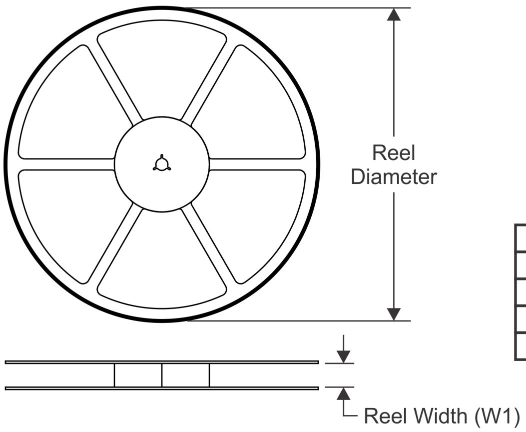
[6] Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

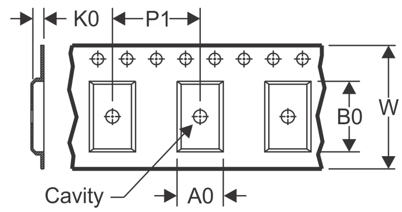
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

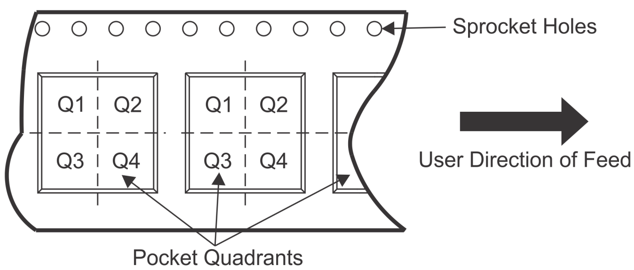


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

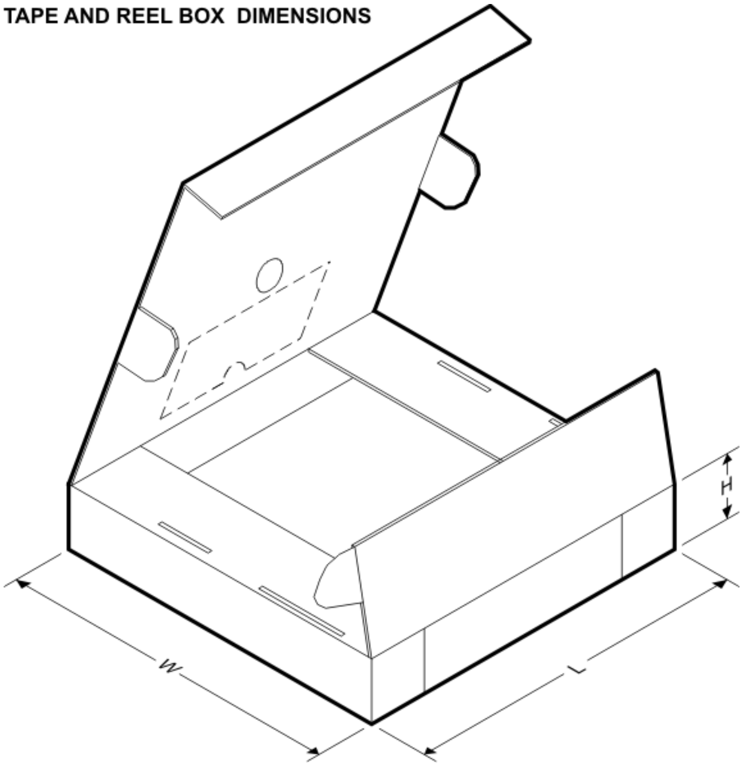
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8424EPWPR	HTSSOP	PWP	28	2500	330.0	16.4	6.9	10.2	1.8	12.0	16.0	Q1
DRV8424ERGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
DRV8424PPWPR	HTSSOP	PWP	28	2500	330.0	16.4	6.9	10.2	1.8	12.0	16.0	Q1
DRV8424PRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
DRV8425EPWPR	HTSSOP	PWP	28	2500	330.0	16.4	6.9	10.2	1.8	12.0	16.0	Q1
DRV8425ERGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
DRV8425PPWPR	HTSSOP	PWP	28	2500	330.0	16.4	6.9	10.2	1.8	12.0	16.0	Q1
DRV8425PRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

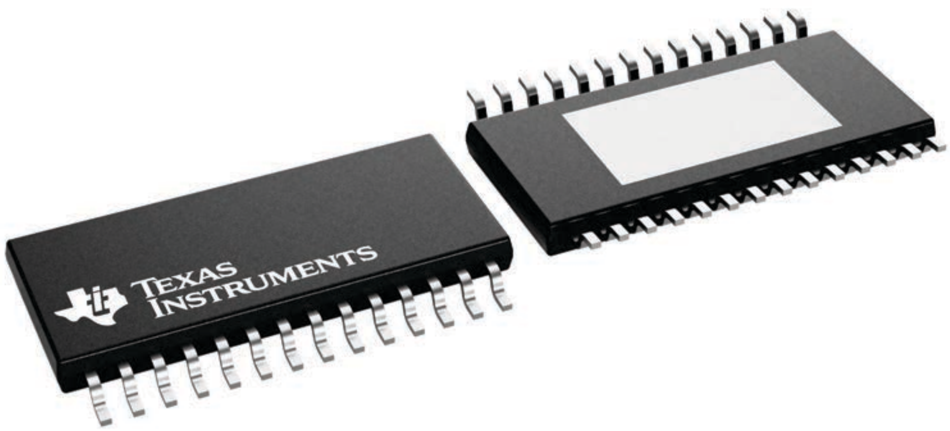
TAPE AND REEL BOX DIMENSIONS

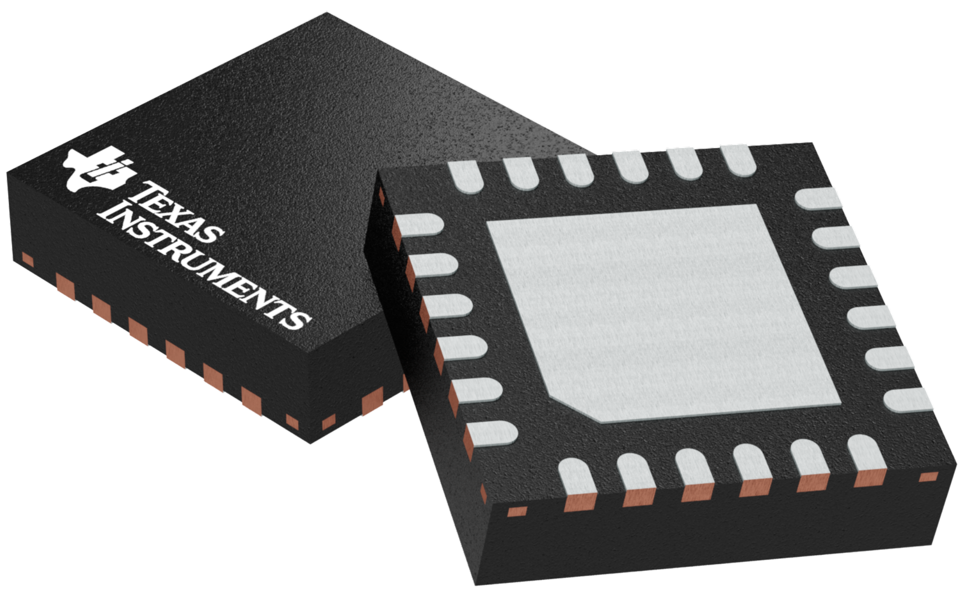


*All dimensions are nominal

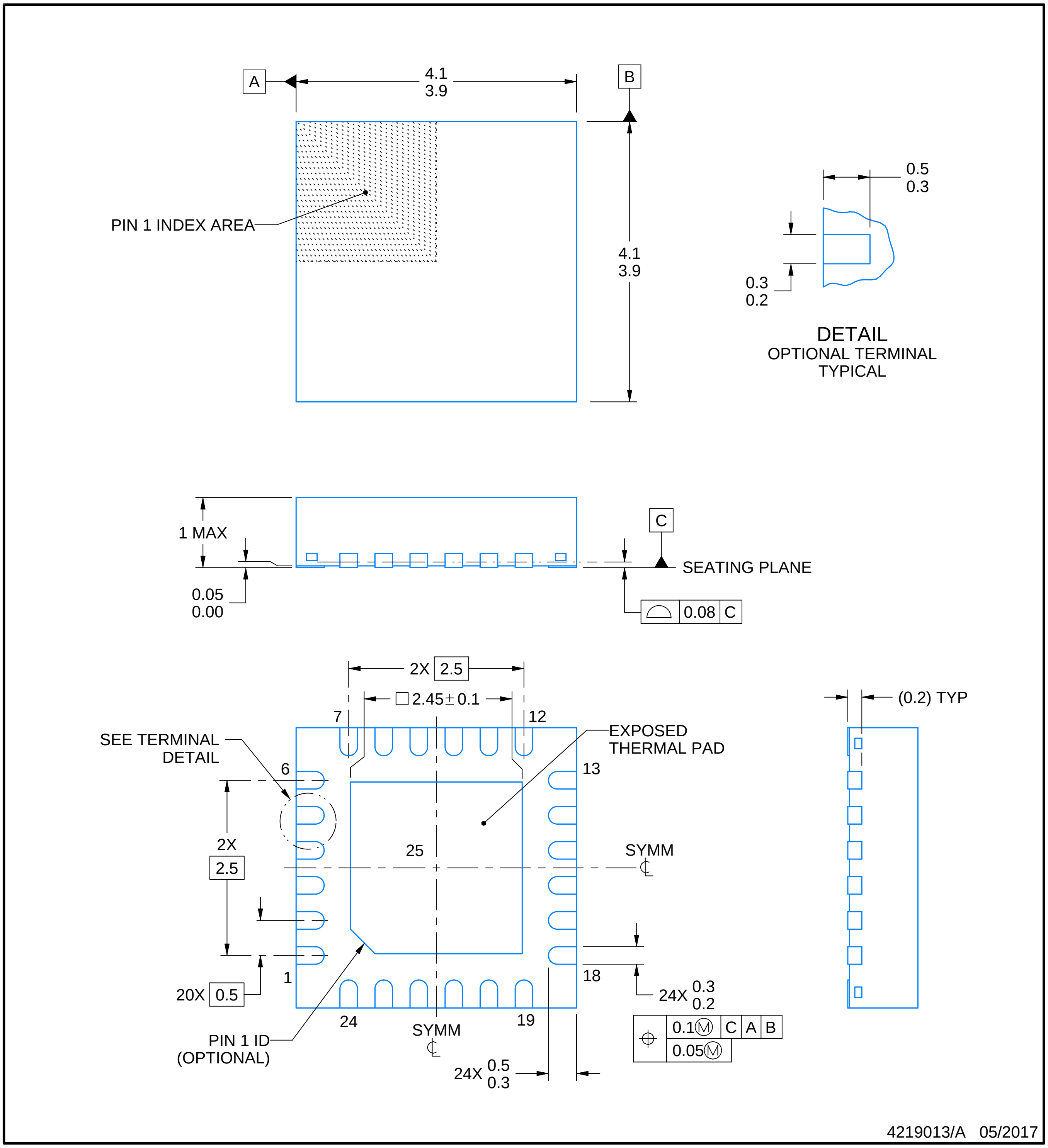
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8424EPWPR	HTSSOP	PWP	28	2500	853.0	449.0	35.0
DRV8424ERGER	VQFN	RGE	24	3000	367.0	367.0	35.0
DRV8424PPWPR	HTSSOP	PWP	28	2500	853.0	449.0	35.0
DRV8424PRGER	VQFN	RGE	24	3000	367.0	367.0	35.0
DRV8425EPWPR	HTSSOP	PWP	28	2500	853.0	449.0	35.0
DRV8425ERGER	VQFN	RGE	24	3000	367.0	367.0	35.0
DRV8425PPWPR	HTSSOP	PWP	28	2500	853.0	449.0	35.0
DRV8425PRGER	VQFN	RGE	24	3000	367.0	367.0	35.0

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



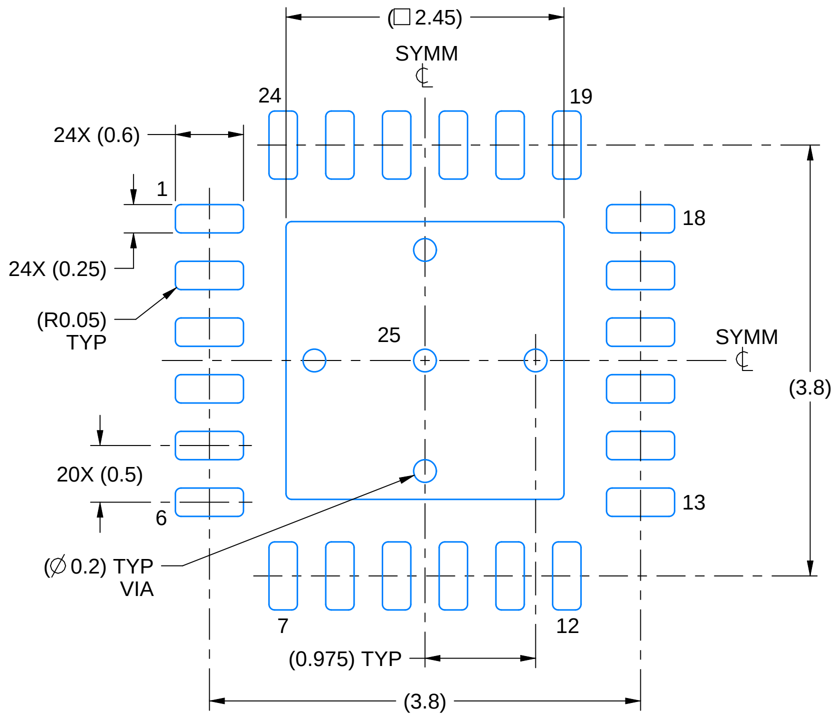


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



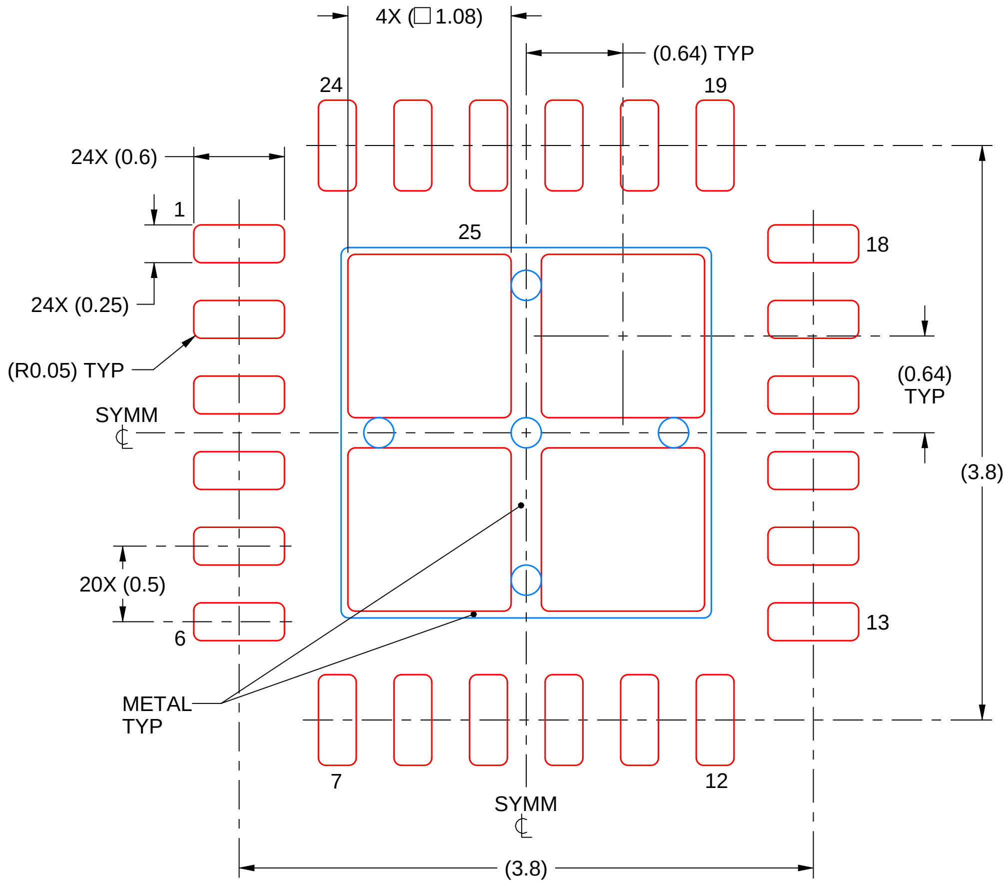
LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

SOLDER MASK DETAILS

4219013/A 05/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 25
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4219013/A 05/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI 提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (https:www.ti.com.cn/zh-cn/legal/termsofsale.html) 或 ti.com.cn 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122