高精度、宽共模范围、双向电流分流监视器零漂移系列产品

查询样品: INA282, INA283, INA284, INA285, INA286

特性

- 宽共模范围：**-14V** 至 **80V**
- 偏移电压：**±20μV**
- 共模抑制比 **(CMRR)**：**140dB**
- 精度:
  - **±1.4%** 增益误差（最大值）
  - **0.3μV/°C** 偏移漂移
  - **0.005%/°C** 增益漂移（最大值）
- 可用增益：
  - **50V/V**：**INA282**
  - **100V/V**：**INA286**
  - **200V/V**：**INA283**
  - **500V/V**：**INA284**
  - **1000V/V**：**INA285**
- 静态电流：**900μA**（最大值）

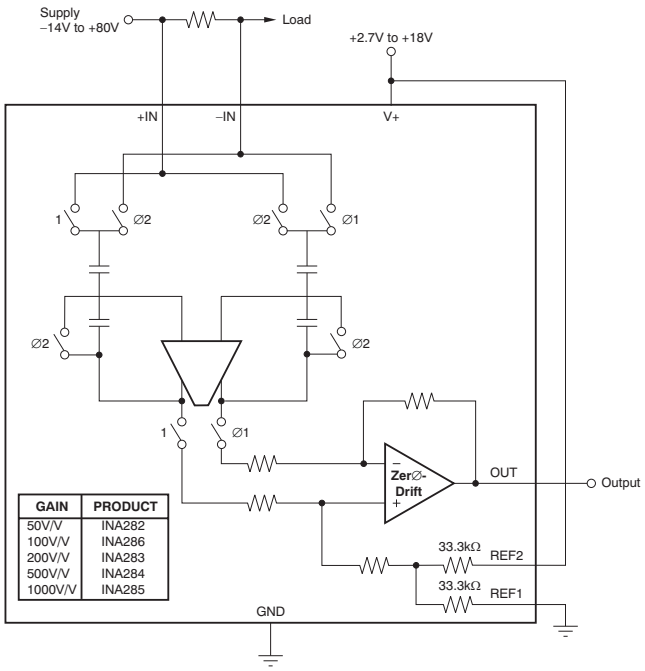
应用范围

- 电信类设备
- 汽车电子
- 电源管理
- 太阳能逆变器

说明

包括 INA282，INA283，INA284，INA285，和 INA286 器件在内的 INA282 系列是电压输出电流并联监控器，此监控器能够感测共模电压上 -14V 至 +80V 的压降，与电源电压无关。 零漂移架构的低偏移使得电流感测在整个分流器上的最大压降低至 10mV 的满量程。

这个电流分流监控器由 +2.7V 至 +18V 电源供电运行，使用最大 900μA 的电源电流。 它在 -40°C 至 +125°C 扩展的额定温度下运行并采用小外形尺寸集成电路 (SOIC)-8 封装。



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

All trademarks are the property of their respective owners.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of the Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

版权 © 2009–2012, Texas Instruments Incorporated

这些装置包含有限的内置 ESD 保护。

存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

封装/订购信息(1)

产品	增益	封装	封装指示符	封装标记
INA282	50V/V	SOIC-8	D	I282A
INA283	200V/V	SOIC-8	D	I283A
INA284	500V/V	SOIC-8	D	I284A
INA285	1000V/V	SOIC-8	D	I285A
INA286	100V/V	SOIC-8	D	I286A

(1) 要获得最新的封装和订货信息，请参阅本数据表末尾的封装选项附录，或者访问www.ti.com上的器件产品文件夹。

最大绝对额定值(1)

在自然通风条件下的工作温度范围测得，除非另有说明。

		INA282，INA283，INA284，INA285，INA286	单位
电源电压		+18	V
模拟输入，V_{+IN}，V_{-IN}(2)	差分电压 $(V_{+IN})-(V_{-IN})$(3)	-5 至 +5	V
	共模	-14 至 +80	V
Ref1，Ref2，输出		GND-0.3 至 (V+)+0.3	V
到任一引脚的输入电流		5	mA
存储温度		-65 至 +150	°C
结温		+150	°C
额定 ESD：	人体模型 (HBM)	3000	V
	充电器件模型 (CDM)	1000	V
	机器模型 (MM)	200	V

(1) 超过这些额定值的应力有可能造成永久损坏。 长时间处于最大绝对额定情况下会降低设备的可靠性。 这些只是应力额定值，在这些值或者任何超过那些所标明的条件下的功能运行并未注明。
(2) V_{+IN}和 V_{-IN}分别为 +IN 和 -IN 引脚上的电压。
(3) 输入电压一定不能超过共模额定值。

热性能信息

热度量(1)		INA282AID，INA283AID，INA284AID，INA285AID，INA286AID	单位
		D	
		8	
θ_{JA}	结到环境热阻	134.9	°C/W
θ_{JCtop}	结至芯片外壳（顶部）热阻	72.9	
θ_{JB}	结至电路板热阻	61.3	
ψ_{JT}	结至顶部的特征参数	18.9	
ψ_{JB}	结至电路板的特征参数	54.3	
θ_{JCbot}	结至芯片外壳（底部）热阻	无	

(1) 有关传统和新的热 度量的更多信息，请参阅*IC 封装热度量*应用报告， SPRA953。

Copyright © 2009–2012, Texas Instruments Incorporated

电气特性

黑体字应用在额定温度范围上的限值，**T_A=-40°C 至 +125°C**。
在 T_A=+25°C，V+=5V，V_{+IN}=12V，V_{REF1}=V_{REF2}=2.048V 以 GND 为基准，并且 V_{SENSE}=V_{+IN}-V_{-IN}时得得，除非额外注明。

参数		条件	INA282，INA283，INA284，INA285，INA286 最小值	典型值	最大值	单位
输入						
偏移电流，RTI(1)	V_{OS}	V_{SENSE}=0mV		±20	±70	µV
与温度间的关系	**dV_{OS}/dT**			**±0.3**	**±1.5**	**µV/°C**
与电源间的关系	电源抑制比 (PSRR)	V_S=+2.7V 至 +18V，V_{SENSE}=0mV		3		µV/V
共模输入电流	**V_{CM}**		**-14**		**80**	**V**
共模抑制	**共模抑制比 (CMRR)**	**V_{+IN}=-14V 至 +80V，V_{SENSE}=0mV**	**120**	**140**		**dB**
每个引脚上的输入偏置电流(2)	I_B	V_{SENSE}=0mV		25		µA
输入偏移电流	I_{OS}	V_{SENSE}=0mV		1		µA
差分输入阻抗				6		kΩ
基准输入						
基准输入增益				1		V/V
基准输入电压范围(3)			0		V_{GND}+9	V
分频器精度(4)				±0.2	±0.5	%
基准电压抑制比		V_{REF}1=V_{REF}2=40mV 至 9V，V+=18V				
INA282				±25	±75	µV/V
与温度间的关系				**0.055**		**µV/V/°C**
INA283				±13	±30	µV/V
与温度间的关系				**0.040**		**µV/V/°C**
INA284				±6	±25	µV/V
与温度间的关系				**0.015**		**µV/V/°C**
INA285				±4	±10	µV/V
与温度间的关系				**0.010**		**µV/V/°C**
INA286				±17	±45	µV/V
与温度间的关系				**0.040**		**µV/V/°C**
增益(5)		GND+0.5V≤V_{OUT}≤(V+)-0.5V；对于所有器件 V_{REF1}=V_{REF2}=(V+)/2				
增益	G					
INA282		V+=+5V		50		V/V
INA283		V+=+5V		200		V/V
INA284		V+=+12V		500		V/V
INA285		V+=+12V		1000		V/V
INA286		V+=+5V		100		V/V
增益误差						
INA282，INA283，INA286				±0.4	±1.4	%
INA284，INA285				±0.4	±1.6	%
与温度间的关系				**0.0008**	**0.005**	**%/°C**
输出						
非线性误差				±0.01		%
输出阻抗				1.5		Ω
最大电容负载		无持续振荡		1		nF

(1) RTI=以输入为基准。
(2) 请见典型特征图Figure 20。
(3) 引脚 REF1 和 REF2 上的电压平均值必须介于 V_{GND}和 (V_{GND}+9V) 的较小值以及 V+ 之间。
(4) 基准分频器精度指定了使用Figure 37中配置的基准分频电阻器间的匹配。
(5) 请见典型特征图Figure 25。

Copyright © 2009–2012, Texas Instruments Incorporated

电气特性 (continued)

黑体字应用在额定温度范围上的限值，**T_A=-40°C 至 +125°C**。
在 T_A=+25°C，V+=5V，V_{+IN}=12V，V_{REF1}=V_{REF2}=2.048V 以 GND 为基准，并且 V_{SENSE}=V_{+IN}-V_{-IN}时得得，除非额外注明。

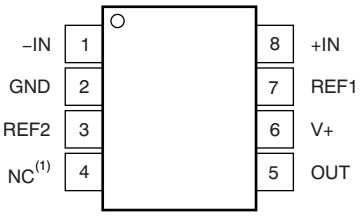
参数	条件	INA282，INA283，INA284，INA285，INA286			单位
		最小值	典型值	最大值	
电压输出(6)	相对于 GND **R_L=10kΩ**				
摆动至 V+ 电源轨	V+=5V		**(V+)-0.17**	**(V+)-0.4**	**V**
摆动至 GND			**GND+0.015**	**GND+0.04**	**V**
频率响应					
有效带宽(7) 带宽					
INA282			10		kHz
INA283			10		kHz
INA284			4		kHz
INA285			2		kHz
INA286			10		kHz
噪声，RTI(8)					
电压噪声密度	1kHz		110		nV/√Hz
电源					
指定电压范围 **V_S**		**+2.7**		**+18**	**V**
静态电流 I_Q			600	900	μA
温度范围					
指定范围		-40		+125	°C

(6) 请见Figure 29到Figure 31的典型特征图。
(7) 请见应用信息中的典型特征图Figure 15和*有效带宽*部分。
(8) RTI=以输入为基准。

Copyright © 2009–2012, Texas Instruments Incorporated

引脚配置

D 封装
SOIC-8
（顶视图）



(1) NC：这个引脚不是内部连接的。 NC 引脚应该被保持悬空或者连接至 GND。

引脚说明

SOIC-8		说明
引脚编号	名称	
1	-IN	连接到分流电阻器的负输入一侧。
2	GND	接地
3	REF2	基准电压连接-连接选项请见应用部分。
4	NC	这个引脚不是内部连接。 NC 引脚应该保持悬空或者连接到 GND。
5	OUT	输出电压
6	V+	电源
7	REF1	基准电压连接-连接选项请见应用部分。
8	+IN	连接到分流电阻器的正输入一侧。

Copyright © 2009–2012, Texas Instruments Incorporated

典型特性

在 T_A=+25°C，V+=5V，V_{+IN}=12V，V_{REF1}=V_{REF2}=2.048V 以 GND 为基准，并且 V_{SENSE}=V_{+IN}-V_{-IN}时测得，除非额外注明。

启动瞬态响应

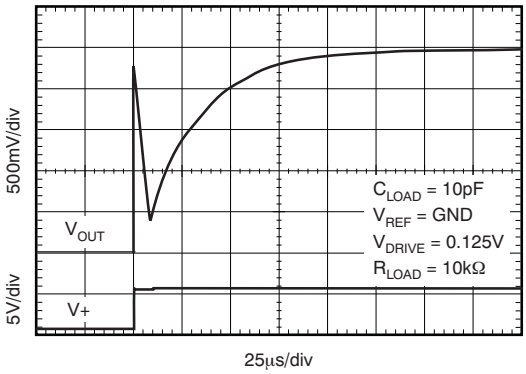


Figure 1.

启动瞬态响应

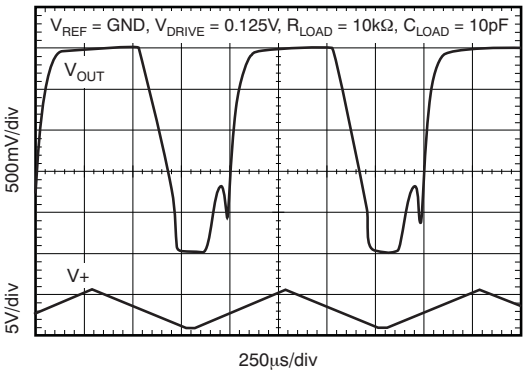


Figure 2.

12V 共模阶跃响应

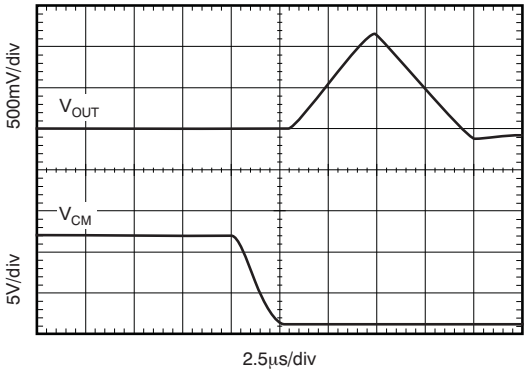


Figure 3.

12V 共模阶跃响应

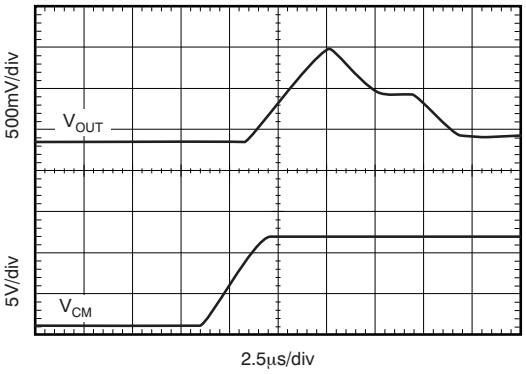


Figure 4.

12V 共模阶跃响应

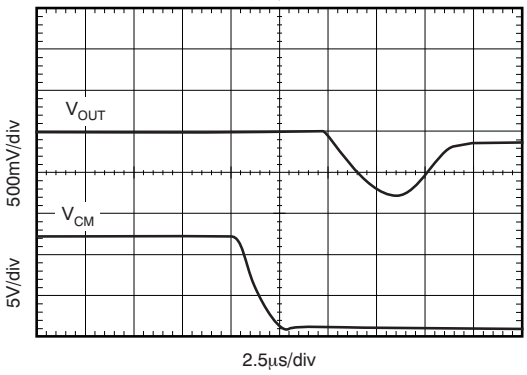


Figure 5.

12V 共模阶跃响应

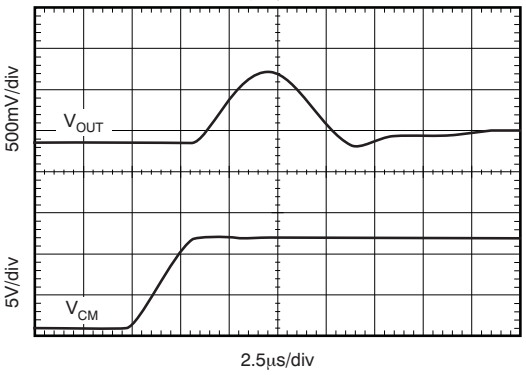


Figure 6.

Copyright © 2009–2012, Texas Instruments Incorporated

典型特性 (continued)

在 T_A=+25°C，V+=5V，V_{+IN}=12V，V_{REF1}=V_{REF2}=2.048V 以 GND 为基准，并且 V_{SENSE}=V_{+IN}-V_{-IN}时测得，除非额外注明。

50V 共模阶跃响应

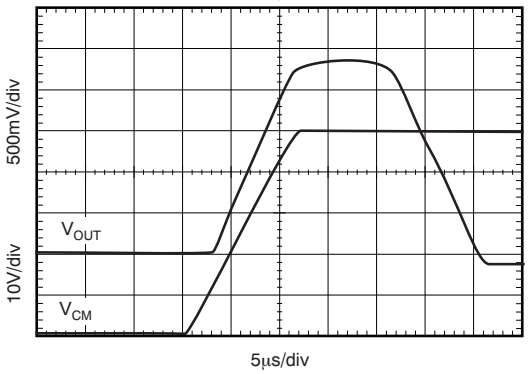


Figure 7.

50V 共模阶跃响应

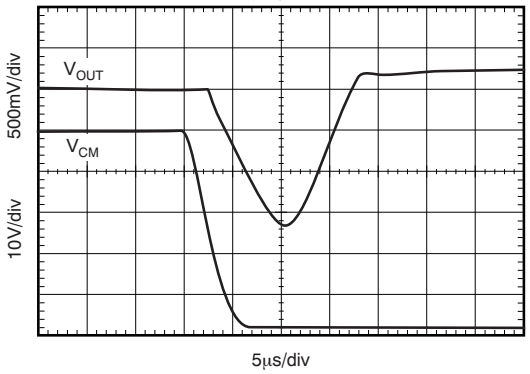


Figure 8.

100mV 阶跃响应

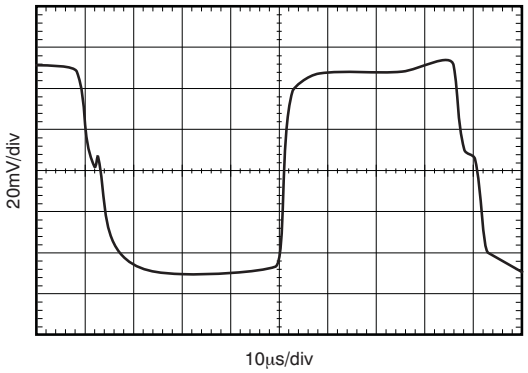


Figure 9.

500mV 阶跃响应

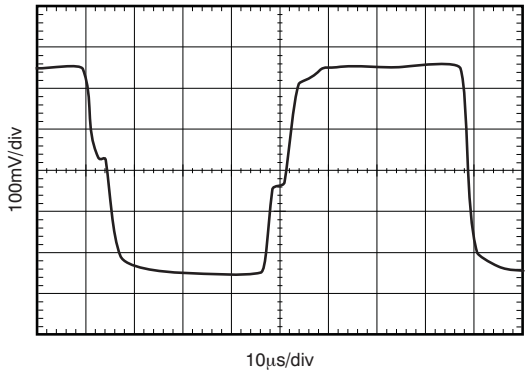


Figure 10.

4V 阶跃响应

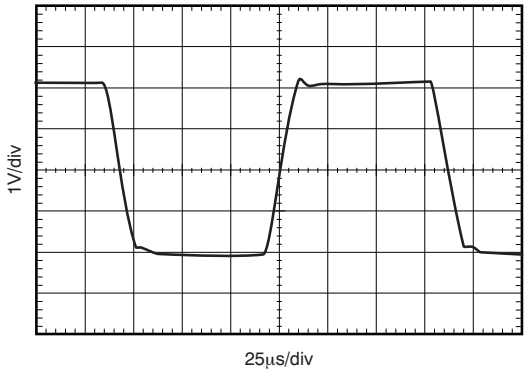


Figure 11.

17V 阶跃响应

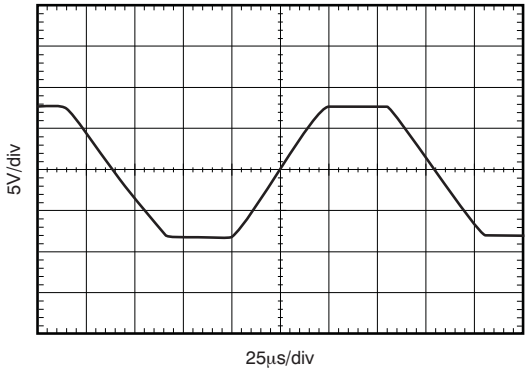


Figure 12.

Copyright © 2009–2012, Texas Instruments Incorporated

典型特性 (continued)

在 T_A=+25°C，V+=5V，V_{+IN}=12V，V_{REF1}=V_{REF2}=2.048V 以 GND 为基准，并且 V_{SENSE}=V_{+IN}-V_{-IN}时测得，除非额外注明。

输入过载

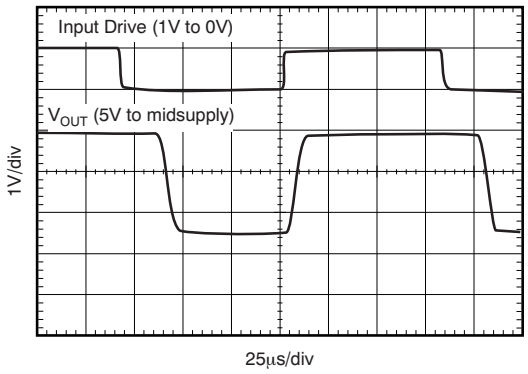


Figure 13.

INA282 PSRR (RTI)
与频率间的关系

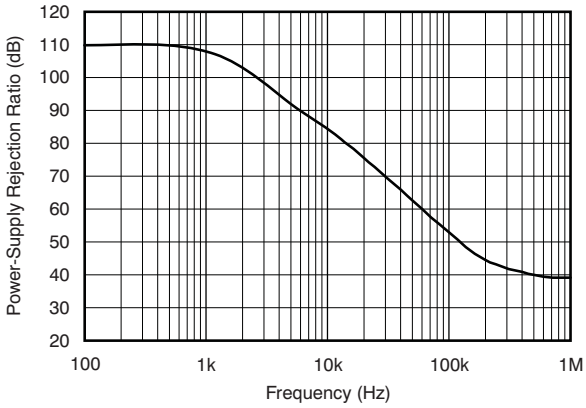


Figure 14.

增益与频率的关系

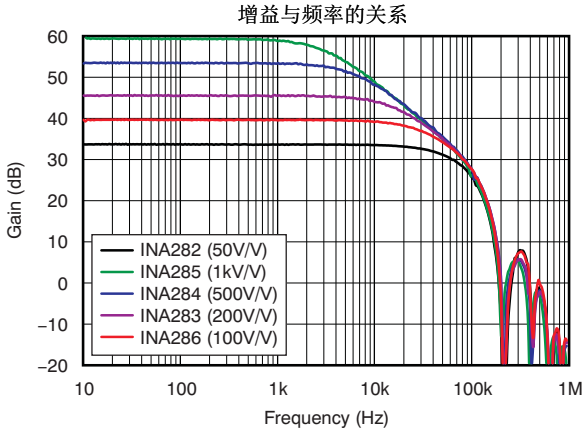


Figure 15.

INA284
共模抑制比 **(RTI)**

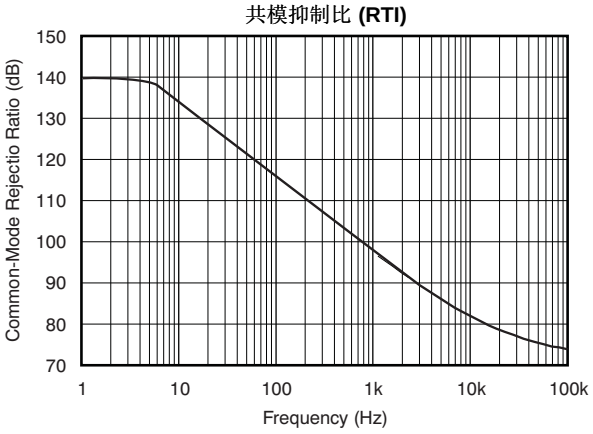


Figure 16.

INA282 共模
转换率感应偏移

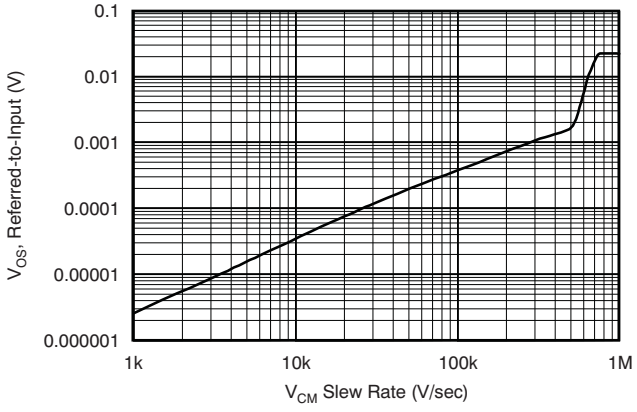


Figure 17.

INA286 输出阻抗
与频率间的关系

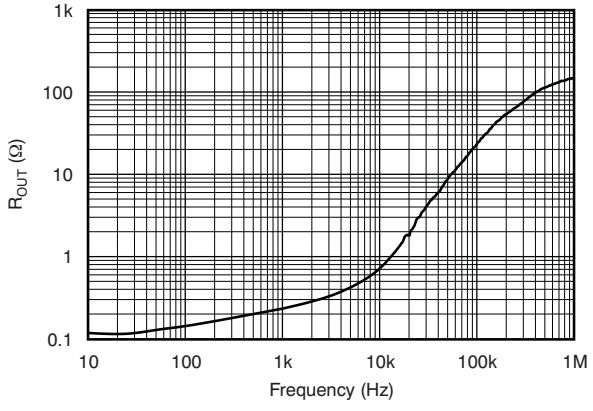


Figure 18.

Copyright © 2009–2012, Texas Instruments Incorporated

典型特性 (continued)

在 T_A=+25°C，V+=5V，V_{+IN}=12V，V_{REF1}=V_{REF2}=2.048V 以 GND 为基准，并且 V_{SENSE}=V_{+IN}-V_{-IN}时测得，除非额外注明。

INA282 典型非线性
与输出电压间的关系

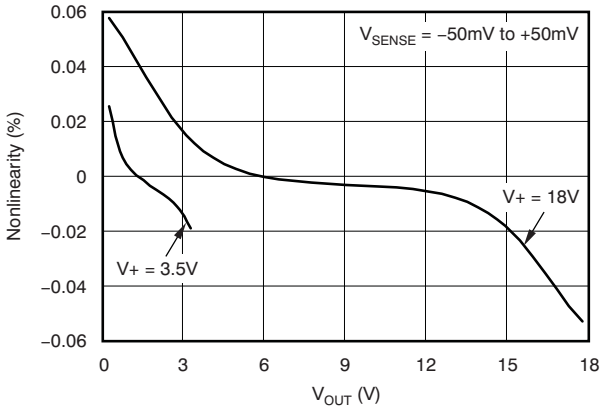


Figure 19.

INA283 +IN 偏置电流
与共模电压间的关系

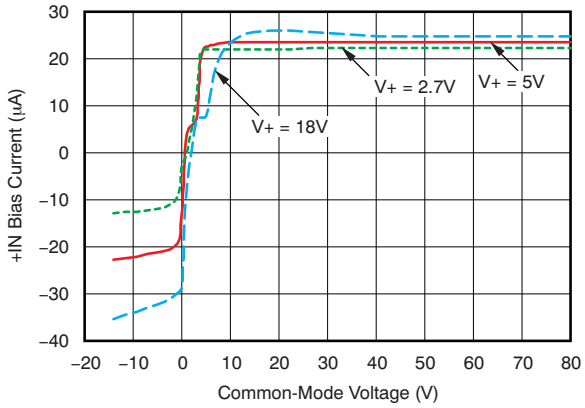


Figure 20.

INA283 静态电流
与共模电压间的关系

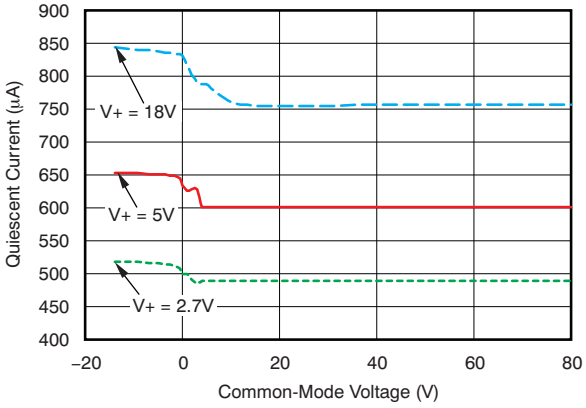


Figure 21.

静态电流
与电源电压间的关系

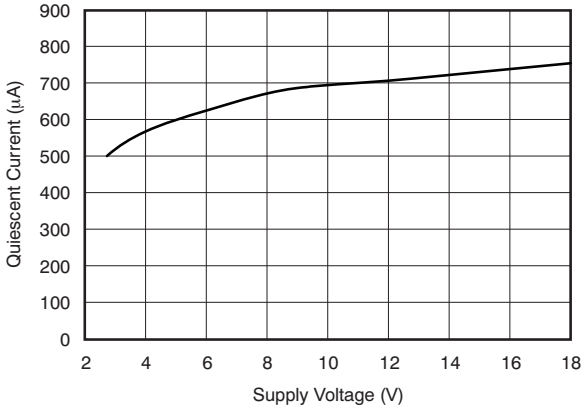


Figure 22.

共模抑制比
与温度间的关系

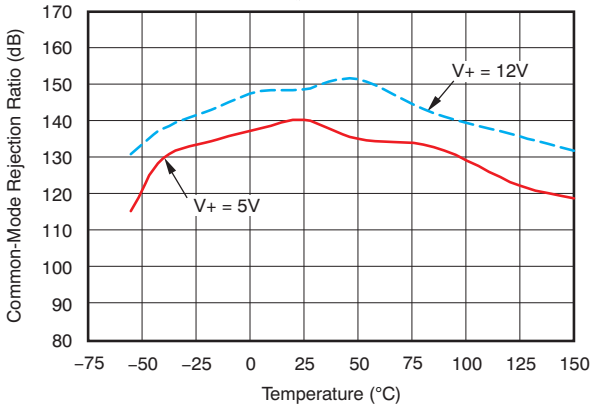


Figure 23.

静态电流
与温度间的关系

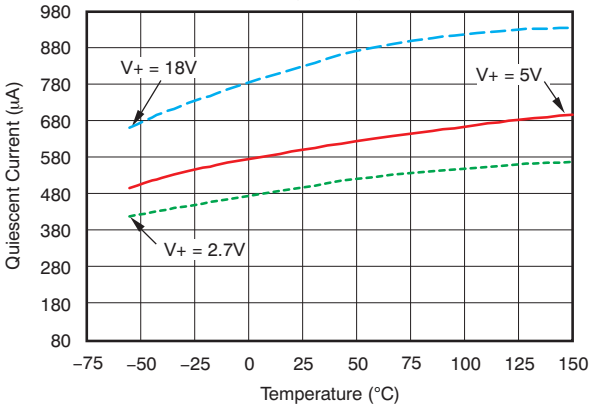


Figure 24.

Copyright © 2009–2012, Texas Instruments Incorporated

典型特性 (continued)

在 T_A=+25°C，V+=5V，V_{+IN}=12V，V_{REF1}=V_{REF2}=2.048V 以 GND 为基准，并且 V_{SENSE}=V_{+IN}-V_{-IN}时测得，除非额外注明。

增益与温度间的关系

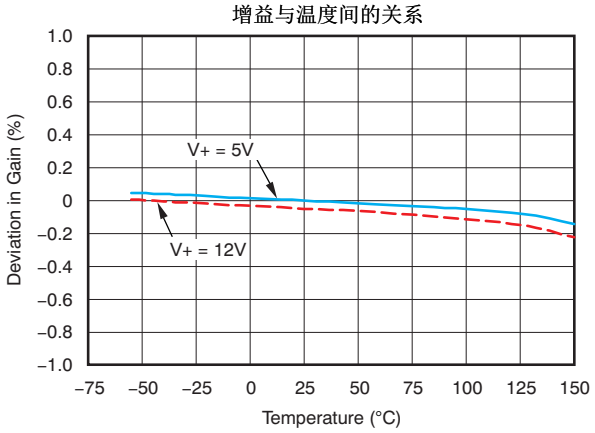


Figure 25.

+IN 偏置电流
与温度间的关系

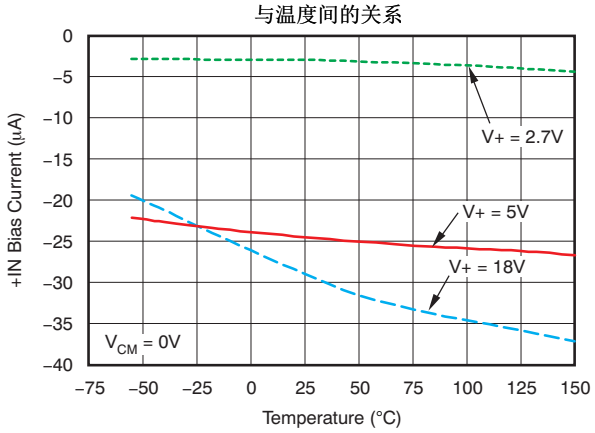


Figure 26.

INA282 0.1Hz 至 10Hz 电压噪声，RTI

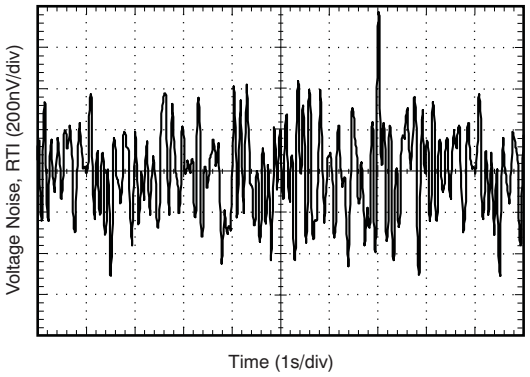


Figure 27.

INA282 电压噪声与频率间的关系

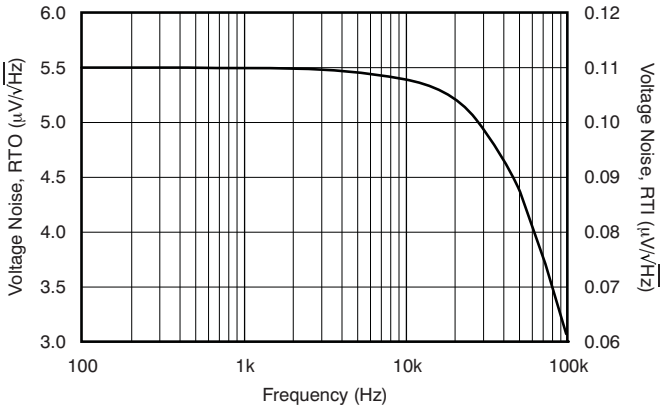


Figure 28.

INA284 到带有短路电流电源轨的摆幅

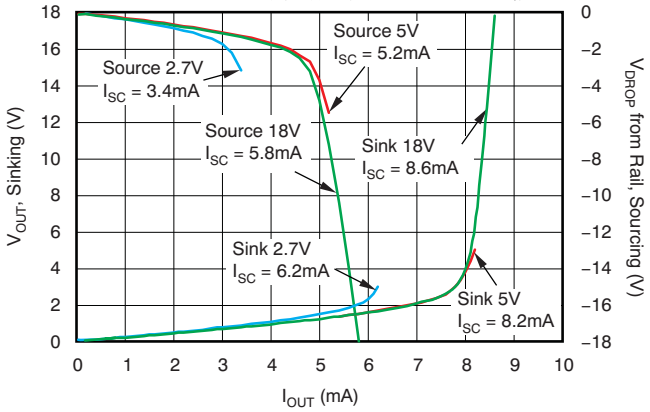


Figure 29.

INA283 到电源轨的摆幅与输出电流间的关系

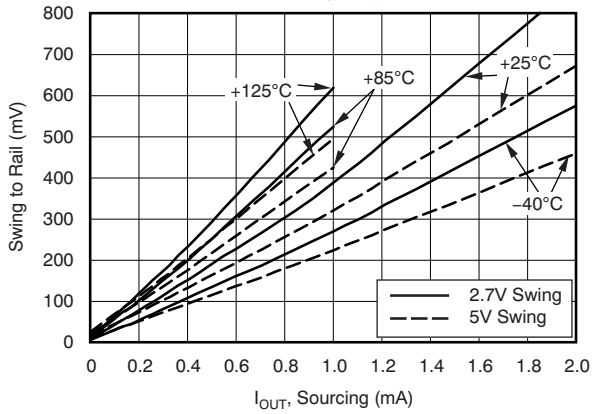


Figure 30.

Copyright © 2009–2012, Texas Instruments Incorporated

典型特性 (continued)

在 T_A=+25°C，V+=5V，V_{+IN}=12V，V_{REF1}=V_{REF2}=2.048V 以 GND 为基准，并且 V_{SENSE}=V_{+IN}-V_{-IN}时测得，除非额外注明。

INA283 到接地的摆幅与输出电流间的关系

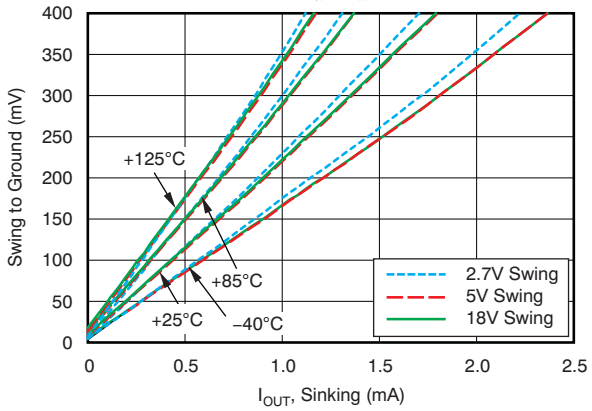


Figure 31.

应用信息

总说明

INA282 系列电压输出电流并联监控器特有一个共模范围，此范围在负电源轨之下扩展了 14V，并且高达 80V，这使得此器件可用于低侧或者高侧电流感应。

基本连接

Figure 32显示了 INA282 系列器件的基本连接。 输入引脚，+IN 和 -IN，应该被连接到尽可能靠近分流电阻器的位置以大大减少任何与分流电阻串联的电阻值。

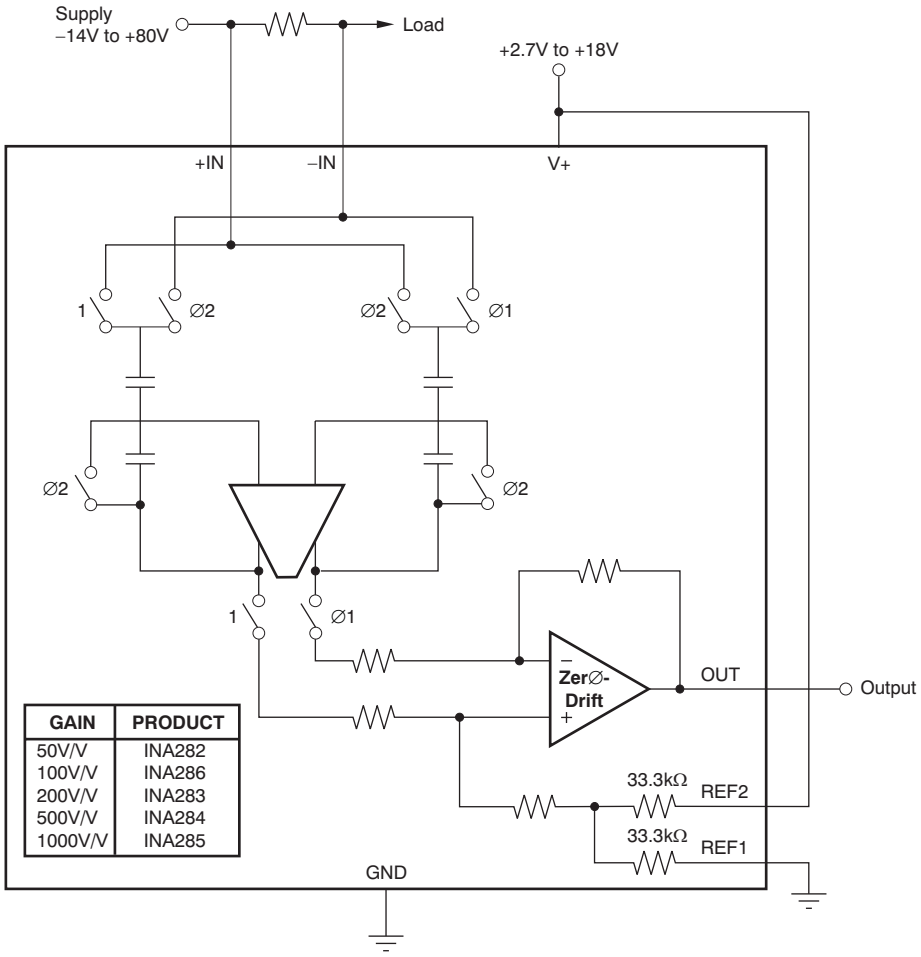


Figure 32. 典型应用

需要电源旁路电容器来实现稳定性。 带有嘈杂或者高阻抗电源的应用也许需要额外的去耦合电容器来抑制电源噪声。 将旁路电容器连接到接近器件引脚的位置。

电源

INA282 系列能够准确地测量其自身电源电压，V+，范围之外的电压，这是因为它的输入（IN+ 和 IN-）可以在独立于 V+ 之外的 -14V 至 +80V 电压范围内的任一电压值上运行。 例如，V+ 电源可以为 5V，而分路监控的共模电压可以高至 +80V。 当然，INA282 系列的输出电压范围受到电源电压（在 V+ 上为 INA282 供电）的限制。 请注意，当 INA282 系列的电源被关闭时（也就是说，不为 V+ 引脚提供电压），输入引脚（+IN 和 -IN）相对接地为高阻抗并且在 -14V 至 +80V 完全共模范围上的典型漏电流少于 ±1μA。

选择 R_S

INA282 系列的零漂移加工可使用低至 10mV 的满量程分流电压。

Copyright © 2009–2012, Texas Instruments Incorporated

有效带宽

INA282 系列极高的直流 CMRR 由开关电容器输入结构导致。 由于这个架构，INA28x 显示出了Figure 16的增益与频率间关系图中说明的离散时间系统运行方式以及Figure 3至Figure 10的阶跃响应曲线。 当输入阶跃出现时，对一个阶跃输入的响应在一定程度上取决于内部 INA28x 时钟的阶段。 可使用一个输入共模电压内的快速变化来使输入放大器过载（请见Figure 17）。 由共模电压阶跃和/或者过载情况导致的误差通常在干扰被去除的 15μs 内消失。

瞬态保护

INA282 系列的 -14V 至 28V 的共模范围非常适合于耐受汽车故障情况，此故障情况的范围从 12V 电池反接到高达 +80V 的瞬态；达到这些级别无需额外的保护组件。 如果 INA282 系列受到超过其额定值输入上的瞬态的影响，那么就需要带有半导体瞬态吸收器（齐纳二极管或者*瞬态电压抑制器 (Transzorb)*）的外部瞬态吸收。 除非在不使用半导体瞬态吸收器时使用，否则不建议使用金属氧化物压敏电阻 (MOV) 或者压敏电阻(VDR)。 选择瞬态吸收器，这样就使得 INA282 系列不受大于 80V 瞬态影响（也就是说，支持瞬态吸收器耐受，以及由瞬态吸收器动态阻抗产生的额外电压）。 尽管使用了内部齐纳类型静电放电(ESD) 保护二极管，在不会降低增益精度的情况下，INA282 系列也不会使用与输入串联的外部电阻器。

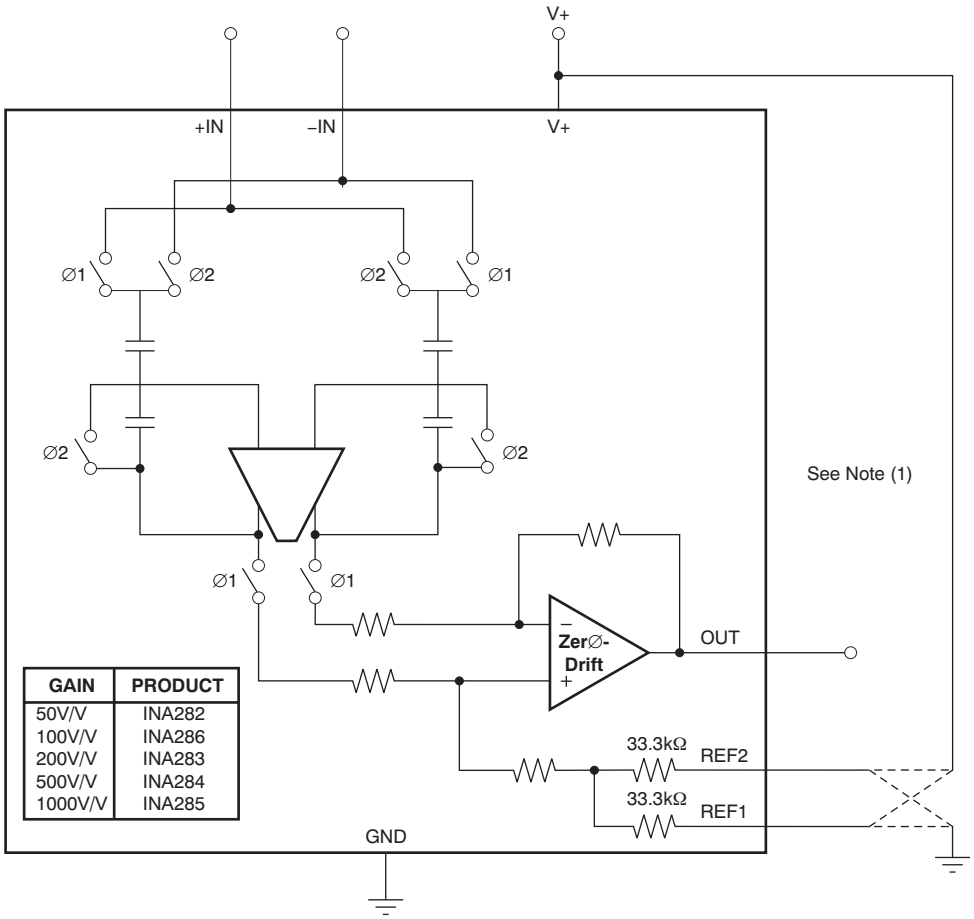
关断

虽然 INA282 系列不提供关断引脚，600μA 的静态电流使得它能够由一个逻辑栅极的输出供电。 将此栅极置为低电平来关闭 INA282 系列器件。

Copyright © 2009–2012, Texas Instruments Incorporated

基准引脚连接选项

Figure 33解释了一个针对基准分频器精度的测试电路。 INA282系列的输出可被连接用于单向或者双向运转。 请注意，无论 REF1 引脚还是 REF2 引脚都不可以被连接至任何低于 GND 或者高于 V+ 的电压源，并且有效基准电压 (REF1+REF2)/2 必须为 9V 或者更低。 这个参数意味着Figure 35显示的 V+ 基准输出连接不支持大于 9V 的 V+。 然而，Figure 37显示的分离电源基准连接支持所有高达 18V 的 V+ 值。



(1) 通过测量带有应用到替代基准电阻器上的基准电压的输出并算出一个结果，可确定基准分频器精度，这样在最终的测量中放大器偏移被消除。

Figure 33. 针对基准分频器精度的测试电路

Copyright © 2009–2012, Texas Instruments Incorporated

单向运转

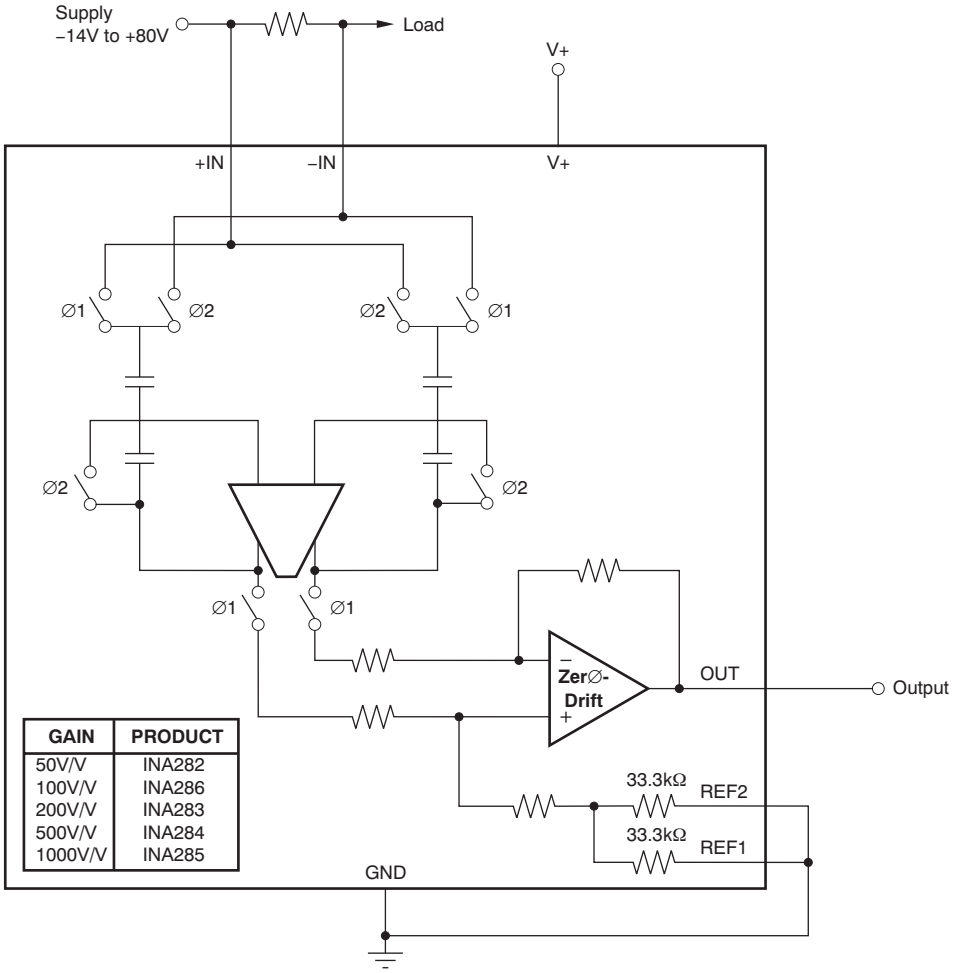
单向运转使得 INA282 能够测量从一个方向流经一个阻性分路的电流。 在单向运行的情况下，当差分输入为 0V 时，输出可被设定在负电源轨（近接地，并且为最常见的连接）或者被正电源轨（近 V+）上。 当采用一个正确的极性差分输入电压时，输出移动到相对的电源轨。

差分输入所需的极性取决于输出电压设置。 如果输出被设定在正电源轨，输入极性必须为负以将输出向下移动。如果输出被设定在接地上，则极性为正以将输出向上移动。

下面的部分描述了如何为单向运行配置输出。

以接地为基准的输出

当在这个模式中使用 INA282 时，两个基准输入都被连接至接地；当输入上有 0V 差分电压时，这个配置将输出带到负电源轨（如Figure 34所示）。



GAIN	PRODUCT
50V/V	INA282
100V/V	INA286
200V/V	INA283
500V/V	INA284
1000V/V	INA285

Figure 34. 以接地为基准的输出

V+ 基准输出

当两个基准引脚都被连接至正电源时，这个模式被设定。 这个模式通常当一个诊断机制要求功率被应用到负载之前检测放大器和接线时使用（如Figure 35所示）。

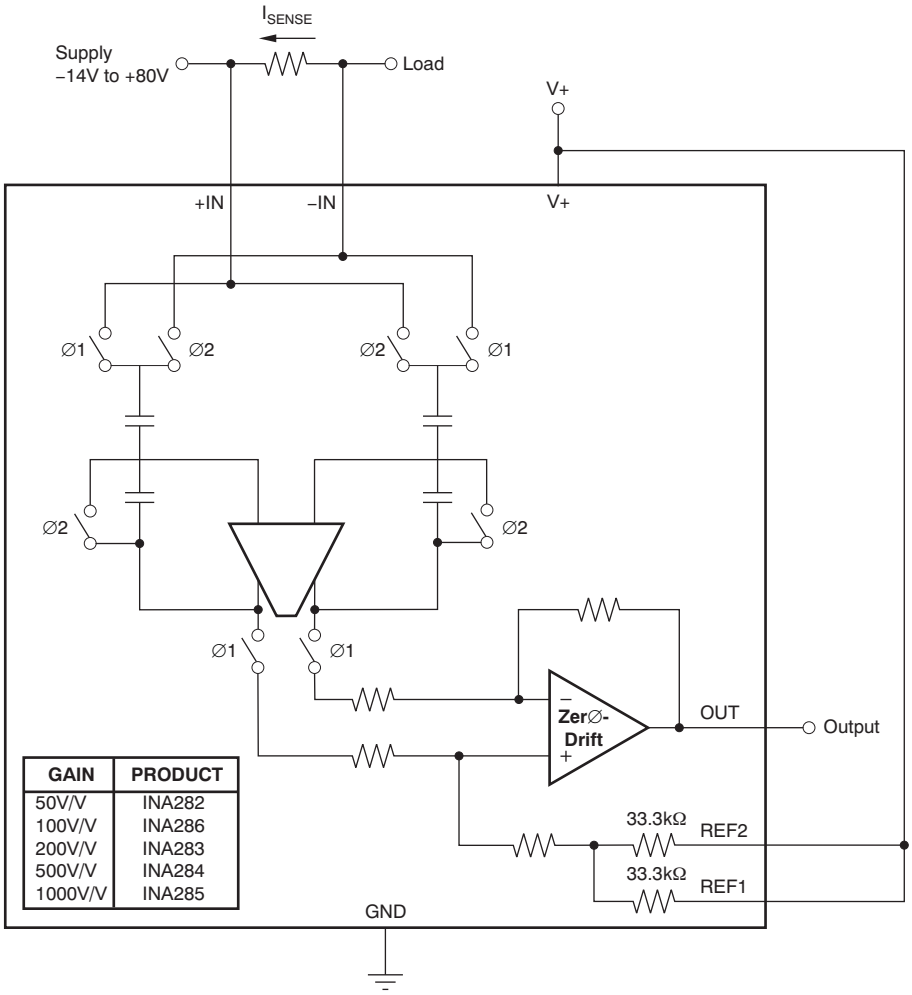


Figure 35. V+ 基准输出

Copyright © 2009–2012, Texas Instruments Incorporated

双向运转

双向运转使得 INA282 系列能够测量在两个方向上流经阻性分路的电流。 在这个情况下，可在基准输入所允许的限值内的任一位置设定输出（即，0V 到 9V，但是不要超过电源电压）。 通常，它在两个方向上被设定为等值半量程。 在一些情况下，当双向电流不对称时，它被设定为半量程之外的电压值。

通过将电压应用到基准输入上，可设定静态输出电压。 REF1 和 REF2 被连接至与一个内部偏移节点相连的内部电阻器上。 这两个引脚之间没有操作差异。

外部基准输出

当没有差分输入时，将两个引脚接在一起并连接至一个基准会在基准电压上产生一个输出；Figure 36对这个配置进行了说明。 当输入相对于 -IN 引脚为负值时，输出从基准电压向下移动，而当输入相对于 -IN 引脚为正值时，向上移动。 请注意，这个技术是将输出偏置到一个精确电压的最准确的方法。

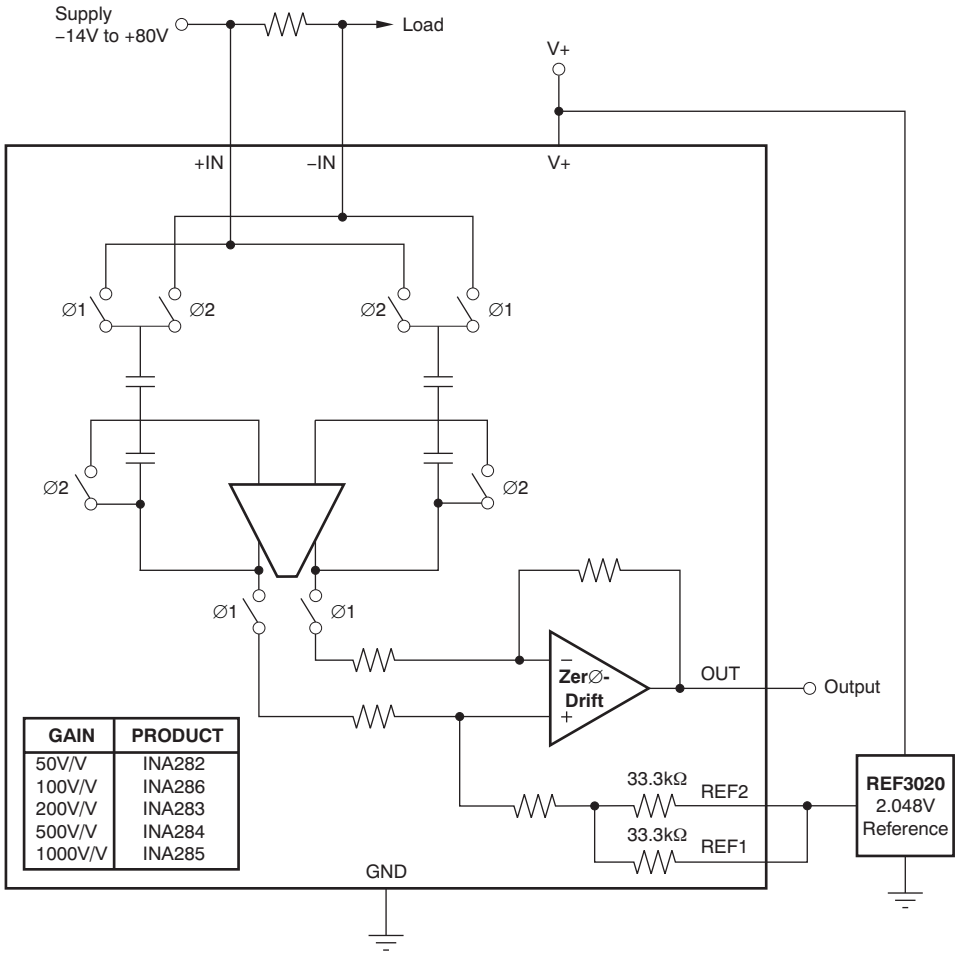


Figure 36. 外部基准输出

分离电源

如Figure 37所示，通过将一个基准引脚连接至 V+ 并将其余引脚连接到接地引脚，当没有差分输入时，输出被设定为电源的一半。 这个方法创建了一个与电源电压成比例的中量程偏移；如果电源增加或者减少，输出保持在电源的一半。

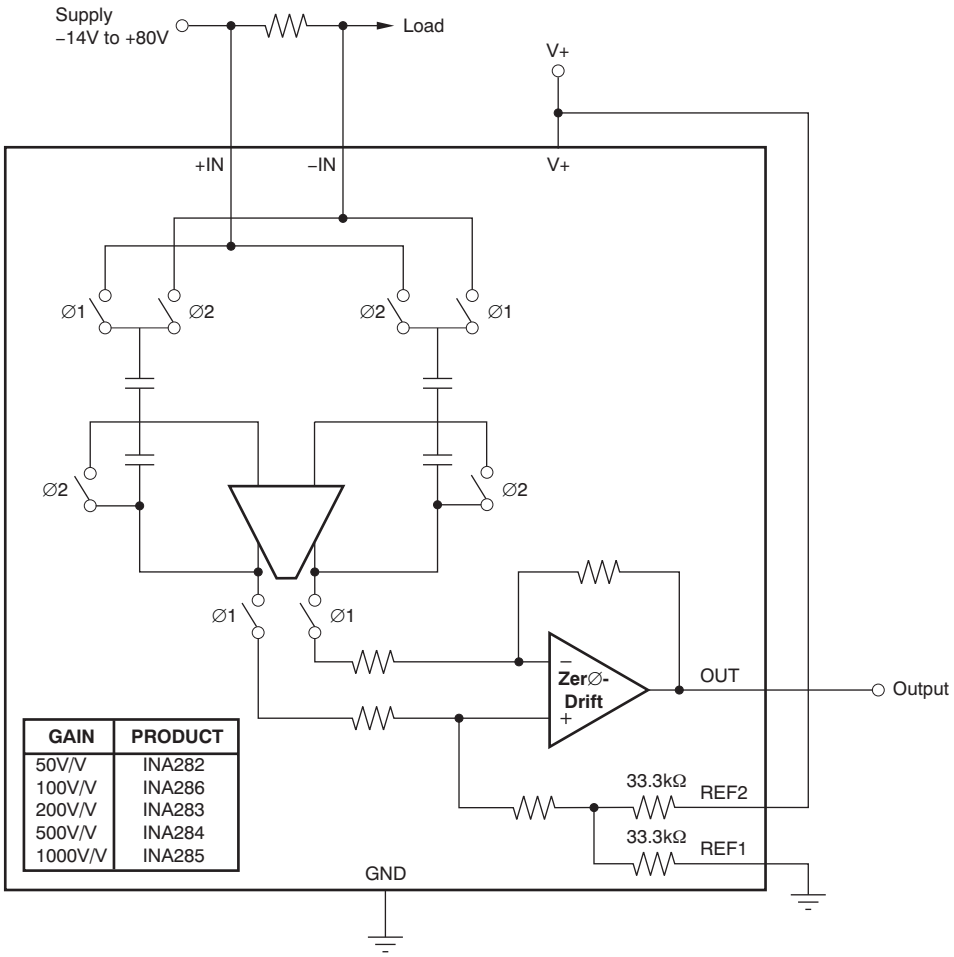


Figure 37. 分离电源输出

Copyright © 2009–2012, Texas Instruments Incorporated

分离一个外部基准

在这个情况下，通过将一个 REF 引脚接地而另外一个 REF 引脚接至基准，一个外部基准被除以 2 且精度接近 0.5%（如Figure 38所示）。

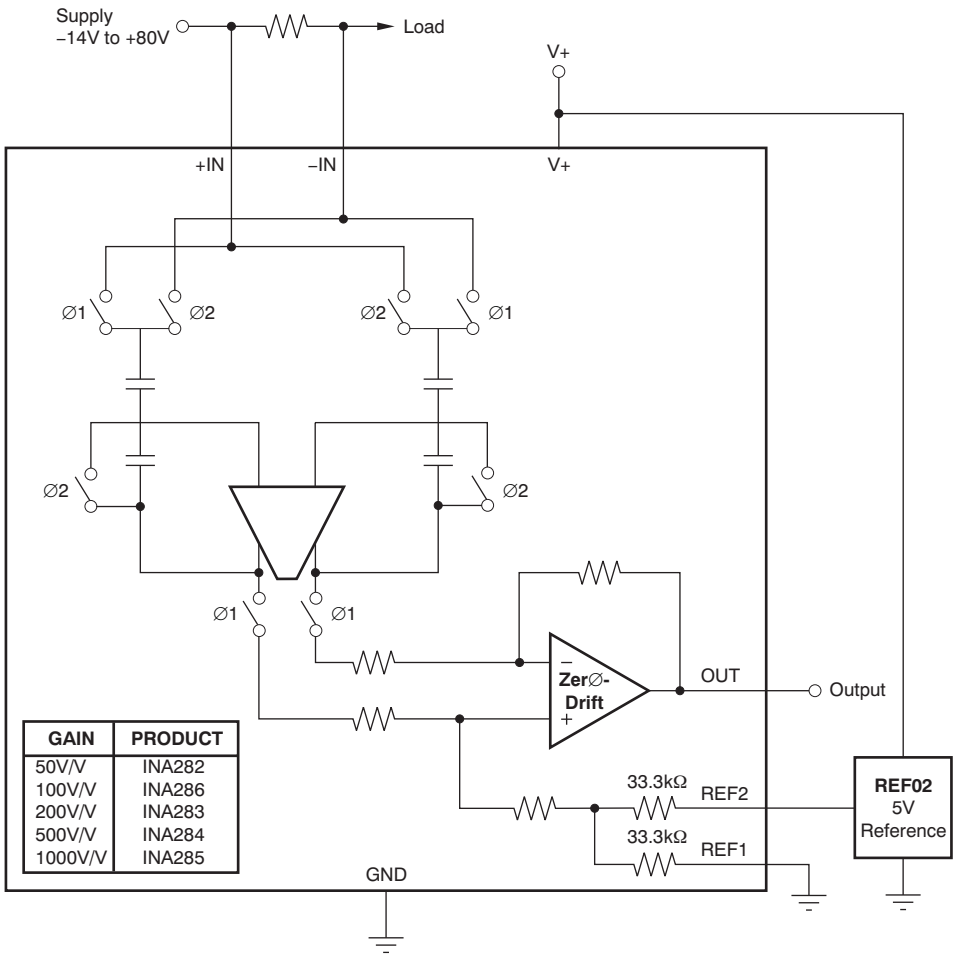
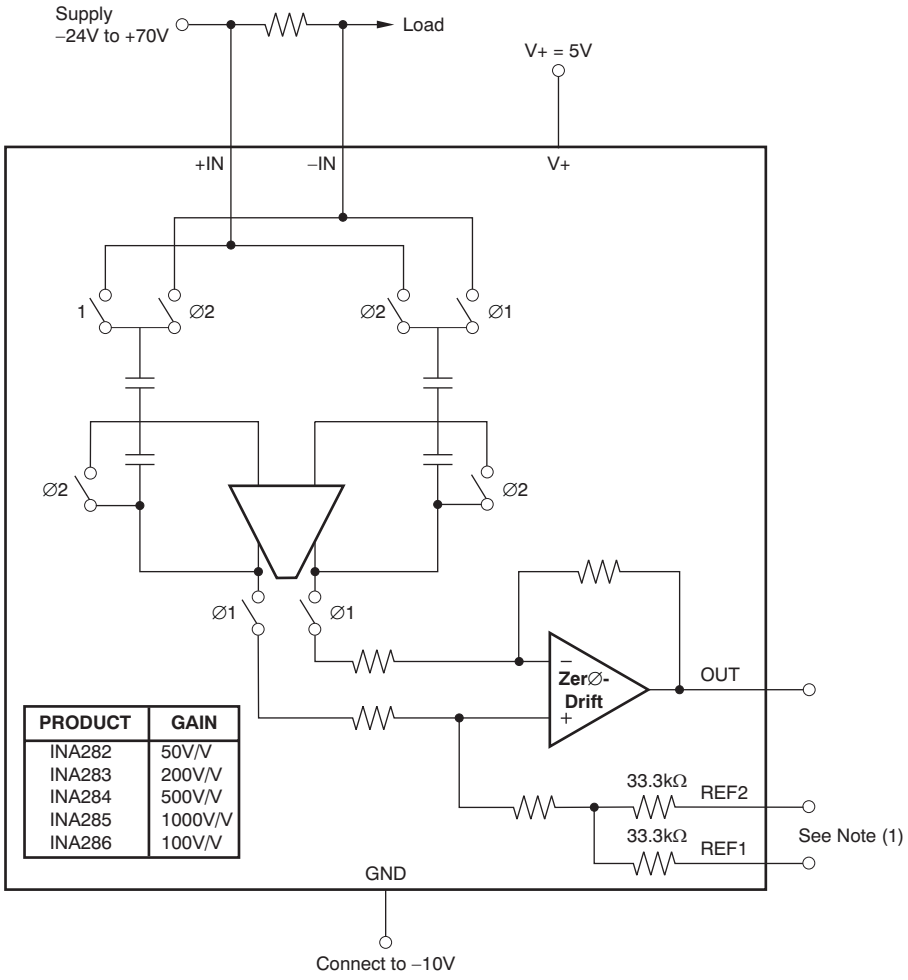


Figure 38. 分离基准输出

扩展的负共模范围

使用一个负电源可向下扩展共模范围 14V，超过电源使用的负电压。 例如，一个 -10V 的电源支持高达 -24V 的负共模。 请牢记，将 GND 引脚 和 V+ 引脚间的总电压保持在少于 18V。 正共模减少同样的数量。

由于输出静态偏置点一直基于基准连接，基准输入简化了此类操作。Figure 39显示一个针对 -24V 至 +70V 共模电压范围的电路配置。



(1) 按需连接 REF 引脚；然而，它们只能最多比 GND 引脚电压多 9 V。

Figure 39. 针对 -24V 至 +24V 共模范围的电路配置

计算总体误差

器件的 INA282-286 系列的电气规范包括典型独立误差项，例如增益误差、偏移误差、和非线性误差。 包括所有这些独立误差成分的总体误差未在 电气特性表中列明。 为了准确计算被认为是来自器件的误差，我们必须首先知道器件所处的运行条件。 一些电流并联监控器在产品数据表中指定一个总体误差。 然而，这个总体误差项只在一个运行条件的特定设定下才是准确的。 由于从这些特定运行条件的偏离不再产生同样的总体误差值，在这一个点上指定总体误差具有很小的实际价值。 这个部分讨论了独立误差源，其中的信息包括为了计算用于正常运行条件下器件的总体误差值，如何应用它们。

对器件的总体误差有最大影响的典型误差源为输入偏移电压、共模电压抑制、增益误差和非线性误差。 对于 INA282-286，被称为*基准共模抑制*的一个额外误差源也被包括在总体误差值中。

Copyright © 2009–2012, Texas Instruments Incorporated

与增益误差规范相比较，INA282-286 的非线性误差相对少，这导致一个增益误差，此误差可被认为在器件的线性输入范围内相对恒定。 虽然增益误差在器件的线性输入范围内保持恒定，与输入偏移电压相关的误差不是如此。当 INA282-286 输入上的分流电阻器内逐渐形成的差分输入电压减少时，器件所固有的输入偏移电压成为引起测量中误差增加的已测得的输入信号的较大部分。 考虑到输入偏移电压与器件感测到的电压间的比，这个变化的误差出现在所有电流并联监控器中。 出现在 INA282-286 器件的相对低输入偏移电压限制总体误差项上偏移电压所具有的基值数量。

*基准共模抑制*项是指将一个基准电压应用到 INA282-286 器件所引起的误差数量，此基准电压偏离了出现在器件第一级输出上的固有偏置电压。 开关电容器网路和首级放大器的输出有一个大约 2.048V 的固有偏置电压。 将一个 2.048V 的基准电压应用到 INA282-286 基准引脚上会导致无额外误差项基值。 在基准引脚上应用一个 2.048V 之外的电压会在内部差异放大器中引起一个电势，从而导致流经电阻器网络的额外电流。 由于电阻器容限和电阻不匹配，这个额外的电流在输出上引起额外误差。 此外，由于电阻器容限，这个额外的电流在基于输出级放大器共模抑制比的输出上引起额外误差。 这个误差项被指回器件输入作为额外的输入偏移电压。 2.048V 内部偏置间的差异和外部基准电压的增加会导致一个更高的输入偏移电压。 此外，由于输出上的误差反过来以输入为基准，会对以输入为基准的偏移产生一个更大的影响，V_{OS}，针对器件的更低增益版本。

提供的两个例子详述了不同的运行条件是如何影响总体误差计算的。 典型和最大计算结果也被显示以为用户提供更多的信息，这些信息是关于从器件到器件可出现有多少误差变量。

示例 1

INA282；V_S=5V；V_{CM}=12V；V_{REF}=2.048V；V_{SENSE}=10mV

Table 1. 示例 **1**

项	符号	等式	典型值	最大值
初始输入偏移电压	V_{OS}	—	20μV	70μV
由于共模电压而增加的输入偏移电压	V_{OS_CM}	$\frac{1}{10^{\left(\frac{CMRR_dB}{20}\right)}} \times (V_{CM} - 12V)$	0μV	0μV
由于基准电压而增加的输入偏移电压	V_{OS_REF}	$R_{CMR} \times (2.048V - V_{REF})$	0μV	0μV
总输入偏移电压	V_{OS_Total}	$\sqrt{(V_{OS})^2 + (V_{OS_CM})^2 + (V_{OS_REF})^2}$	20μV	70μV
来自输入偏移电压的误差	Error_V_{OS}	$\frac{V_{OS_Total}}{V_{SENSE}} \times 100$	0.20%	0.70%
增益误差	Error_Gain	—	0.40%	1.40%
非线性误差	Error_Lin	—	0.01%	0.01%
总体误差	—	$\sqrt{(Error_V_{OS})^2 + (Error_Gain)^2 + (Error_Lin)^2}$	0.45%	1.56%

Copyright © 2009–2012, Texas Instruments Incorporated

示例 **2**

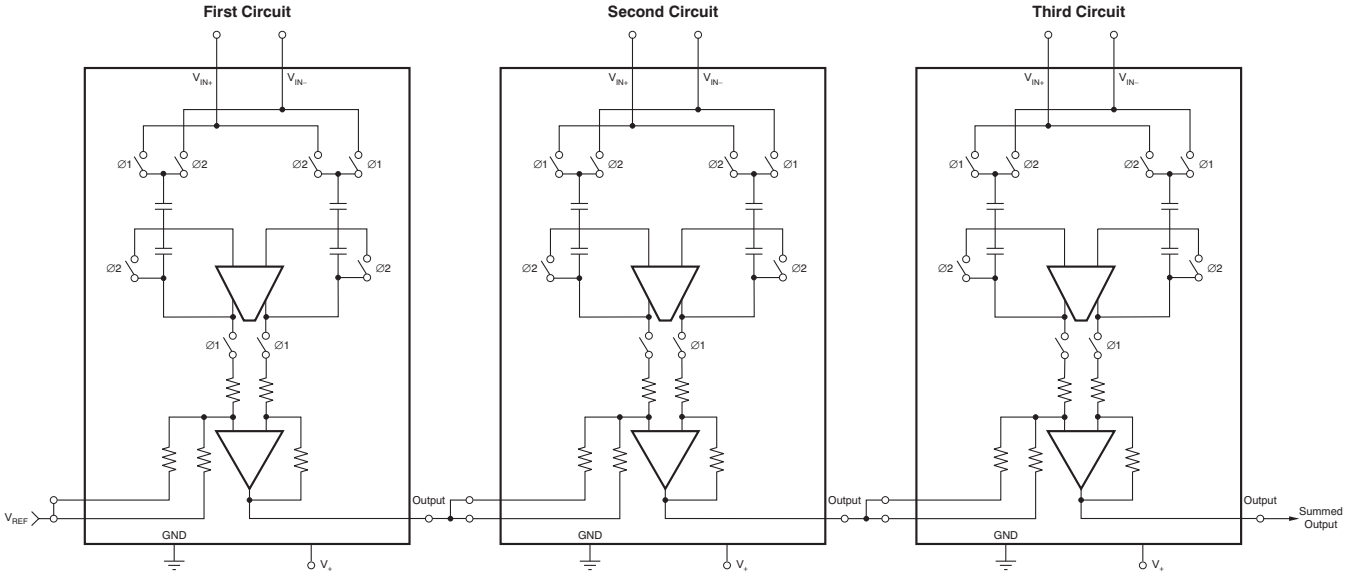
INA286；V_S=5V；V_{CM}=24V；V_{REF}=0V；V_{SENSE}=10mV

Table 2. 示例 **2**

项	符号	等式	典型值	最大值
初始输入偏移电压	V_{OS}	—	20μV	70μV
由于共模电压而增加的输入偏移电压	V_{OS_CM}	$\frac{1}{10^{\left(\frac{CMRR_dB}{20}\right)}} \times (V_{CM} - 12V)$	1.2μV	12μV
由于基准电压而增加的输入偏移电压	V_{OS_REF}	$R_{CMR} \times (2.048V - V_{REF})$	34.8μV	92.2μV
总输入偏移电压	V_{OS_Total}	$\sqrt{(V_{OS})^2 + (V_{OS_CM})^2 + (V_{OS_REF})^2}$	40.2μV	116.4μV
来自输入偏移电压的误差	Error_V_{OS}	$\frac{V_{OS_Total}}{V_{SENSE}} \times 100$	0.40%	1.16%
增益误差	Error_Gain	—	0.40%	1.40%
非线性误差	Error_Lin	—	0.01%	0.01%
总体误差	—	$\sqrt{(Error_V_{OS})^2 + (Error_Gain)^2 + (Error_Lin)^2}$	0.57%	1.82%

电流求和以及并行

通过将一个 INA282 系列器件的输出连接到第二个 INA282 系列器件的基准输入，可以很容易地计算多个 INA282 系列器件输出的和。 可通过重复这个连接来对多余两个器件求和，Figure 40中显示了针对三个器件求和的情况。第一个 INA282 系列器件的基准输入为串中所有的器件设定输出静态电平。



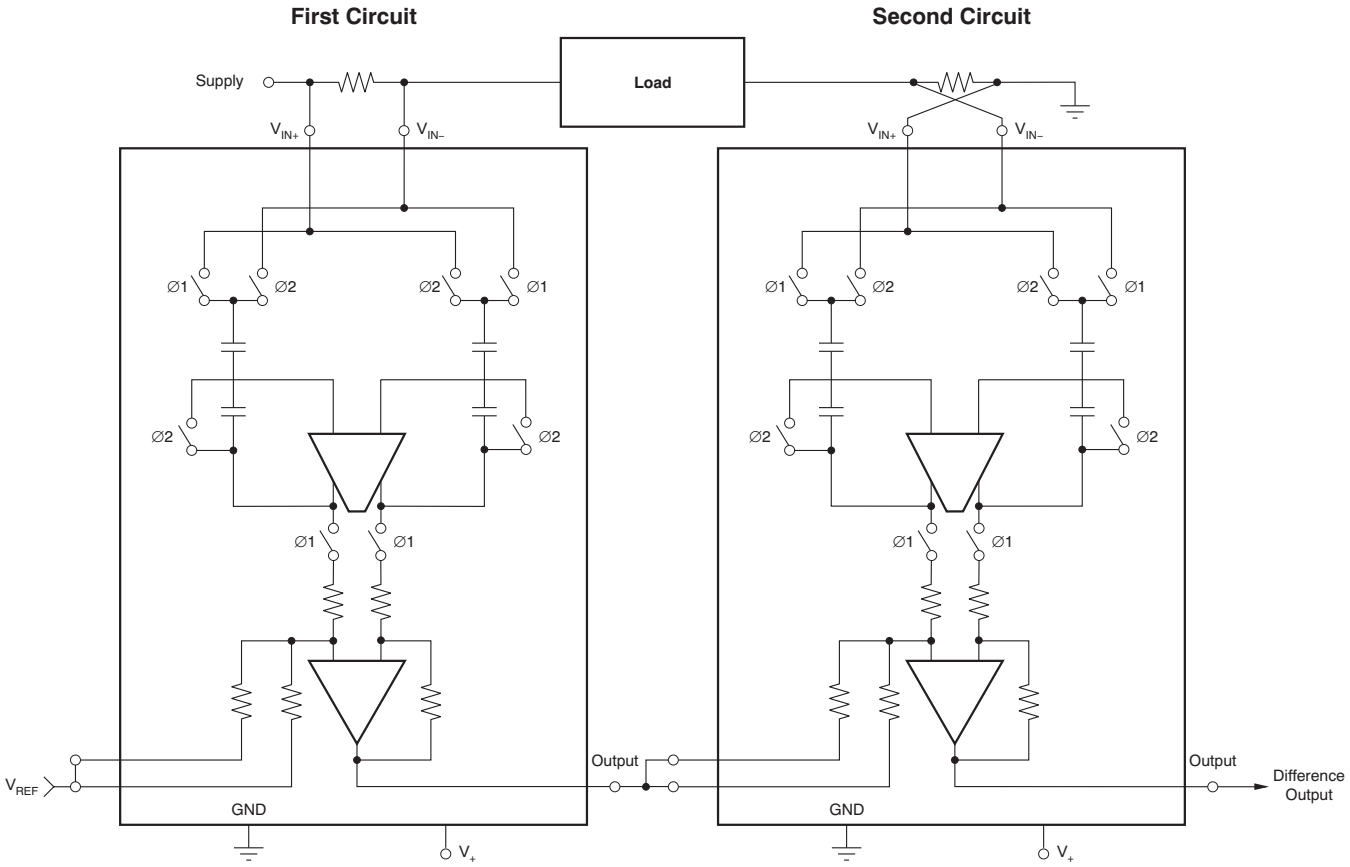
NOTE: 应用到基准输入上的电压不能超过 9V。

Figure 40. 多个 **INA282** 系列器件的输出求和

Copyright © 2009–2012, Texas Instruments Incorporated

电流差分

有时候，需要确认进入一个负载的电流与流出一个负载的电流一样，通常作为诊断测试或者故障检测的一部分。 这个情况要求精准电流差分，这与求和一样，除了两个放大器将它们之间的输入相反连接。 在正常运行条件下，最终的输出非常接近于基准值并与任一电流差异成比例。Figure 41是一个电流差分所需连接的示例。

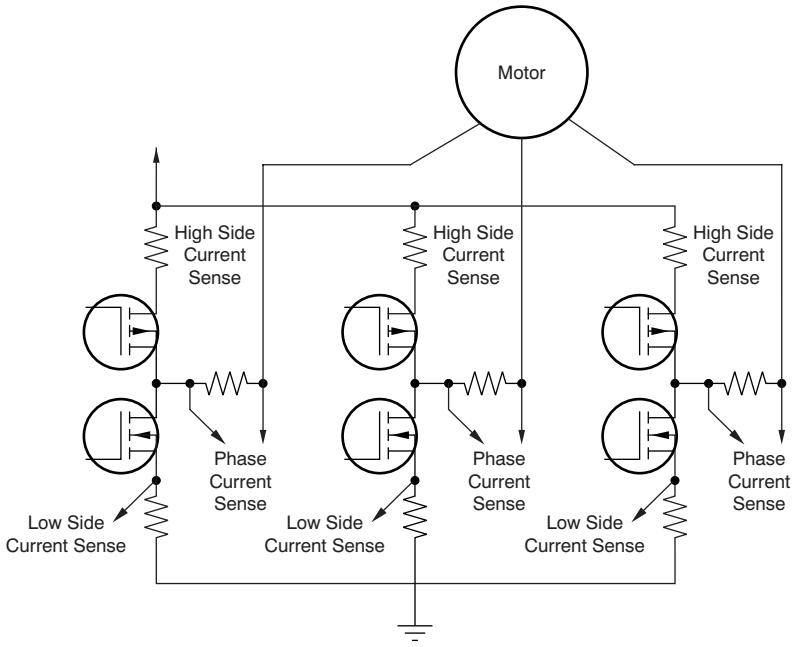


NOTE: 这个例子与电流求和示例相同，除了两个分流输入极性相反，当进入负载和流出负载的电流不匹配时，这个电流差分电路可用于检测二者的差异。

Figure 41. 使用一个 **INA282** 系列器件的电流差分

共模动态和电流差分

电流感测经常被用在图腾柱输出级上，诸如那些桥式电机驱动。 我们能够在一个图腾柱输出上的三个位置感测电流：在接地一侧（低侧感应）；在电源一侧（高侧感应）；或者在输出一侧（相位感应）。 只有输出线路报告准确的负载电流。 很明显，接地和电源侧感应只报告独立各自相位内的电流。Figure 42描述了一个三相电机驱动器上的不同方法。

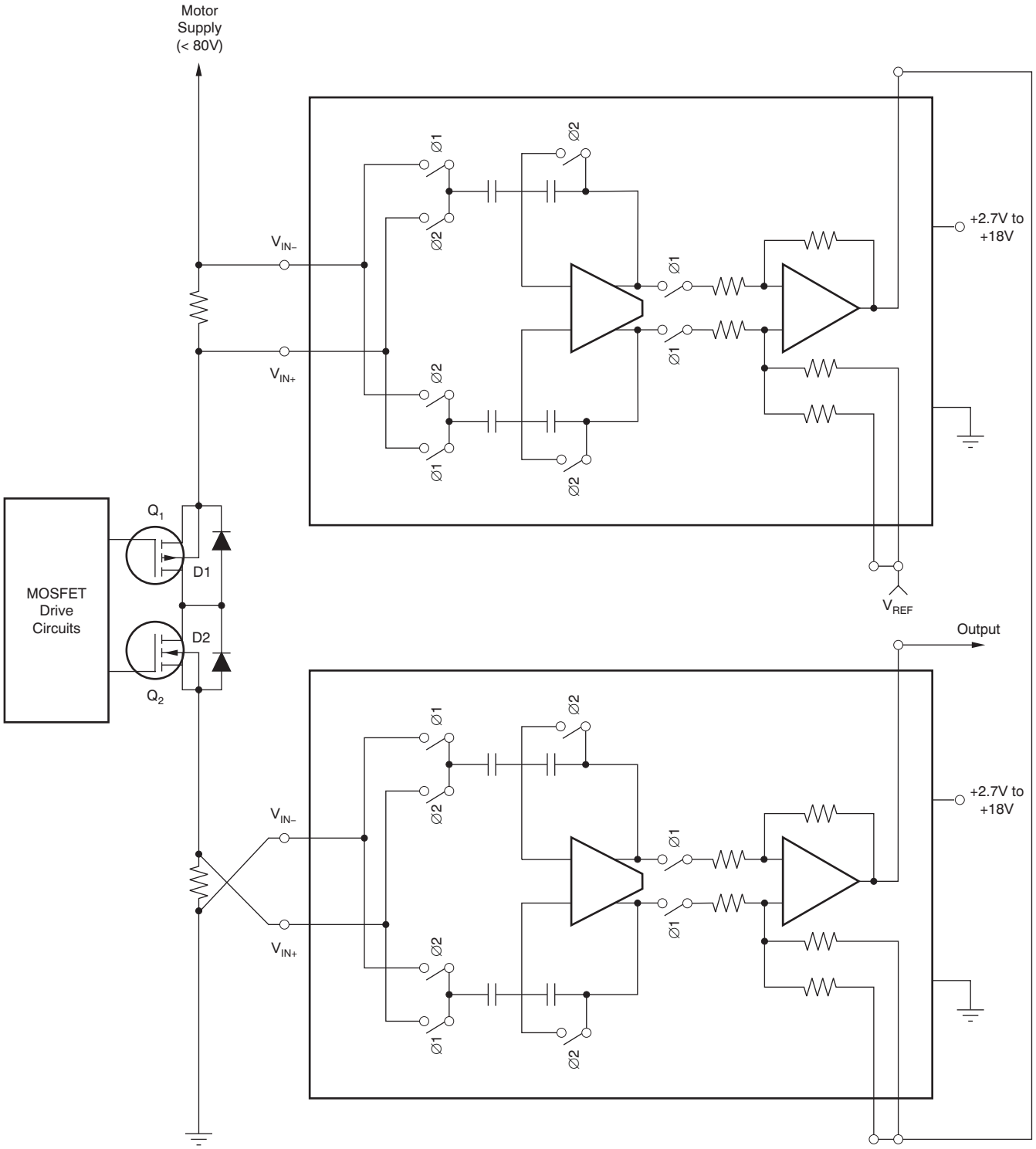


NOTE: 电机驱动电流感测可在低侧、相位侧、或者高侧上完成。 只有相位输出给出了电机中与电流相关的完整信息，但是会受到共模瞬态的影响，即使是最好的放大器也不能完全抵制此类瞬态。

Figure 42. 电机驱动电流感测

然而，对输出的感测会受到由大型共模电压阶跃的影响，此电压阶跃会导致即使是最佳放大器也无法避免的穿通现象。 由于静态共模环境，接地和电源一侧感测配置不会出现这个问题。 只感测接地或者电源只能提供与电机电流相关的部分信息，但是分别地感测这些值并且将它们相加，我们就获得了与相位感测所提供的一样的信息，而其中得到的额外的好处就是不受瞬态共模人为缺陷的影响。 Figure 43显示了一个以这种方式被连接的两个 INA282 系列器件的连接图。 从技术上讲，虽然这个配置为电流差分，因为我们希望上部感测报告一个总体输出内的正走向移动，而负感测报告一个负走向移动。

Copyright © 2009–2012, Texas Instruments Incorporated



NOTE: 通过在正电源轨和负电源轨上感测图腾柱电流并求和，动态共模问题可被完全避免。 请注意，IC_2被连接时它的输入被反相，这是因为它应该报告极性与 IC_1相反的电流。

Figure 43. 感测并求和图腾柱电流

Changes from Revision A (July 2010) to Revision B **Page**

- 将器件从产品预览改为生产数据。 1

Copyright © 2009–2012, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
INA282AID	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I282A	Samples
INA282AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(CFI, CFIF)	Samples
INA282AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(CFI, CFIF)	Samples
INA282AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I282A	Samples
INA283AID	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I283A	Samples
INA283AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(CFJ, CFJF)	Samples
INA283AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(CFJ, CFJF)	Samples
INA283AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I283A	Samples
INA284AID	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I284A	Samples
INA284AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(CFK, CFKF)	Samples
INA284AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(CFK, CFKF)	Samples
INA284AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I284A	Samples
INA285AID	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I285A	Samples
INA285AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(CFL, CFLF)	Samples
INA285AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(CFL, CFLF)	Samples
INA285AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I285A	Samples
INA286AID	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I286A	Samples
INA286AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(ODY, ODYF)	Samples
INA286AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(ODY, ODYF)	Samples
INA286AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I286A	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

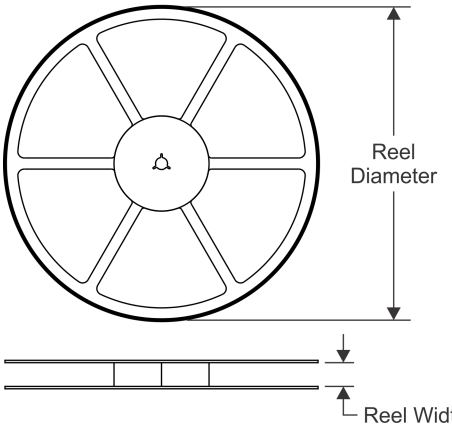
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

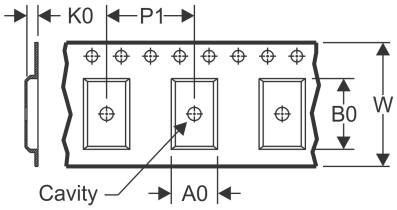
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

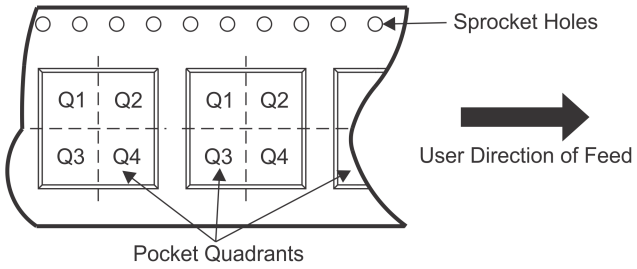


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

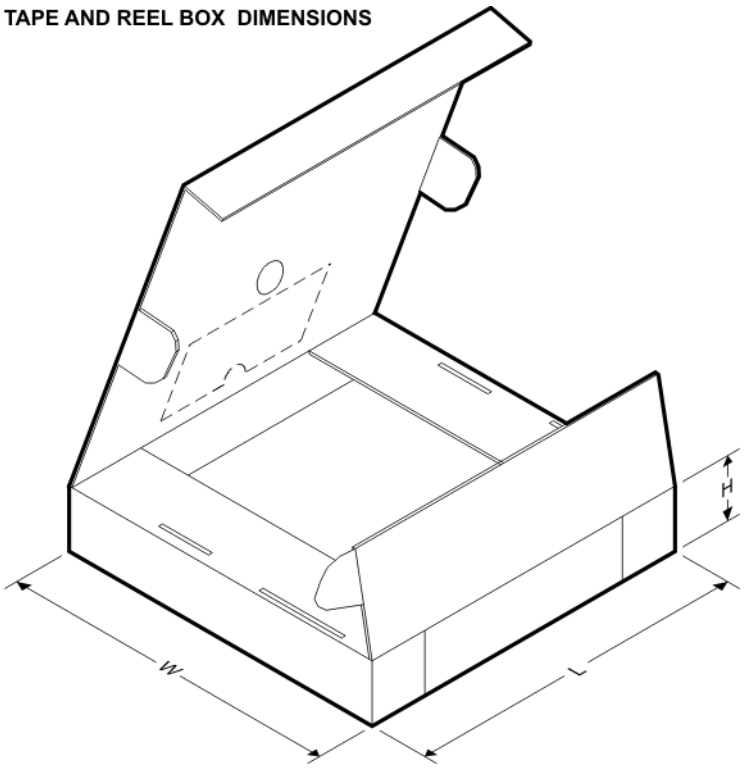
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA282AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA282AIDGKT	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA282AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA283AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA283AIDGKT	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA283AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA284AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA284AIDGKT	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA284AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA285AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA285AIDGKT	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA285AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA286AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA286AIDGKT	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA286AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

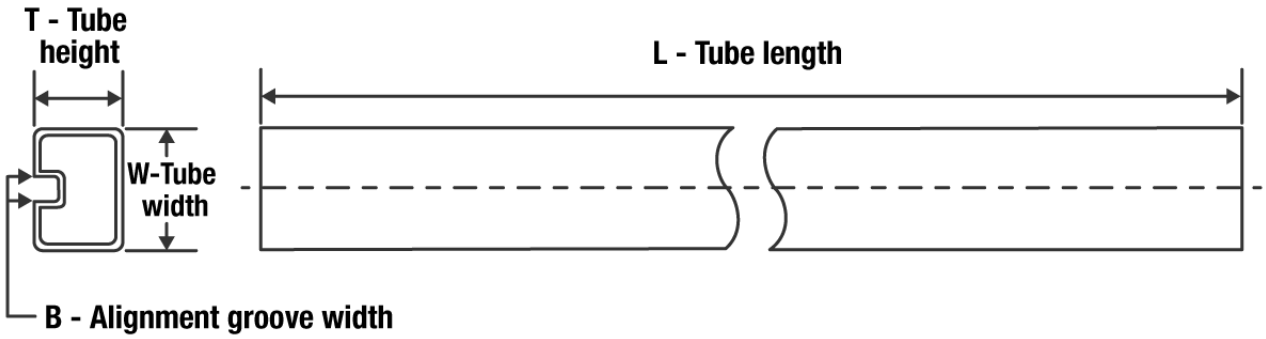
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA282AIDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
INA282AIDGKT	VSSOP	DGK	8	250	366.0	364.0	50.0
INA282AIDR	SOIC	D	8	2500	853.0	449.0	35.0
INA283AIDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
INA283AIDGKT	VSSOP	DGK	8	250	366.0	364.0	50.0
INA283AIDR	SOIC	D	8	2500	853.0	449.0	35.0
INA284AIDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
INA284AIDGKT	VSSOP	DGK	8	250	366.0	364.0	50.0
INA284AIDR	SOIC	D	8	2500	853.0	449.0	35.0
INA285AIDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
INA285AIDGKT	VSSOP	DGK	8	250	366.0	364.0	50.0
INA285AIDR	SOIC	D	8	2500	853.0	449.0	35.0
INA286AIDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
INA286AIDGKT	VSSOP	DGK	8	250	366.0	364.0	50.0
INA286AIDR	SOIC	D	8	2500	853.0	449.0	35.0

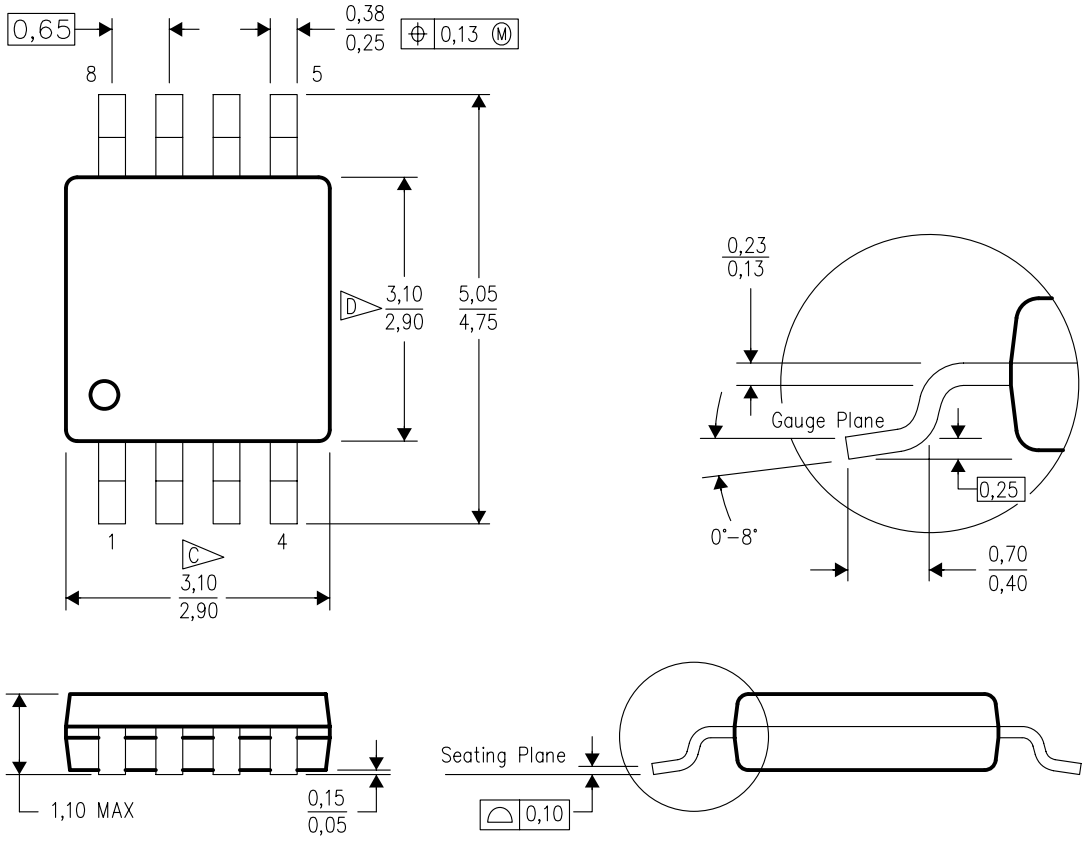
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
INA282AID	D	SOIC	8	75	506.6	8	3940	4.32
INA283AID	D	SOIC	8	75	506.6	8	3940	4.32
INA284AID	D	SOIC	8	75	506.6	8	3940	4.32
INA285AID	D	SOIC	8	75	506.6	8	3940	4.32
INA286AID	D	SOIC	8	75	506.6	8	3940	4.32

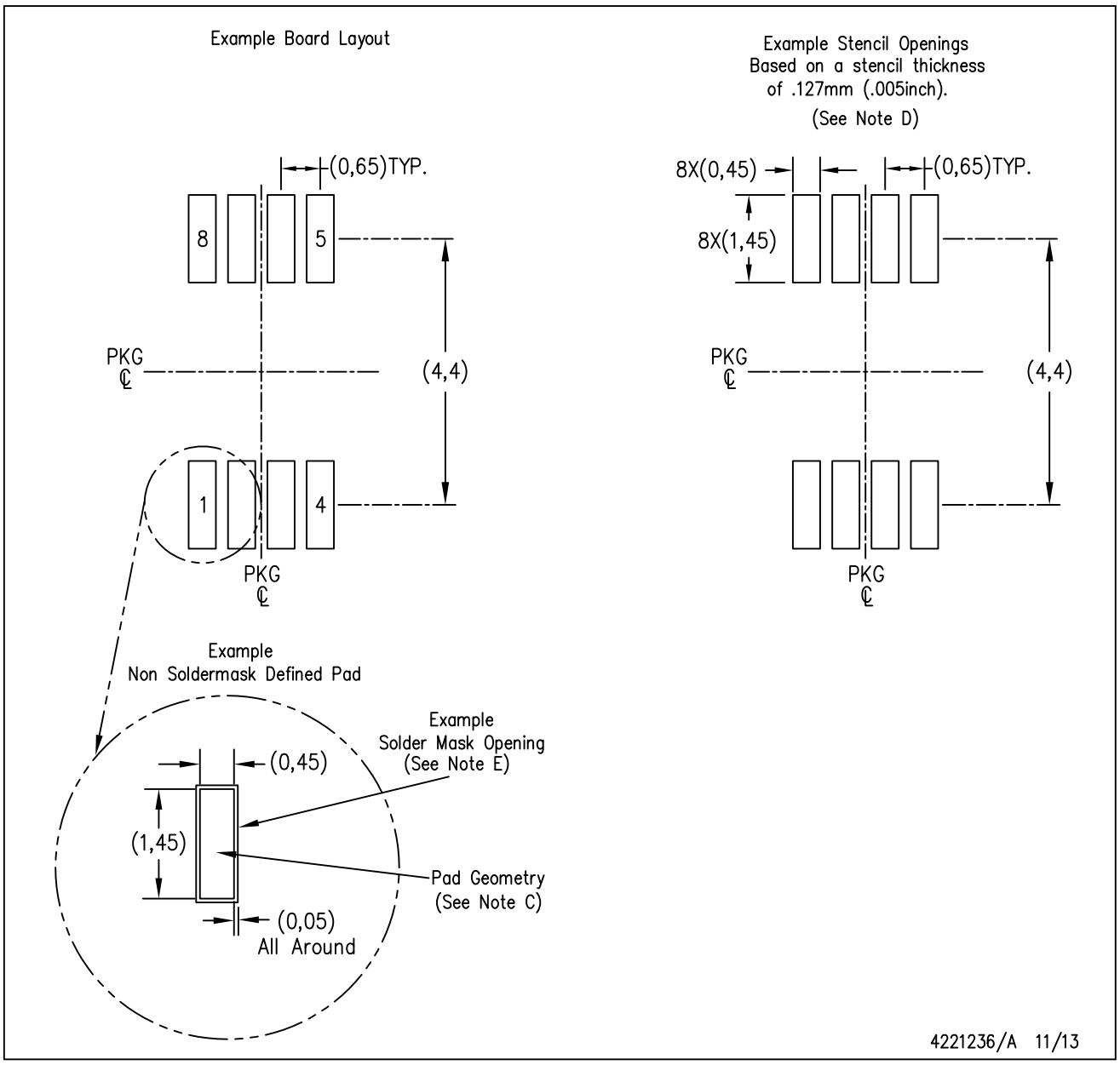
DGK (S–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE



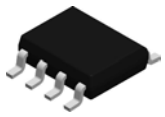
4073329/E 05/06

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
E. Falls within JEDEC MO–187 variation AA, except interlead flash.

DGK (S–PDSO–G8) PLASTIC SMALL OUTLINE PACKAGE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

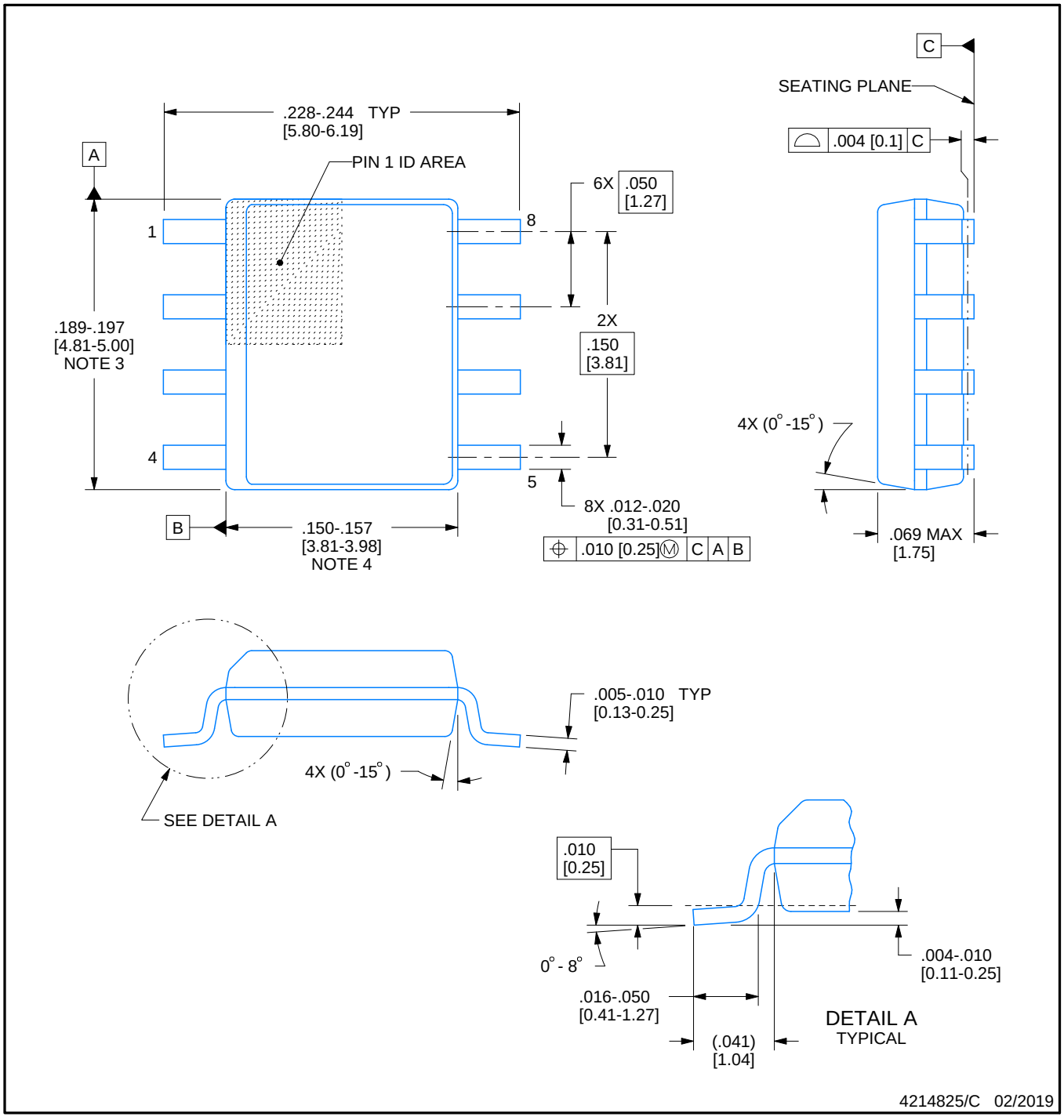


PACKAGE OUTLINE

D0008A

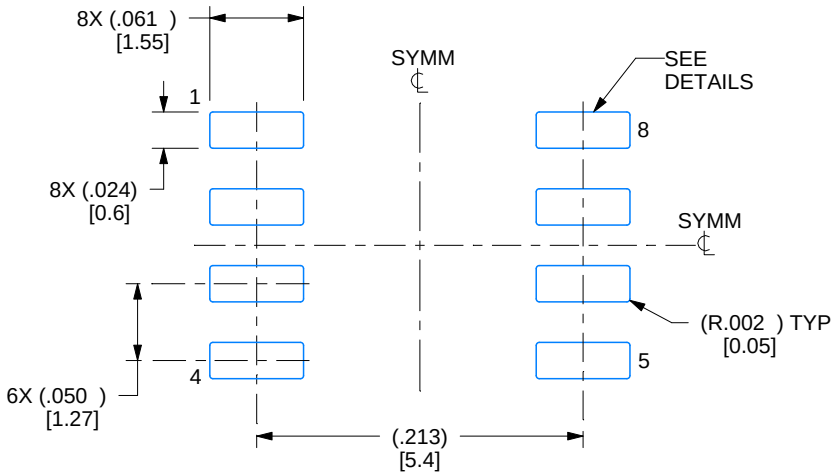
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

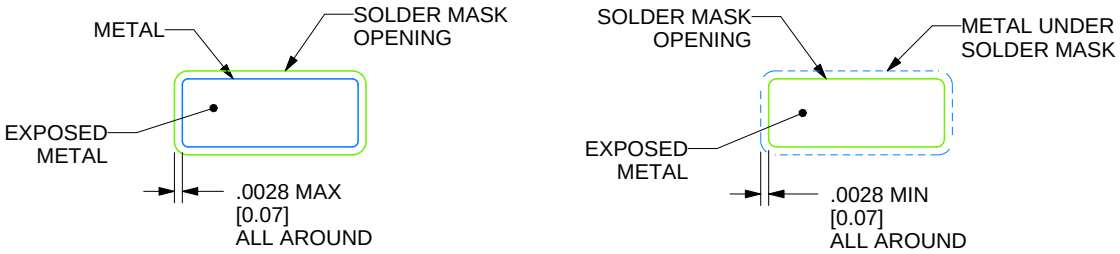


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

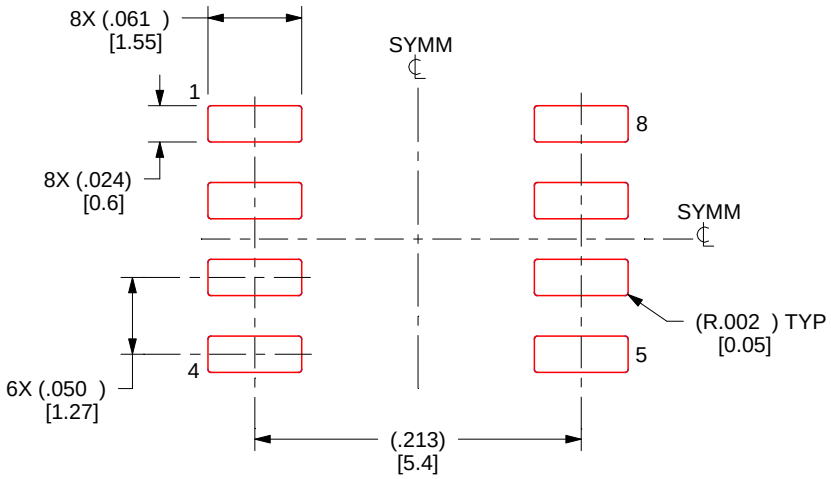
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2022，德州仪器 (TI) 公司