LMV3xx-N/-Q1 单通道、双通道和四通道通用低电压轨至轨输出运算放大器

1 特性

- （V^+ = 5V 且 V^- = 0V，除非另有说明）
- LMV321-N、LMV358-N 和 LMV324-N 具有汽车级 AEC-Q100 1 级和 3 级版本可供使用
- 2.7V 和 5V 下的性能可靠无虞
- 无交叉失真
- 工业温度范围：−40°C 至 +125°C
- 增益带宽积：1MHz
- 低电源电流
- LMV321-N 130μA
- LMV358-N 210μA
- LMV324-N 410μA
- 10kΩ 时轨至轨输出摆幅：V^+− 10mV 至 V^-+ 65mV
- V_{CM} 范围：−0.2V 至 V^+− 0.8V

2 应用

- 有源滤波器
- 通用低电压 应用
- 通用便携式设备

3 说明

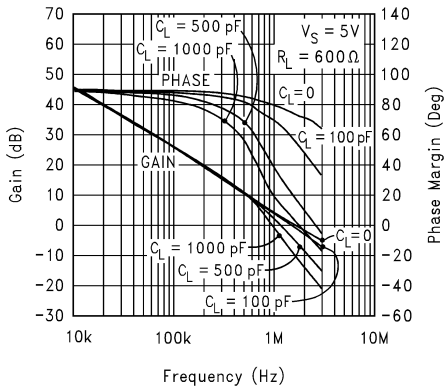
LMV358-N 和 LMV324-N 是双通道和四通道商用运算放大器 LM358 和 LM324（5V 至 30V）的低电压（2.7V 至 5.5V）版本。LMV321-N 为单通道版本。LMV321-N、LMV358-N 和 LMV324-N 是极具成本效益的解决方案， 适用于 将低工作电压、空间效率和低成本作为重要考量因素的应用场合。这些器件提供的规格符合或超过常见的 LM358 和 LM324。LMV321-N、LMV358-N 和 LMV324-N 具有轨至轨输出摆幅能力，且输入共模电压范围包括接地。这些器件均具有出色的速度功率比，能够以较低的电源电流实现 1MHz 的带宽和 1V/μs 的压摆率。

器件信息(1)

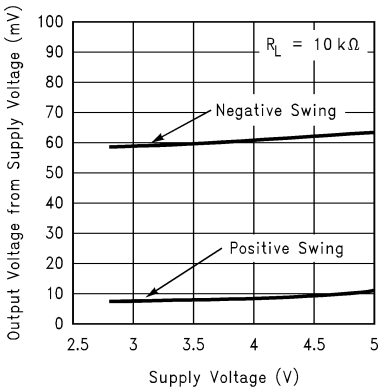
器件型号	封装	封装尺寸（标称值）
LMV321-N	SOT-23 (5)	2.90mm x 1.60mm
	SC70 (5)	2.00mm x 1.25mm
LMV321-N-Q1	SOT-23 (5)	2.90mm x 1.60mm
LMV324-N	SOIC (14)	8.65mm x 3.91mm
	TSSOP (14)	5.00mm x 4.40mm
LMV324-N-Q1	SOIC (14)	8.65mm x 3.91mm
	TSSOP (14)	5.00mm x 4.40mm
LMV358-N	SOIC (8)	4.90mm x 3.91mm
	VSSOP (8)	3.00mm x 3.00mm
LMV358-N-Q1	SOIC (8)	4.90mm x 3.91mm
	VSSOP (8)	3.00mm x 3.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

增益和相位与容性负载间的关系



输出电压摆幅与电源电压间的关系



An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 说明 （续） ... 3
6 引脚配置和功能 ... 3
7 规格 ... 4
7.1 绝对最大额定值 ... 4
7.2 ESD 额定值 - 商用 ... 4
7.3 ESD 额定值 - 汽车 ... 4
7.4 建议的运行条件 ... 5
7.5 热性能信息 ... 5
7.6 2.7V 直流电气特性 ... 5
7.7 2.7V 交流电气特性 ... 5
7.8 5V 直流电气特性 ... 6
7.9 5V 交流电气特性 ... 7
7.10 典型特性 ... 8
8 详细 说明 ... 16
8.1 概述 ... 16
8.2 功能框图 ... 17
8.3 特性 说明 ... 17
8.4 器件功能模式 ... 19
9 以下一些应用中 ... 20
9.1 应用信息 ... 20
9.2 典型 应用 ... 20
10 电源建议 ... 32
11 布局 ... 32
11.1 布局指南 ... 32
11.2 布局示例 ... 33
12 器件和文档支持 ... 34
12.1 相关链接 ... 34
12.2 商标 ... 34
12.3 静电放电警告 ... 34
12.4 术语表 ... 34
13 机械、封装和可订购信息 ... 34

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Revision I (February 2013) to Revision J **Page**

- 已添加 *引脚配置和功能*部分、*ESD 额定值* 表、*特性 说明* 部分、*器件功能模式*、*应用和实施* 部分、*电源建议* 部分、*布局* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分 ... 1

Changes from Revision H (February 2013) to Revision I **Page**

- Changed 将美国国家半导体数据表的布局更改成了 TI 格式 ... 32

版权 © 2000–2014, Texas Instruments Incorporated

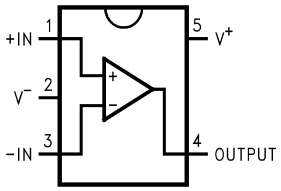
5 说明 （续）

LMV321-N 采用节省空间的 5 引脚 SC70 封装，大小大约是 5 引脚 SOT23 封装的一半。采用小尺寸封装，可以节省 PCB 板空间，便于设计小巧的便携式电子设备。它还允许设计人员将器件放置在更靠近信号源的位置，从而降低噪声拾取，增强信号完整性。

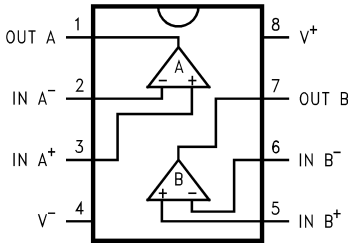
这些芯片采用德州仪器 (TI) 先进的次微米硅栅 BiCMOS 工艺制造。LMV321-N/LMV358-N/LMV324-N 具有双极输入和输出级，可改善抗噪性能和输出电流驱动。

6 引脚配置和功能

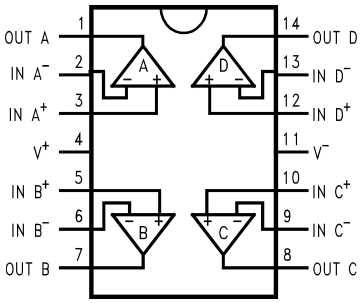
DBV 和 DCK 封装
5 引脚 SC70、SOT-23
俯视图



D 和 DGK 封装
8 引脚 SOIC、VSSOP
俯视图



D 和 PW 封装
14 引脚 SOIC、TSSOP
俯视图



SOT-23 的

引脚				类型	说明
名称	LMV321-N、LMV321-N-Q1、LMV321-N-Q3 DVB、DCK	LMV358-N、LMV358-N-Q1、LMV358-N-Q3 D、DGK	LMV324-N、LMV324-N-Q1、LMV324-N-Q3 D、PW		
+IN	1	-	-	I	同相输入
IN A+	-	3	3	I	同相输入，通道 A
IN B+	-	5	5	I	同相输入，通道 B
IN C+	-	-	10	I	同相输入，通道 C
IN D+	-	-	12	I	同相输入，通道 D
-IN	3	-	-	I	反相输入
IN A-	-	2	2	I	反相输入，通道 A
IN B-	-	6	6	I	反相输入，通道 B
IN C-	-	-	9	I	反相输入，通道 C
IN D-	-	-	13	I	反相输入，通道 D
输出	4	-	-	O	输出
OUT A	-	1	1	O	输出，通道 A
OUT B	-	7	7	O	输出，通道 B
OUT C	-	-	8	O	输出，通道 C
OUT D	-	-	14	O	输出，通道 D

Copyright © 2000–2014, Texas Instruments Incorporated

SOT-23 的 (continued)

引脚				类型	说明
名称	LMV321-N、LMV321-N-Q1、LMV321-N-Q3 DVB、DCK	LMV358-N、LMV358-N-Q1、LMV358-N-Q3 D、DGK	LMV324-N、LMV324-N-Q1、LMV324-N-Q3 D、PW		
V+	5	8	4	P	正电源（最高）
V-	2	4	11	P	负电源（最低）

7 规格

7.1 绝对最大额定值

请参阅(1)(2)。

	最小值	最大值	单位
差分输入电压	±电源电压		V
输入电压	−0.3	+电源电压	V
电源电压 (V^+–V^-)		5.5	V
输出短路至 V^+	(3)		
输出短路至 V^-	(4)		
焊接信息：红外或对流（30 秒）		260	°C
结温(5)		150	°C
贮存温度 T_{stg}	−65	150	°C

(1) 绝对最大额定值表示限值，超过这些限值可能对器件造成损坏。*建议的运行条件*表示器件可正常运行的条件，但无法确保器件的具体性能。有关可确保规范和测试条件，请参阅“电气特性”。
(2) 如果需要军用/航天专用器件，请与德州仪器 (TI) 销售办事处/分销商联系以了解供货情况和技术规格。
(3) 将输出短路至 V^+ 会对可靠性产生不利影响。
(4) 将输出短路至 V^- 会对可靠性产生不利影响。
(5) 最大功耗是 $T_{J(MAX)}$、$R_{\theta JA}$ 的函数。任何环境温度下允许的最大功耗为 $P_D = (T_{J(MAX)} – T_A)/ R_{\theta JA}$。所有数字均适用于直接焊接到 PCB 的封装。

7.2 ESD 额定值 - 商用

		值	单位
LMV358-N 和 LMV324-N（包含所有封装形式）			
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±2000	V
	机器模型	±100	
LMV321-N（包含所有封装形式）			
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±900	V
	机器模型	±100	

(1) JEDEC 文档 JEP155 规定：500V HBM 时能够在标准 ESD 控制流程下安全生产。

7.3 ESD 额定值 - 汽车

		值	单位
LMV358-N-Q1、LMV324-N-Q1、LMV358-N-Q3 和 LMV324-N-Q3（包含所有封装形式）			
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1)	±2000	V
	机器模型	±100	
LM321-N-Q1 和 LM321-N-Q3（包含所有封装形式）			
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1)	±900	V
	机器模型	±100	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS001 规范执行 HBM 应力测试。

Copyright © 2000–2014, Texas Instruments Incorporated

7.4 建议的运行条件

	最小值	最大值	单位
电源电压	2.7	5.5	V
温度范围(1)：LMV321-N、LMV358-N、LMV324-N	-40	125	°C
温度范围(1)：LMV321-N-Q1、LMV358-N-Q1、LMV324-N-Q1	-40	125	°C
温度范围(1)：LMV321-N-Q3、LMV358-N-Q3、LMV324-N-Q3	-40	85	°C

(1) 最大功耗是 $T_{J(MAX)}$、$R_{\theta JA}$ 的函数。任何环境温度下允许的最大功耗为 $P_D = (T_{J(MAX)} – T_A)/ R_{\theta JA}$。所有数字均适用于直接焊接到 PCB 的封装。

7.5 热性能信息

热指标(1)	LMV321-N、LMV321-N-Q1、LMV321-N-Q3	LMV321-N	LMV324-N、LMV324-N-Q1、LMV324-N-Q3		LMV358-N、LMV358-N-Q1、LMV358-N-Q3		单位
	DBV	DCK	D	PW	D	DGK	
	5 引脚		14 引脚		8 引脚		
$R_{\theta JA}$ 结至环境热阻	265	478	145	155	190	235	°C/W

(1) 有关传统和全新热度量的更多信息，请参阅 *IC 封装热度量* 应用报告（文献号：SPRA953）。

7.6 2.7V 直流电气特性

除非另有说明，否则所有限值均基于以下条件：T_J = 25°C、V^+ = 2.7V、$V^–$ = 0V、V_{CM} = 1.0V、V_O = V^+/2 且 R_L > 1MΩ。

		测试条件	最小值(1)	TYP(2)	最大值(1)	单位
V_{OS}	输入失调电压			1.7	7	mV
TCV_{OS}	输入失调电压平均漂移			5		μV/°C
I_B	输入偏置电流			11	250	nA
I_{OS}	输入失调电流			5	50	nA
CMRR	共模抑制比	0V ≤ V_{CM} ≤ 1.7V	50	63		dB
PSRR	电源抑制比	2.7V ≤ V^+ ≤ 5V V_O = 1V	50	60		dB
V_{CM}	输入共模电压范围	当 CMRR ≥ 50dB 时	0	−0.2		V
				1.9	1.7	V
V_O	输出摆幅	R_L = 10kΩ（连接至 1.35V）	V^+ −100	V^+ −10		mV
				60	180	mV
I_S	电源电流	单通道		80	170	μA
		双通道 两个放大器		140	340	μA
		四通道 所有四个放大器		260	680	μA

(1) 所有限值均根据测试或统计分析确定。
(2) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。

7.7 2.7V 交流电气特性

除非另有说明，否则所有限值均基于以下条件：T_J = 25°C、V^+ = 2.7V、$V^–$ = 0V、V_{CM} = 1.0V、V_O = V^+/2 且 R_L > 1MΩ。

		测试条件	最小值(1)	TYP(2)	最大值(1)	单位
GBWP	增益带宽积	C_L = 200pF		1		MHz
Φ_m	相位裕度			60		度
G_m	增益裕量			10		dB
e_n	输入基准电压噪声	f = 1kHz		46		$\frac{nV}{\sqrt{Hz}}$

(1) 所有限值均根据测试或统计分析确定。
(2) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。

Copyright © 2000–2014, Texas Instruments Incorporated

2.7V 交流电气特性 (continued)

除非另有说明，否则所有限值均基于以下条件：T_J = 25°C、V^+ = 2.7V、V^- = 0V、V_{CM} = 1.0V、V_O = V^+/2 且 R_L > 1MΩ。

		测试条件	最小值(1)	TYP(2)	最大值(1)	单位
i_n	输入基准电流噪声	f = 1kHz		0.17		$\frac{pA}{\sqrt{Hz}}$

7.8 5V 直流电气特性

除非另有说明，否则所有限值均基于以下条件：T_J = 25°C、V^+ = 5V、V^- = 0V、V_{CM} = 2.0V、V_O = V^+/2 且 R_L > 1MΩ。

		测试条件	最小值(1)	TYP(2)	最大值(1)	单位
V_{OS}	输入失调电压			1.7	7	mV
		在温度范围内			9	
TCV_{OS}	输入失调电压平均漂移			5		μV/°C
I_B	输入偏置电流			15	250	nA
		在温度范围内			500	
I_{OS}	输入失调电流			5	50	nA
		在温度范围内			150	
CMRR	共模抑制比	0V ≤ V_{CM} ≤ 4V	50	65		dB
PSRR	电源抑制比	2.7V ≤ V^+ ≤ 5V V_O = 1V、V_{CM} = 1V	50	60		dB
V_{CM}	输入共模电压范围	当 CMRR ≥ 50dB 时	0	−0.2		V
				4.2	4	V
A_V	大信号电压增益 (3)	R_L= 2kΩ	15	100		V/mV
		在温度范围内，R_L = 2kΩ	10			
V_O	输出摆幅	R_L = 2kΩ（连接至 2.5V）	V^+ − 300	V^+ −40		mV
		在温度范围内，R_L = 2kΩ（连接至 2.5V）	V^+ − 400			
		R_L = 2kΩ（连接至 2.5V）		120	300	
		在温度范围内，R_L = 2kΩ（连接至 2.5V）			400	
		R_L = 10kΩ（连接至 2.5V）	V^+ − 100	V^+ − 10		
		在温度范围内，R_L = 10kΩ（连接至 2.5V）	V^+ − 200			
		R_L = 2kΩ（连接至 2.5V）		65	180	
		在 125°C 下，R_L = 2kΩ（连接至 2.5V）			280	
I_O	输出短路电流	拉电流，V_O = 0V	5	60		mA
		灌电流，V_O = 5V	10	160		
I_S	电源电流	单通道		130	250	μA
		单通道，在温度范围内			350	
		双通道（两个放大器）		210	440	
		双通道（两个放大器），在温度范围内			615	
		四通道（所有四个放大器）		410	830	
		四通道（所有四个放大器），在温度范围内			1160	

(1) 所有限值均根据测试或统计分析确定。
(2) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。
(3) R_L 连接到 V^-。输出电压：0.5V ≤ V_O ≤ 4.5V。

Copyright © 2000–2014, Texas Instruments Incorporated

7.9 5V 交流电气特性

除非另有说明，否则所有限值均基于以下条件：T_J = 25°C、V^+ = 5V、V^- = 0V、V_{CM} = 2.0V、V_O = V^+/2 且 R_L > 1MΩ。

		测试条件	最小值(1)	TYP(2)	最大值(1)	单位
SR	压摆率	(3)		1		V/µs
GBWP	增益带宽积	C_L = 200pF		1		MHz
Φ_m	相位裕度			60		度
G_m	增益裕量			10		dB
e_n	输入基准电压噪声	f = 1kHz		39		$\frac{nV}{\sqrt{Hz}}$
i_n	输入基准电流噪声	f = 1kHz		0.21		$\frac{pA}{\sqrt{Hz}}$

(1) 所有限值均根据测试或统计分析确定。
(2) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。
(3) 作为电压跟随器连接且输入阶跃为 3V。指定的数字是正负压摆率中较低的值。

Copyright © 2000–2014, Texas Instruments Incorporated

7.10 典型特性

除非另有说明，否则 V_S = 15V、单电源，T_A = 25°C。

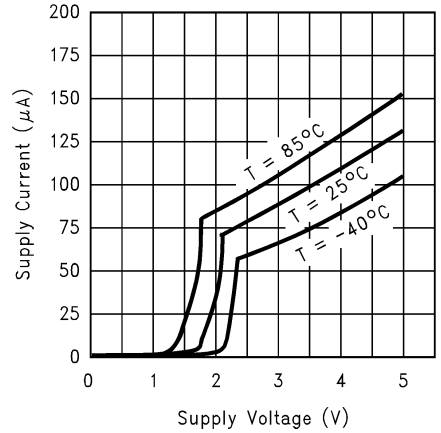


Figure 1. 电源电流与电源电压间的关系 (LMV321-N)

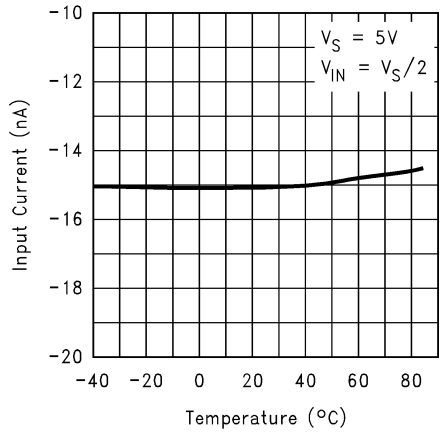


Figure 2. 输入电流与温度间的关系

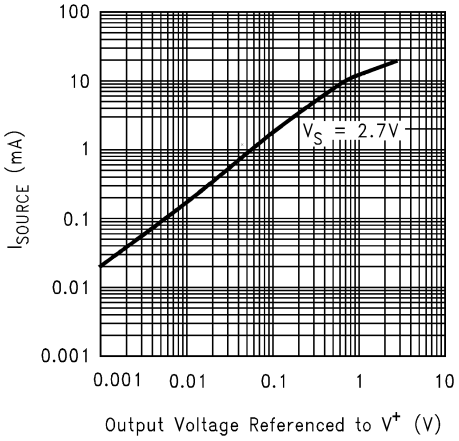


Figure 3. 拉电流与输出电压间的关系

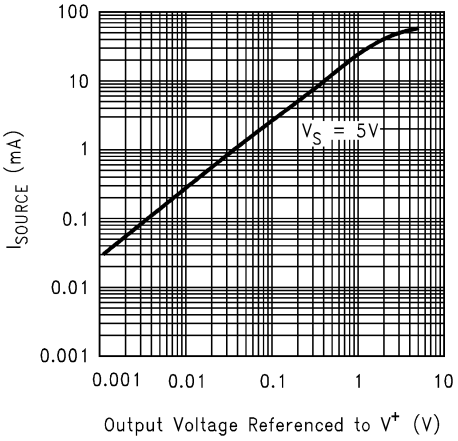


Figure 4. 拉电流与输出电压间的关系

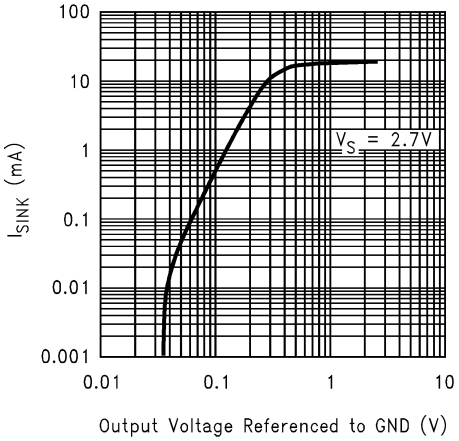


Figure 5. 灌电流与输出电压间的关系

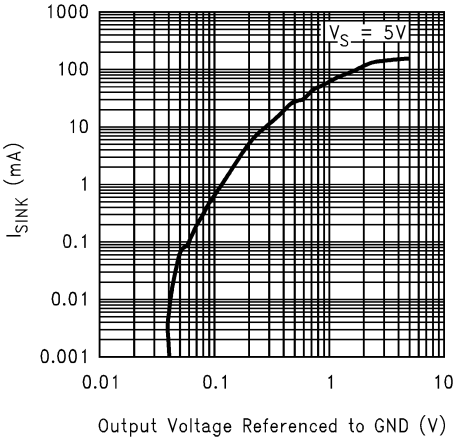


Figure 6. 灌电流与输出电压间的关系

Copyright © 2000–2014, Texas Instruments Incorporated

典型特性 (continued)

除非另有说明，否则 V_S = 15V、单电源，T_A = 25°C。

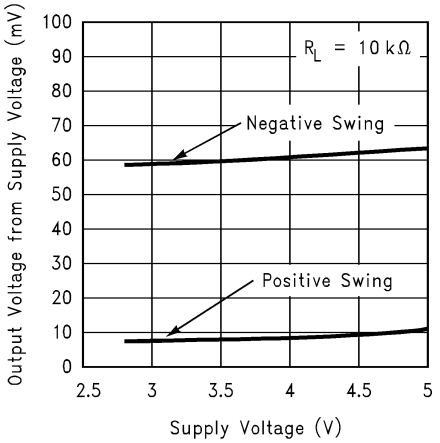


Figure 7. 输出电压摆幅与电源电压间的关系

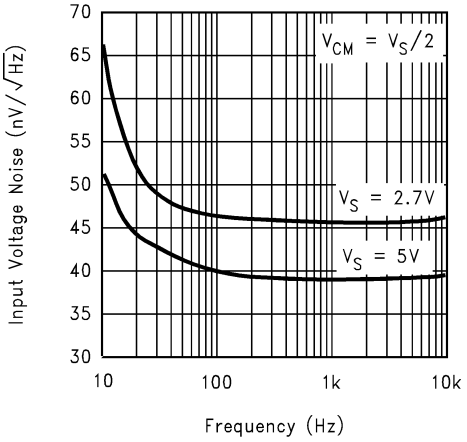


Figure 8. 输入电压噪声与频率间的关系

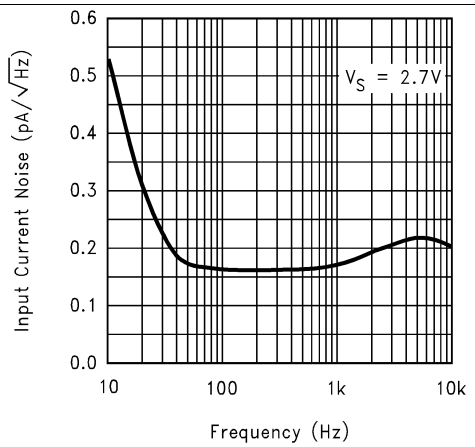


Figure 9. 输入电流噪声与频率间的关系

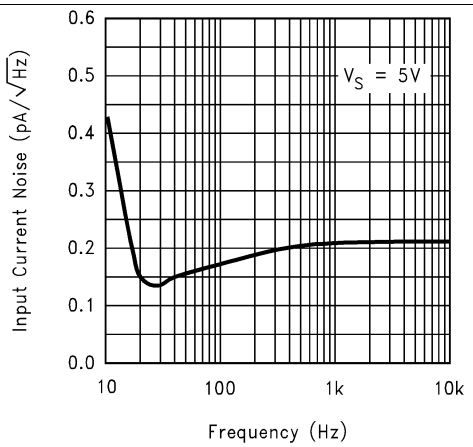


Figure 10. 输入电流噪声与频率间的关系

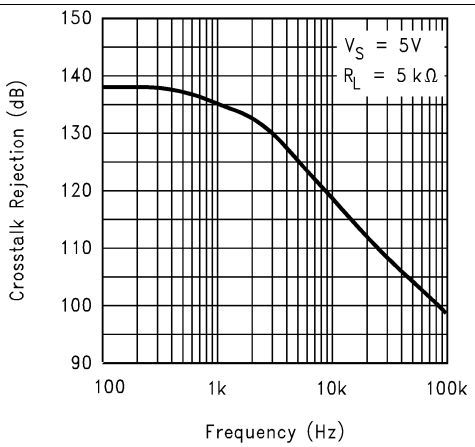


Figure 11. 串扰抑制与频率间的关系

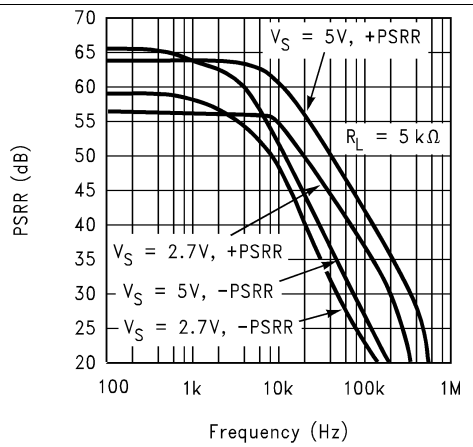


Figure 12. PSRR 与频率间的关系

Copyright © 2000–2014, Texas Instruments Incorporated

典型特性 (continued)

除非另有说明，否则 V_S = 15V、单电源，T_A = 25°C。

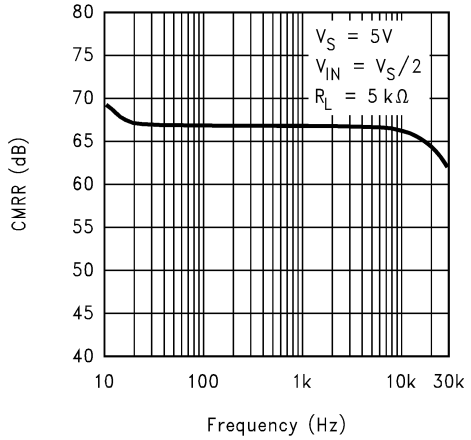


Figure 13. CMRR 与频率间的关系

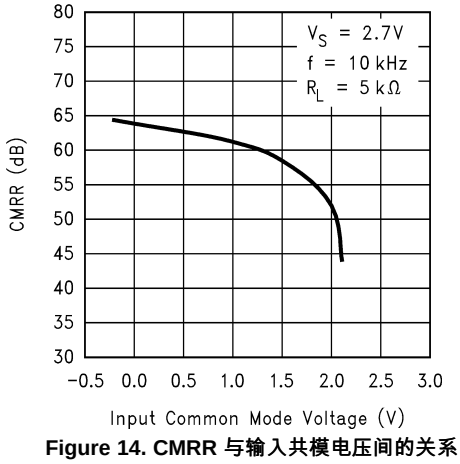


Figure 14. CMRR 与输入共模电压间的关系

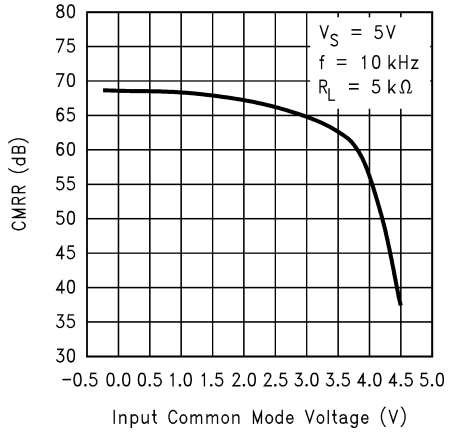


Figure 15. CMRR 与输入共模电压间的关系

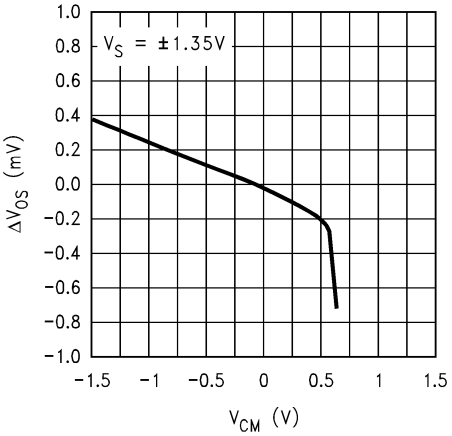


Figure 16. ΔV_{OS} 与CMR 间的关系

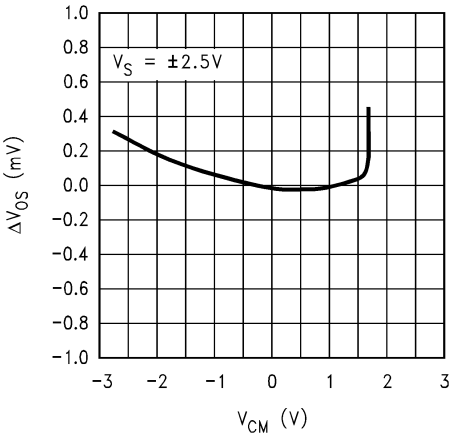


Figure 17. ΔV_{OS} 与CMR 间的关系

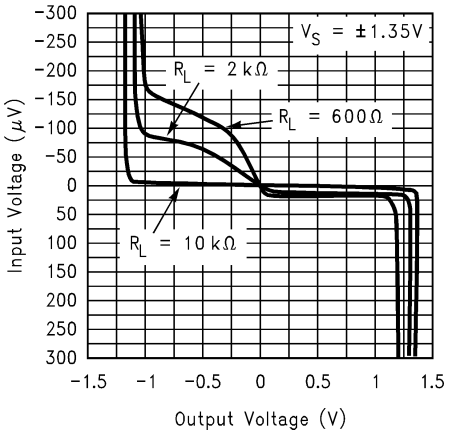


Figure 18. 输入电压与输出电压间的关系

Copyright © 2000–2014, Texas Instruments Incorporated

典型特性 (continued)

除非另有说明，否则 V_S = 15V、单电源，T_A = 25°C。

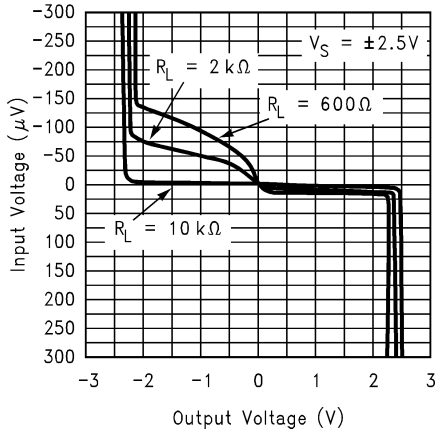


Figure 19. 输入电压与输出电压间的关系

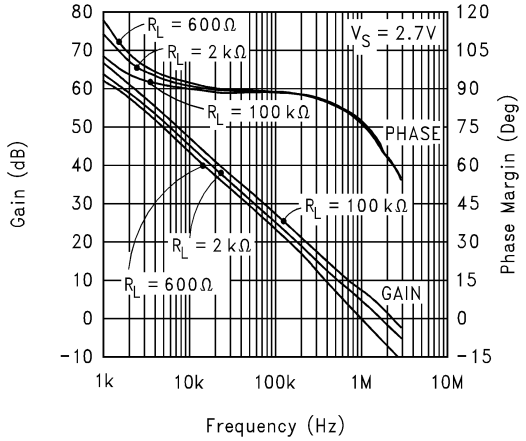


Figure 20. 开环频率响应

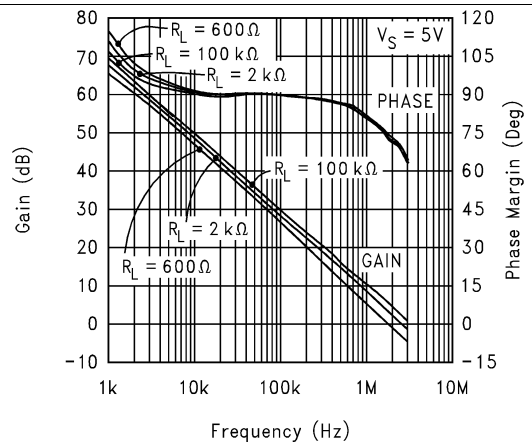


Figure 21. 开环频率响应

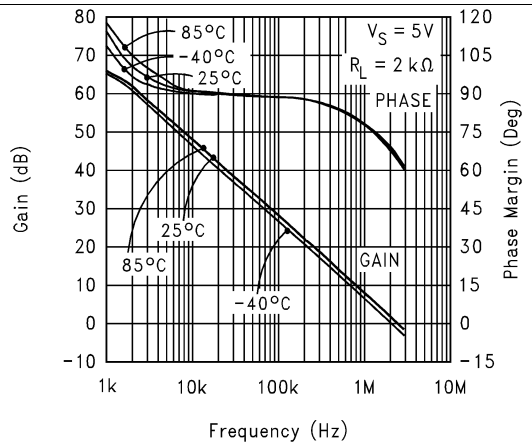


Figure 22. 开环频率响应与温度间的关系

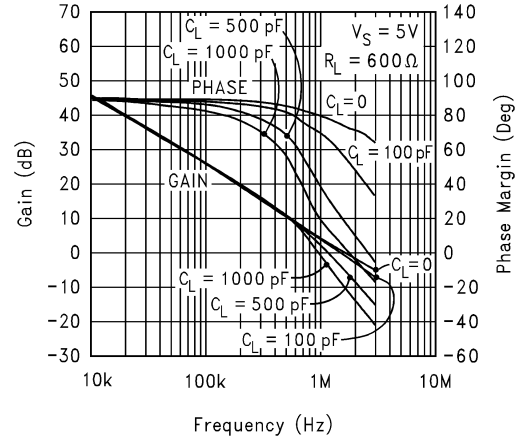


Figure 23. 增益和相位与容性负载间的关系

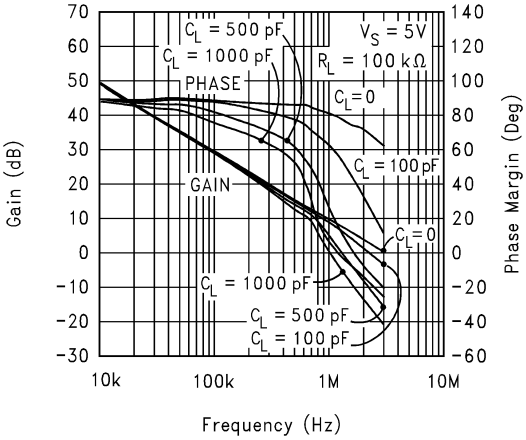


Figure 24. 增益和相位与容性负载间的关系

典型特性 (continued)

除非另有说明，否则 V_S = 15V、单电源，T_A = 25°C。

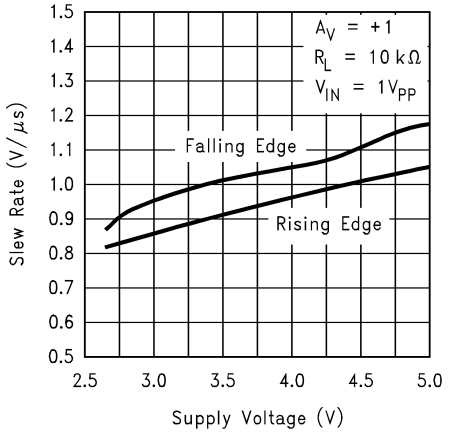


Figure 25. 压摆率与电源电压间的关系

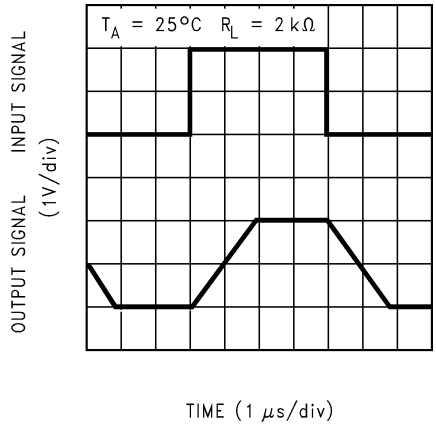


Figure 26. 同相大信号脉冲响应

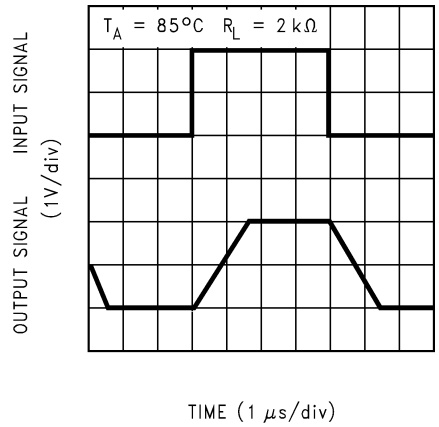


Figure 27. 同相大信号脉冲响应

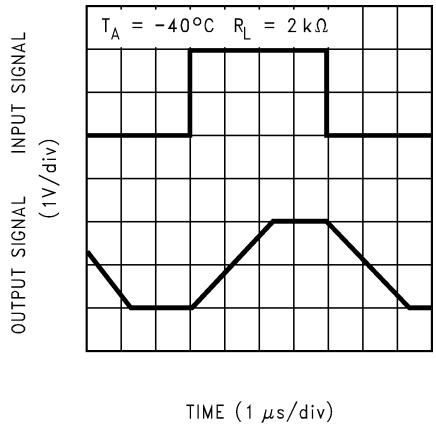


Figure 28. 同相大信号脉冲响应

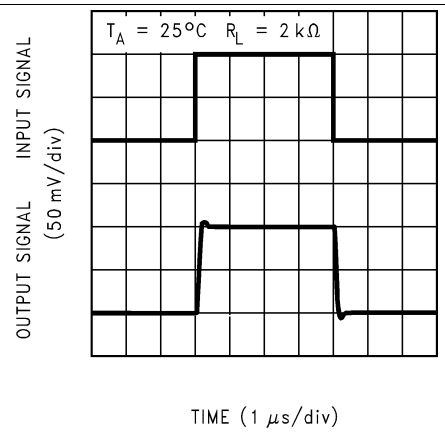


Figure 29. 同相小信号脉冲响应

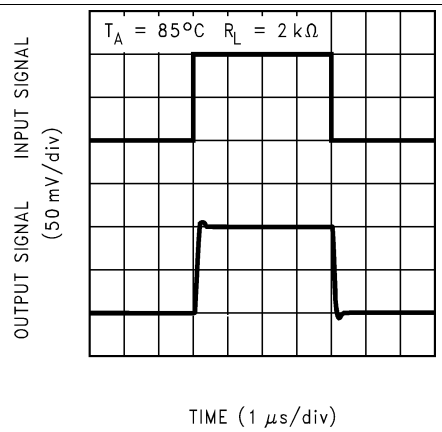


Figure 30. 同相小信号脉冲响应

Copyright © 2000–2014, Texas Instruments Incorporated

典型特性 (continued)

除非另有说明，否则 V_S = 15V、单电源，T_A = 25°C。

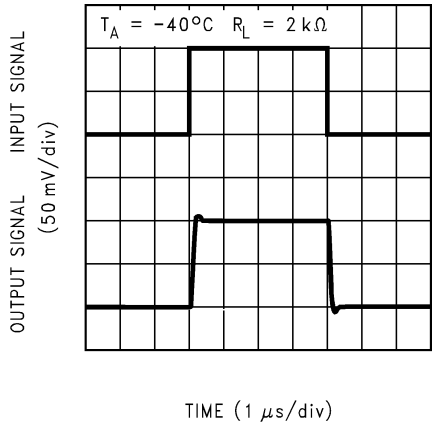


Figure 31. 同相小信号脉冲响应

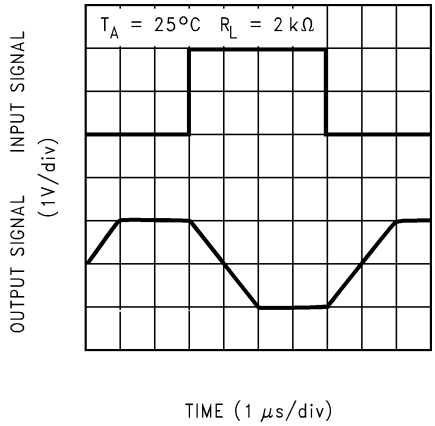


Figure 32. 反相大信号脉冲响应

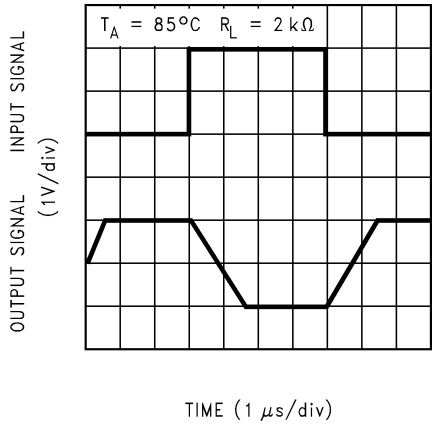


Figure 33. 反相大信号脉冲响应

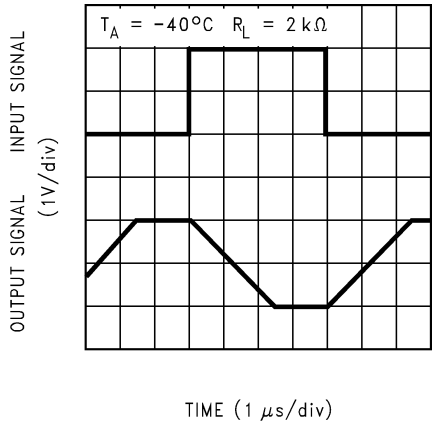


Figure 34. 反相大信号脉冲响应

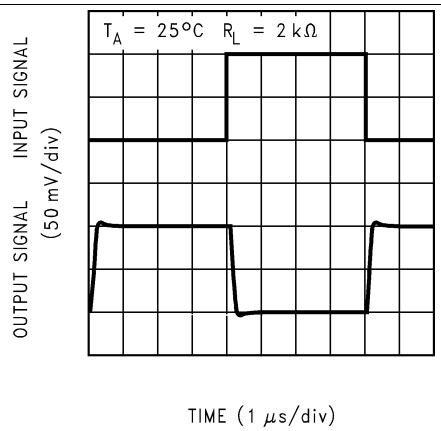


Figure 35. 反相小信号脉冲响应

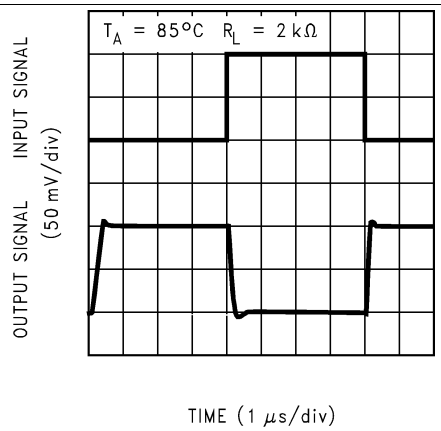


Figure 36. 反相小信号脉冲响应

Copyright © 2000–2014, Texas Instruments Incorporated

典型特性 (continued)

除非另有说明，否则 V_S = 15V、单电源，T_A = 25°C。

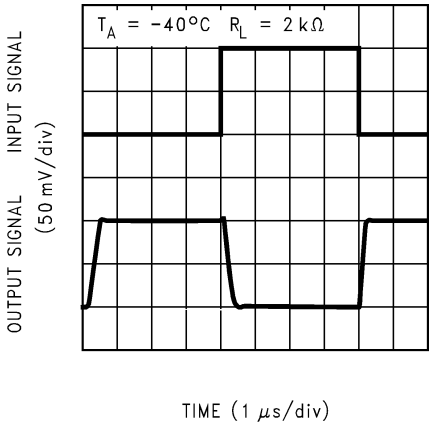


Figure 37. 反相小信号脉冲响应

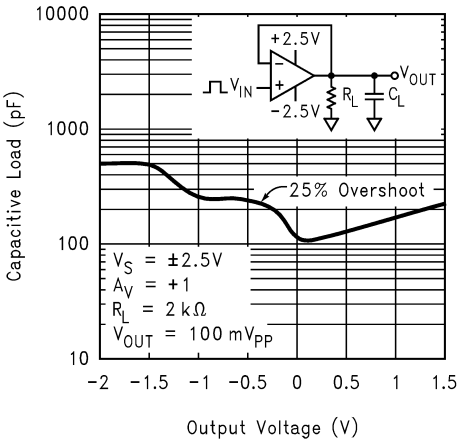


Figure 38. 稳定性与容性负载间的关系

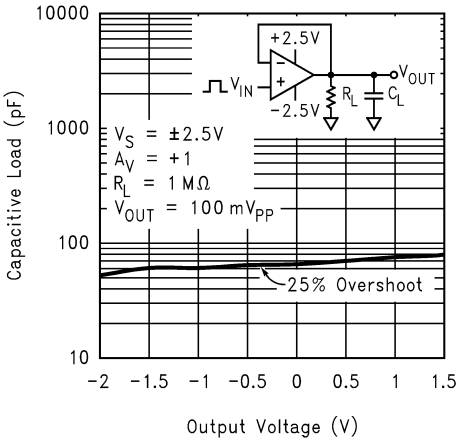


Figure 39. 稳定性与容性负载间的关系

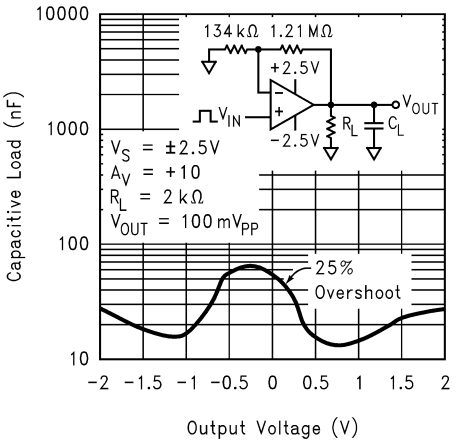


Figure 40. 稳定性与容性负载间的关系

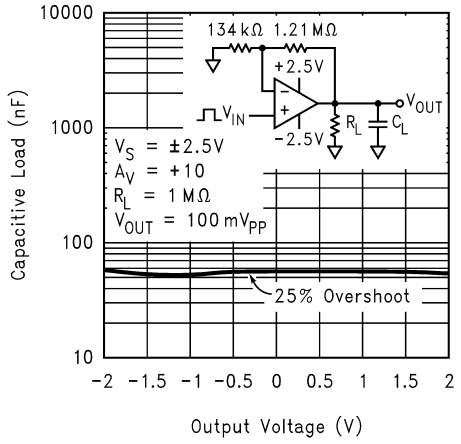


Figure 41. 稳定性与容性负载间的关系

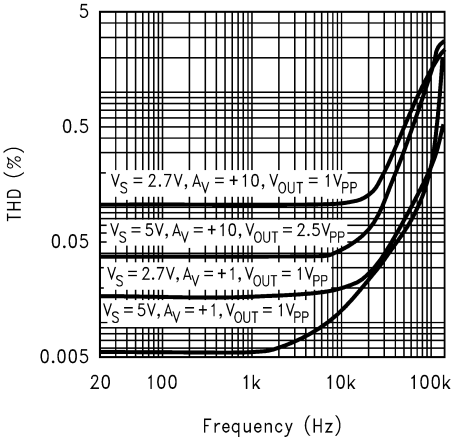


Figure 42. THD 与频率间的关系

Copyright © 2000–2014, Texas Instruments Incorporated

典型特性 (continued)

除非另有说明，否则 V_S = 15V、单电源，T_A = 25°C。

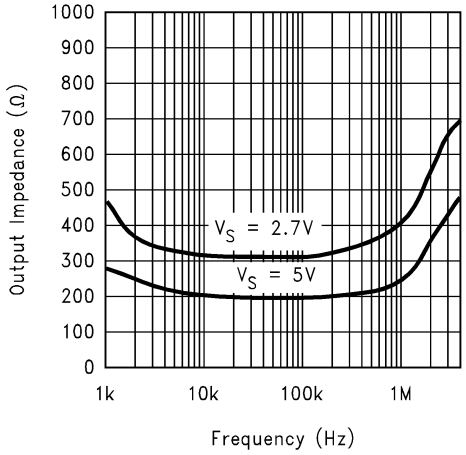


Figure 43. 开环输出阻抗与频率间的关系

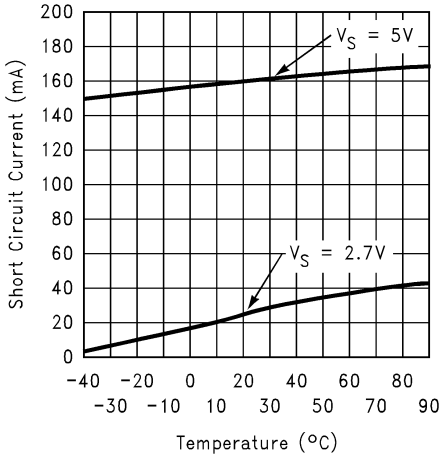


Figure 44. 短路电流与温度间的关系（灌电流）

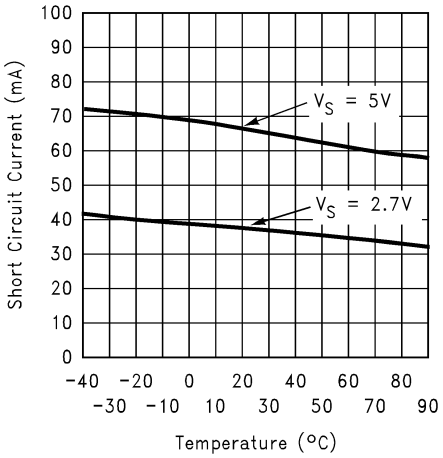


Figure 45. 短路电流与温度间的关系（拉电流）

Copyright © 2000–2014, Texas Instruments Incorporated

8 详细 说明

8.1 概述

LMV358-N/LMV324-N 是双通道和四通道商用运算放大器 LM358/LM324（5V 至 30V）的低电压（2.7V 至 5.5V）版本。LMV321-N 为单通道版本。LMV321-N/LMV358-N/LMV324-N 是极具成本效益的解决方案， 适用于 将低工作电压、空间效率和低成本作为重要考量因素的应用场合。这些器件提供的规格符合或超过常见的 LM358/LM324。LMV321-N/LMV358-N/LMV324-N 具有轨至轨输出摆幅能力，且输入共模电压范围包括接地。这些器件均具有出色的速度功率比，能够以较低的电源电流实现 1MHz 的带宽和 1V/μs 的压摆率。

8.1.1 LMV321-N/LMV358-N/LMV324-N 的优势

8.1.1.1 尺寸

LMV321-N/LMV358-N/LMV324-N 封装小巧紧凑，可以节省印刷电路板空间，以便设计出尺寸更小的电子产品，例如手机、寻呼机或其他便携系统。LMV321-N/LMV358-N/LMV324-N 采用低厚度封装，因此可用于 PCMCIA III 类卡。

8.1.1.2 信号完整性

信号可能在信号源和放大器之间拾取噪声。LMV321-N/LMV358-N/LMV324-N 采用尺寸更小的放大器封装，因此可放置在更靠近信号源的位置，从而降低噪声拾取并提高信号完整性。

8.1.1.3 简化的板布局

这些产品可帮助您避免在 PCB 板布局中使用较长的印刷电路迹线。这意味着无需使用额外组件（例如电容器和电阻器）即可滤掉长印刷电路迹线间的干扰产生的无用信号。

8.1.1.4 低电源电流

这些器件可帮助您最大程度地延长电池使用时间。非常适合电池供电系统。

8.1.1.5 低电源电压

德州仪器 (TI) 可确保 2.7V 和 5V 电压下器件性能。这些规格可确保在整个电池寿命期间正常工作。

8.1.1.6 轨至轨输出

轨至轨输出摆幅可提供尽可能最大的输出动态范围。在低电源电压下运行时，这一点尤为重要。

8.1.1.7 输入包括接地

允许在单电源供电时靠近接地端直接感应。

应提供保护措施，以防止输入电压成为超过 −0.3V 的负向电压（在 25°C 时）。可在 IC 输入端子处使用一个输入钳位二极管和一个电阻器。

8.1.1.8 简便易用且无交叉失真

LMV321-N/LMV358-N/LMV324-N 提供的规格与常见的 LM324-N 相似。而且，全新 LMV321-N/LMV358-N/LMV324-N 可有效消除输出交叉失真。Figure 46 和 Figure 47 中的范围图将电压跟随器配置中 LMV324-N 和 LM324-N 的输出摆幅进行了比较，其中 V_S = ± 2.5V，R_L (= 2kΩ) 接地。显然，全新 LMV324-N 有效地消除了交叉失真。

Copyright © 2000–2014, Texas Instruments Incorporated

概述 (continued)

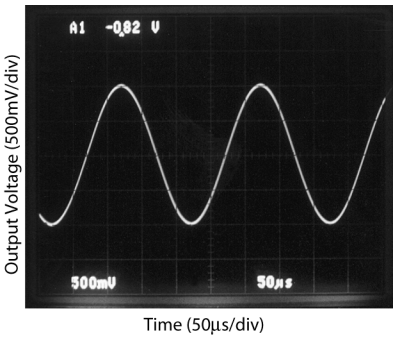


Figure 46. LMV324 的输出摆幅

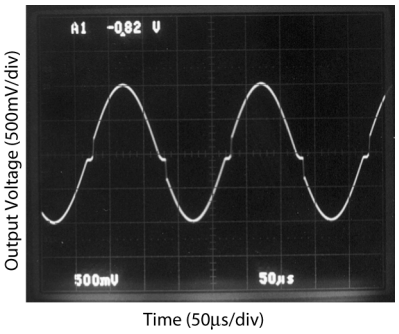
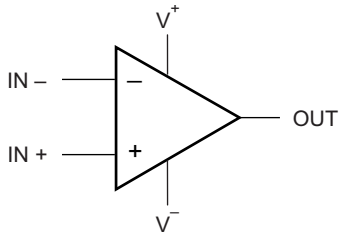


Figure 47. LM324 的输出摆幅

8.2 功能框图



Copyright © 2016,
Texas Instruments Incorporated

Figure 48. 每个放大器

8.3 特性 说明

8.3.1 电容负载容差

LMV321-N/LMV358-N/LMV324-N 可在单位增益中直接驱动 200pF，而不会出现振荡。单位增益跟随器是对容性负载最敏感的配置。直接容性负载可减小放大器的相位裕度。放大器的输出抗阻和容性负载的组合会引起相位滞后。这会导致欠阻尼的脉冲响应或振荡。若要驱动更大的容性负载，可使用 Figure 49 中所示的电路。

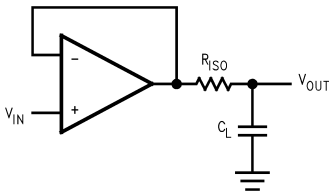


Figure 49. 间接驱动采用电阻式隔离的容性负载

在 Figure 49 中，隔离电阻器 R_{ISO} 和负载电容器 C_L 形成了一个极点，通过增大整个系统的相位裕度可提高稳定性。所需的性能取决于 R_{ISO} 值。R_{ISO} 电阻值越大，V_{OUT} 越稳定。Figure 50 是 Figure 49 的输出波形，该电路使用的 R_{ISO} 为 620Ω，C_L 为 510pF。

特性 说明 (continued)

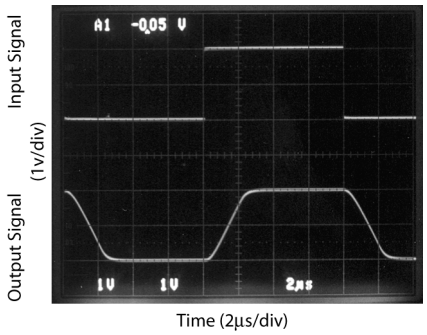


Figure 50. Figure 49 中 LMV324 电路的脉冲响应

Figure 51 中的电路对 Figure 49 所示电路进行了改进，因为该电路可提供直流精度以及交流稳定性。如果 Figure 49 中有一个负载电阻器，则输出将是电压除以 R_{ISO} 和负载电阻器。而在 Figure 51 中，R_F 通过使用前馈技术将 V_{IN} 连接到 R_L，从而提供直流精度。应谨慎选择 R_F 的值，因为 LMV321-N/LMV358-N/LMV324-N 存在输入偏置电流。C_F 和 R_{ISO} 通过将输出信号的高频分量反馈回放大器的反相输入来抵消相位裕度的损失，从而保持整个反馈环路中的相位裕度。可通过增大 C_F 的值来增加容性驱动。进而会降低脉冲响应的速度。

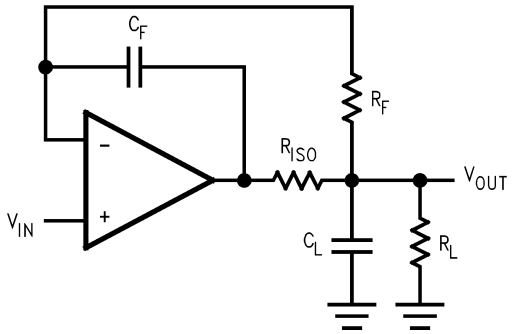


Figure 51. 间接驱动具有直流精度的容性负载

8.3.2 输入偏置电流消除

LMV321-N/LMV358-N/LMV324-N 系列具有双极输入级。LMV321-N/LMV358-N/LMV324-N 的典型输入偏置电流为 15nA（5V 电源电压）。因此 100kΩ 的输入电阻器将导致 1.5mV 的误差电压。通过均衡反相和同相输入的电阻值，可减小放大器输入偏置电流所导致的误差。Figure 52 中的电路显示了如何消除由输入偏置电流导致的误差。

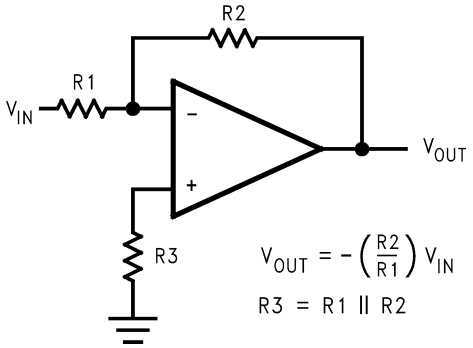


Figure 52. 消除由输入偏置电流导致的误差

Copyright © 2000–2014, Texas Instruments Incorporated

8.4 器件功能模式

连接电源后，LMV321-N/LMV321-N-Q1/LMV358-N/LMV358-N-Q1/LMV324-N/LMV324-N-Q1 通电。这些器件可根据应用情况作为单电源运算放大器或双电源运算放大器使用。

Copyright © 2000–2014, Texas Instruments Incorporated

9 以下一些应用中

NOTE

的应用和实现 信息 部分的信息不属于 TI 规格范围，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

9.1 应用信息

LMV32x-N 系列放大器的额定运行电压范围为 2.7V 与 5V (±1.35V 至 ±2.5V) 。多数规格在 -40°C 至 125°C 温度范围内适用。这些器件可提供接地感应输入以及轨至轨输出摆幅。*典型特性* 中提供了多个参数，它们会随着工作电压或温度的变化而发生显著变化。

9.2 典型 应用

9.2.1 简单的低通有源滤波器

Figure 53 中显示了一个简单的有源低通滤波器。

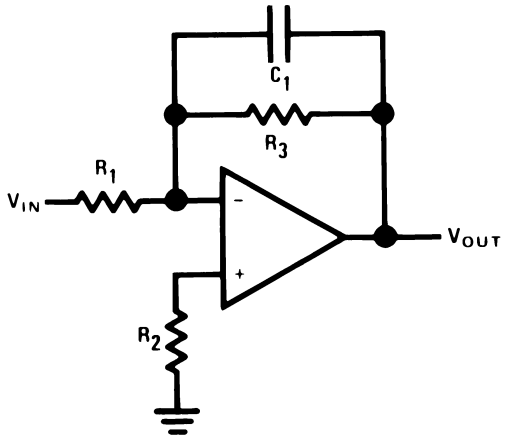


Figure 53. 简单的低通有源滤波器

9.2.1.1 设计要求

Figure 53 中所示的简单单极有源低通滤波器可导通低频率，并对在下降速率 20dB/十倍频下高于转角频率 (fc) 的频率进行消减。

9.2.1.2 详细设计流程

使用 Figure 54 中的公式选择 R1、R2、R3 和 C1 的值。低频增益 ($\omega \rightarrow 0$) 由 $-R_3/R_1$ 决定。这样可获取低频增益而不是单位增益。滤波器在转角频率 fc 后有一个 −20dB/十倍频下降速率。R_2 应选择等于 R_1 和 R_3 的并联组合，从而将偏置电流所导致的误差降至最低。滤波器的频率响应如 Figure 55 所示。

$$A_L = -\frac{R_3}{R_1}$$

$$f_c = \frac{1}{2\pi R_3 C_1}$$

$$R_2 = R_1 \parallel R_3$$

Figure 54. 简单的低通有源滤波器公式

Copyright © 2000–2014, Texas Instruments Incorporated

典型 应用 (continued)

9.2.1.3 应用曲线

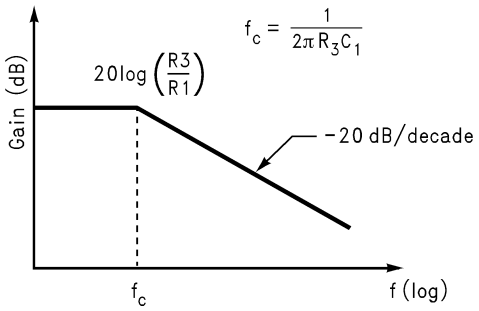


Figure 55. 简单低通有源滤波器的频率响应

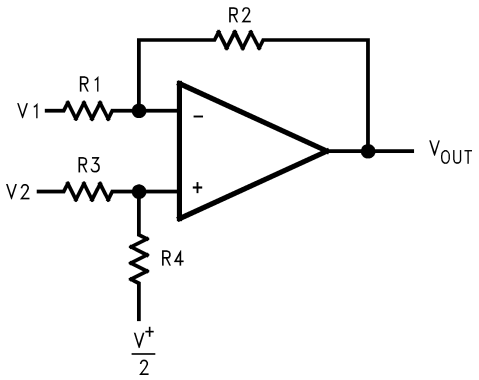
请注意，单运算放大器有源滤波器适用于 需要 低品质系数 Q(≤ 10)、低频率 (≤ 5kHz) 和低增益 (≤ 10) 或者要求增益与 Q 的乘积较小 (≤ 100) 的应用场合。运算放大器在所需最高频率下所具有的开环电压增益至少应达到此频率下滤波器增益的 50 倍。此外，所选运算放大器的压摆率应符合以下要求：

$$\text{压摆率} \geq 0.5 \times (\omega_H V_{OPP}) \times 10^{-6} \text{V/µsec} \quad (1)$$

其中，ω_H 是所需的最高频率，V_{OPP} 是输出峰间电压。

9.2.2 差分放大器

差分放大器可消减两个电压，在特殊情况下，还可消除两个输入的共模信号。在从差分转换为单端或者抑制共模信号方面，它可用作运算放大器。



$$V_{OUT} = \left(\frac{R1 + R2}{R3 + R4}\right)\frac{R4}{R1}V_2 - \frac{R2}{R1}V_1 + \left(\frac{R1 + R2}{R3 + R4}\right)\frac{R3}{R1} \bullet \frac{V^+}{2}$$

for R1 = R3 and R2 = R4

$$V_{OUT} = \frac{R2}{R1}(V_2 - V_1) + \frac{V^+}{2}$$

Figure 56. 差分放大器

9.2.3 仪表电路

之前差分放大器的输入阻抗由电阻器 R_1、R_2、R_3 和 R_4 确定。为了消除低输入阻抗的问题，一种方法是在每个输入前使用电压跟随器，如以下两个仪表放大器中所示。

9.2.3.1 三级运算放大器仪表放大器

可使用四通道 LMV324 构建如 Figure 57 所示的三级运算放大器仪表放大器。

典型 应用 (continued)

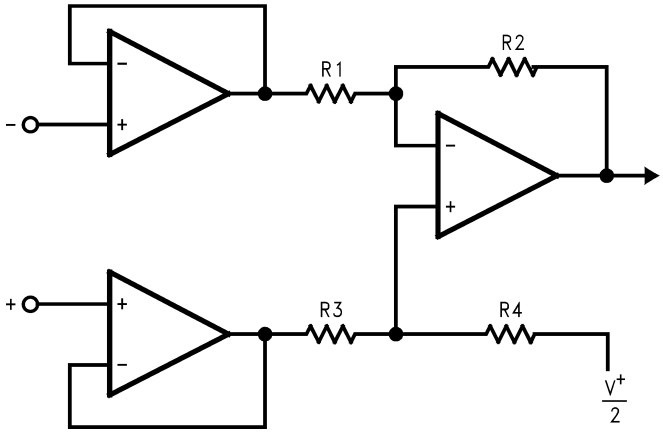
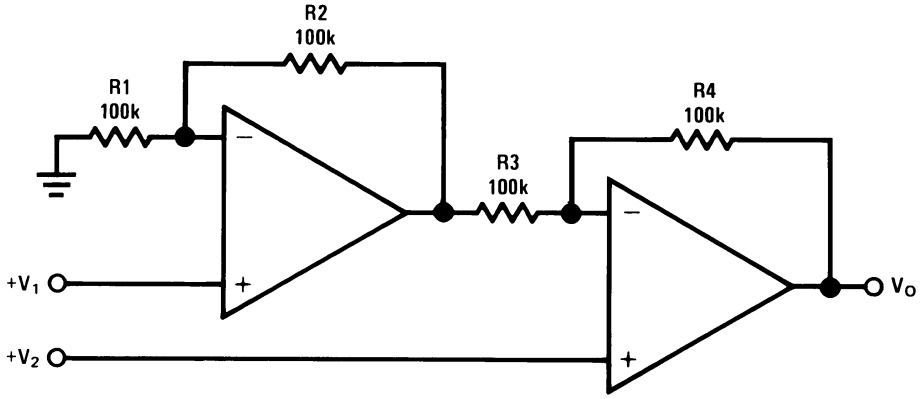


Figure 57. 三级运算放大器仪表放大器

此仪表放大器的第一级是差分输入、差分输出放大器，带有两个电压跟随器。这两个电压跟随器可确保输入阻抗大于 100MΩ。此仪表放大器的增益通过 R_2/R_1 的比值确定。R_3 应等于 R_1，R_4 应等于 R_2。R_3 与 R_1 匹配、R_4 与 R_2 匹配会影响 CMRR。为了在温度范围内获得良好的 CMRR，应使用低温漂电阻器。使 R_4 略小于 R_2，并增加一个阻值等于 R_2 与 R_4 差值两倍的微调电阻，可调整 CMRR 以实现最佳性能。

9.2.3.2 两级运算放大器仪表放大器

两级运算放大器仪表放大器还可用作高输入阻抗直流差分放大器 (Figure 58)。在三级运算放大器电路中，此仪表放大器需要精准的电阻器匹配以实现良好的 CMRR。R_4 应等于 R_1，R_3 应等于 R_2。



$$V_O = \left(1 + \frac{R4}{R3}\right)(V_2 - V_1), \text{ where } R1 = R4 \text{ and } R2 = R3$$

$$\text{As shown: } V_O = 2(V_2 - V_1)$$

Figure 58. 两级运算放大器仪表放大器

9.2.3.3 单电源反相放大器

有些情况下，进入放大器的输入信号为负值。因为放大器工作在单电源电压下，实施使用 R_3 和 R_4 的分压器可对放大器施加偏压，以使输入信号保持在放大器的输入共模电压范围内。电容器 C_1 置于反相输入和电阻器 R_1 之间，可阻止直流信号进入交流信号源 V_{IN}。R_1 和 C_1 的值会影响截止频率 $fc = 1/2\pi R_1 C_1$。

因此，输出信号以中间电源为中心（如果分压器在同相输入端提供 $V^+/2$）。输出摆幅可到达两个电源轨，从而在低电压系统中最大程度地提高信噪比。

Copyright © 2000–2014, Texas Instruments Incorporated

典型 应用 (continued)

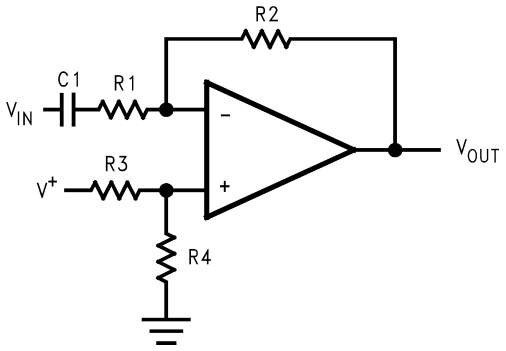


Figure 59. 单电源反相放大器

9.2.4 Sallen-Key 二阶有源低通滤波器

Sallen-Key 二阶有源低通滤波器如 Figure 60 所示。滤波器直流增益表示为

$$A_{LP} = \frac{R_3}{R_4} + 1 \tag{2}$$

其传递函数为

$$\frac{V_{OUT}}{V_{IN}}(S) = \frac{\frac{1}{C_1 C_2 R_1 R_2} A_{LP}}{S^2 + S\left(\frac{1}{C_1 R_1} + \frac{1}{C_1 R_2} + \frac{1}{C_2 R_2} - \frac{A_{LP}}{C_2 R_2}\right) + \frac{1}{C_1 C_2 R_1 R_2}} \tag{3}$$

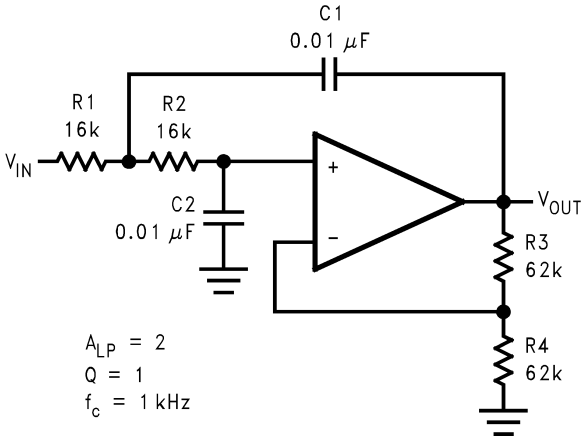


Figure 60. Sallen-Key 二阶有源低通滤波器

9.2.4.1 详细设计流程

以下段落介绍了如何针对指定滤波器要求（例如 A_{LP}、Q 和 f_c）选择 R_1、R_2、R_3、R_4、C_1 和 C_2 的值。

二阶低通滤波器的标准形式为

$$\frac{V_{OUT}}{V_{IN}}(S) = \frac{A_{LP}\omega_c^2}{S^2 + \left(\frac{\omega_c}{Q}\right)S + \omega_c^2} \tag{4}$$

其中

典型 应用 (continued)

Q：极点品质系数

ω_C：转角频率

通过比较 Equation 3 和 Equation 4，可得出

$$\omega_c^2 = \frac{1}{C_1 C_2 R_1 R_2} \tag{5}$$

$$\frac{\omega_c}{Q} = \frac{1}{C_1 R_1} + \frac{1}{C_1 R_2} + \frac{1}{C_2 R_2} - \frac{A_{LP}}{C_2 R_2} \tag{6}$$

为了减小滤波器设计中所需的计算，在组件和设计参数中引进标准化非常方便。为了实现标准化，使 $\omega_C = \omega_n = 1$ 拉德/秒，$C_1 = C_2 = C_n = 1F$，并将这些值代入 Equation 5 和 Equation 6。通过 Equation 5，可得出

$$R_1 = \frac{1}{R_2} \tag{7}$$

通过 Equation 6，可得出

$$R_2 = \frac{1 \pm \sqrt{1 - 4Q^2(2 - A_{LP})}}{2Q} \tag{8}$$

为了将直流失调电压降至最低 ($V^+ = V^-$)，反相和同相输入端的电阻值应相等，这就意味着，

$$R_1 + R_2 = \frac{R_3 R_4}{R_3 + R_4} \tag{9}$$

通过 Equation 2 和 Equation 9，可得出

$$R_3 = (R_1 + R_2)A_{LP} \tag{10}$$

$$R_4 = \left(\frac{A_{LP}}{A_{LP} - 1}\right)(R_1 + R_2) \tag{11}$$

C_1 和 C_2 的值通常接近或等于

$$C = \frac{10}{f_c}\,\mu F \tag{12}$$

作为一个设计示例：

要求：$A_{LP} = 2$，$Q = 1$，fc = 1kHz

首先选择 C_1 和 C_2。选择一个接近以下值的标准值

$$C = \frac{10}{f_c}\,\mu F \tag{13}$$

$$C_1 = C_2 = \frac{10}{1 \times 10^3}\,\mu F = 0.01\,\mu F \tag{14}$$

通过 Equation 7、Equation 8、Equation 10 和 Equation 11，可得出

$R_1 = 1\Omega$ (15)

$R_2 = 1\Omega$ (16)

$R_3 = 4\Omega$ (17)

$R_4 = 4\Omega$ (18)

上述电阻值是标称值，$\omega_n = 1$ 拉德/秒，$C_1 = C_2 = C_n = 1F$。为了将标称截止频率和电阻调整为实际值，使用了两个比例因子，即频率比例因子 (k_f) 和阻抗比例因子 (k_m)。

Copyright © 2000–2014, Texas Instruments Incorporated

典型 应用 (continued)

$$k_f = \frac{\omega_c}{\omega_n} = \frac{2\pi \times 1 \times 10^3}{1} = 2\pi \times 10^3$$

$$k_m k_f = \frac{Cn}{C1}$$

$$k_m = 1.59 \times 10^4 \quad (19)$$

换算值：

$R_2 = R_1 = 15.9k\Omega$ (20)

$R_3 = R_4 = 63.6k\Omega$ (21)

$C_1 = C_2 = 0.01\mu F$ (22)

为了获得切实可行的电阻和电容值，可能需要做一些调整。电路中显示了每个组件所用的实际值。

9.2.5 二阶高通滤波器

只需互换 Sallen-Key 二阶有源低通滤波器中的这些频率选择组件（R_1、R_2、C_1、C_2）即可构建二阶高通滤波器。如 Figure 61 中所示，将电阻器变为电容器，电容器变为电阻器。如果选用相同的组件，产生的高通滤波器具有与之前二阶低通滤波器相同的转角频率和最大增益。

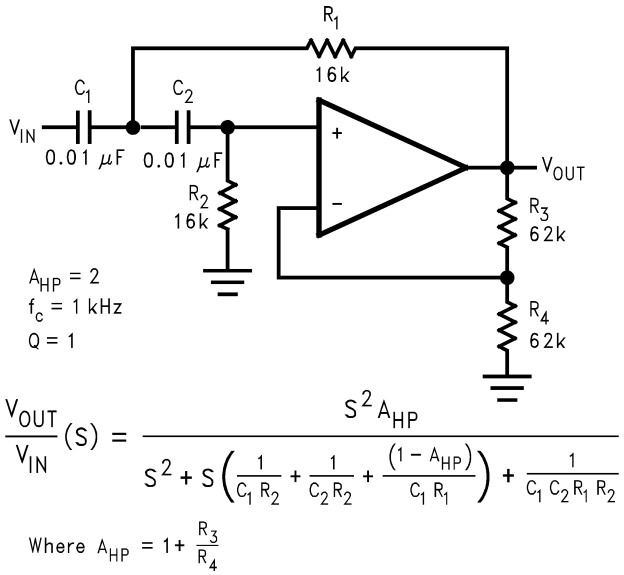


Figure 61. Sallen-Key 二阶有源高通滤波器

9.2.6 状态可变的滤波器

状态可变的滤波器需要三个运算放大器。构建状态可变的滤波器的一种简便方法是使用四通道运算放大器，例如 LMV324 (Figure 62)。

此电路可以在三个不同输出端同时表示低通滤波器、高通滤波器和带通滤波器。这些函数公式如下所示。它也称为“双二阶”有源滤波器，因为它可以生成分子分母都是二次的传递函数。

Copyright © 2000–2014, Texas Instruments Incorporated

典型 应用 (continued)

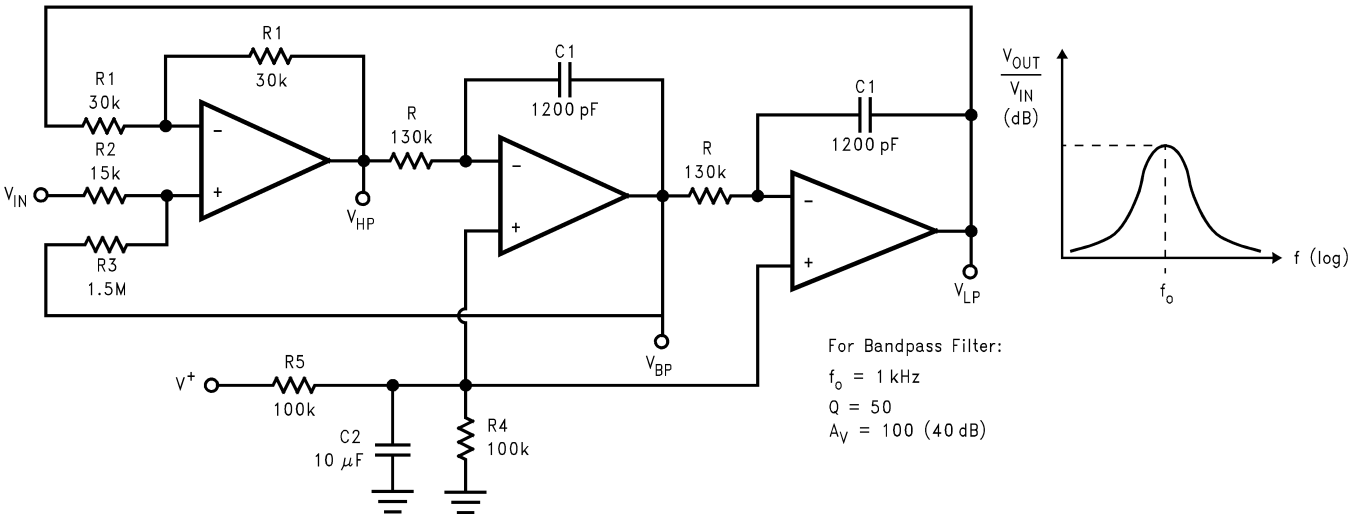


Figure 62. 状态可变的有源滤波器

$$V_{LP} = \left(\frac{2R_3}{R_2 + R_3}\right) \frac{\frac{1}{R^2C^2}}{S^2 + \frac{1}{\left(\frac{R_2 + R_3}{2R_2}\right)RC} S + \frac{1}{R^2C^2}} V_{IN}$$

$$V_{HP} = \left(\frac{2R_3}{R_2 + R_3}\right) \frac{S^2}{S^2 + \frac{1}{\left(\frac{R_2 + R_3}{2R_2}\right)RC} S + \frac{1}{R^2C^2}} V_{IN}$$

$$V_{BP} = \left(\frac{2R_3}{R_2 + R_3}\right) \frac{\left(\frac{1}{RC}\right)S}{S^2 + \frac{1}{\left(\frac{R_2 + R_3}{2R_2}\right)RC} S + \frac{1}{R^2C^2}} V_{IN} \quad (23)$$

对于所有这三个滤波器，其中

$$Q = \frac{R_2 + R_3}{2R_2} \quad (24)$$

$$\omega_0 = \frac{1}{RC} \quad \text{(resonant frequency)} \quad (25)$$

9.2.6.1 详细设计流程

假定系统设计需要带通滤波器，其中 f_O = 1kHz，Q = 50。需要计算电容和电阻值。

首先为 C_1、R_1 和 R_2 选择方便的值：

C_1 = 1200pF (26)

$2R_2 = R_1$ = 30kΩ (27)

然后从 Equation 24 中导出：

Copyright © 2000–2014, Texas Instruments Incorporated

典型 应用 (continued)

$$R_3 = R_2(2Q-1)$$

$$R_3 = 15\,k\Omega \times (2 \times 50-1)$$

$$= 1.5\,M\Omega \quad (28)$$

从 Equation 25 中导出：

$$R = \frac{1}{\omega_0 C_1}$$

$$R = \frac{1}{(2\pi \times 10^3)(1.2 \times 10^{-9})}$$

$$= 132.7\,k\Omega \quad (29)$$

通过上述计算值，得出中频增益为 $H_0 = R_3/R_2 = 100$ (40dB)。Figure 62 中增加了最接近的 5% 标准值。

9.2.7 脉冲、发生器和振荡器

脉冲发生器如 Figure 63 所示。使用了两个二极管将电容器 C 的充电路径和放电路径分隔开。

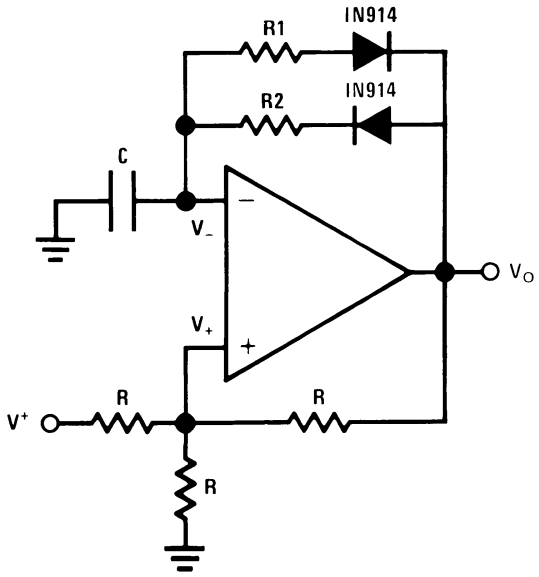
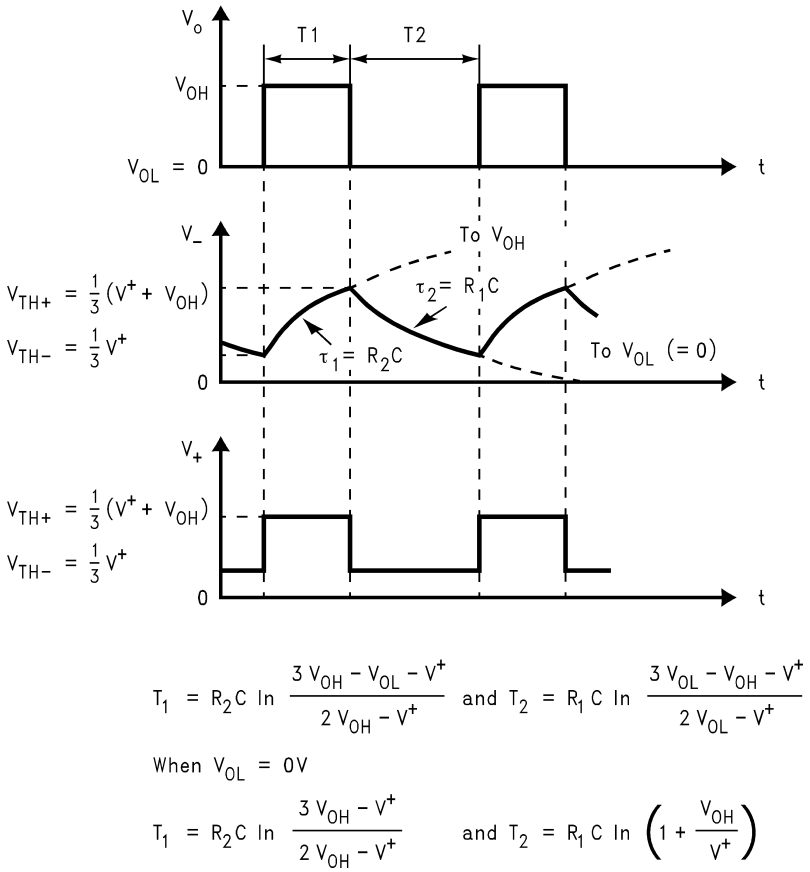


Figure 63. 脉冲发生器

当输出电压 V_O 第一次达到高电平 V_{OH} 时，电容器 C 通过 R_2 对 V_{OH} 充电。C 上的电压呈现指数级增长，其中时间常数 $\tau = R_2C$，并对运算放大器的反相输入施加此电压。同时，同相输入端的电压设为发生器的正阈值电压 (V_{TH+})。电容器电压持续上升，直至达到 V_{TH+}，此时发生器的输出将转换为低电平 V_{OL}，在这种情况下为 0V。同相输入端的电压转换为发生器的负阈值电压 (V_{TH-})。然后，电容器开始通过 R_1 对 V_{OL} 呈指数级放电，其中时间常数 $\tau = R_1C$。当电容器电压达到 V_{TH-} 时，脉冲发生器的输出转换为 V_{OH}。电容器开始充电，一个周期重新开始。

Copyright © 2000–2014, Texas Instruments Incorporated

典型 应用 (continued)



$$T_1 = R_2C \ln \frac{3V_{OH} - V_{OL} - V^+}{2V_{OH} - V^+} \quad \text{and} \quad T_2 = R_1C \ln \frac{3V_{OL} - V_{OH} - V^+}{2V_{OL} - V^+}$$

When $V_{OL} = 0V$

$$T_1 = R_2C \ln \frac{3V_{OH} - V^+}{2V_{OH} - V^+} \quad \text{and} \quad T_2 = R_1C \ln \left(1 + \frac{V_{OH}}{V^+}\right)$$

Figure 64. 图 16 中电路的波形

如 Figure 64 中的波形所示，脉冲宽度 (T_1) 由 R_2、C 和 V_{OH} 确定，两个脉冲间的时间 (T_2) 由 R_1、C 和 V_{OL} 确定。可通过选择不同电容值和电阻值，使此脉冲发生器获得不同频率和脉宽。

Figure 65 显示了另一个脉冲发生器，该发生器具有独立的充电和放电路径。电容器通过 R_1 充电，通过 R_2 放电。

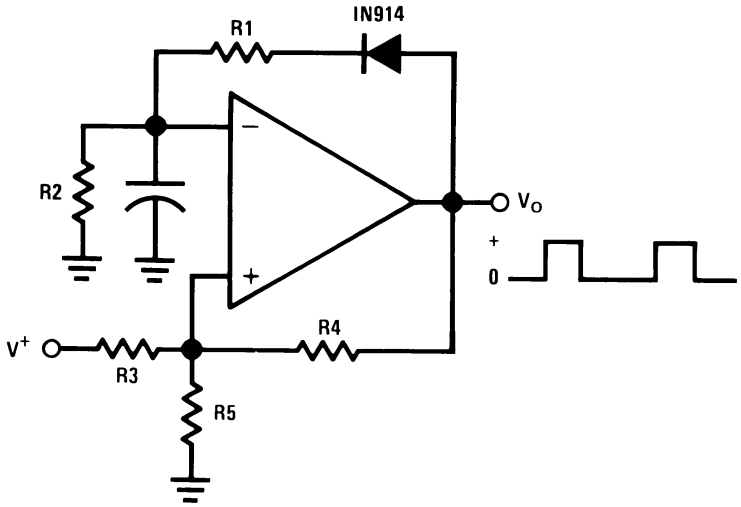


Figure 65. 脉冲发生器

Copyright © 2000–2014, Texas Instruments Incorporated

典型 应用 (continued)

Figure 66 是一个方波发生器，对电容器进行充电和放电的路径相同。

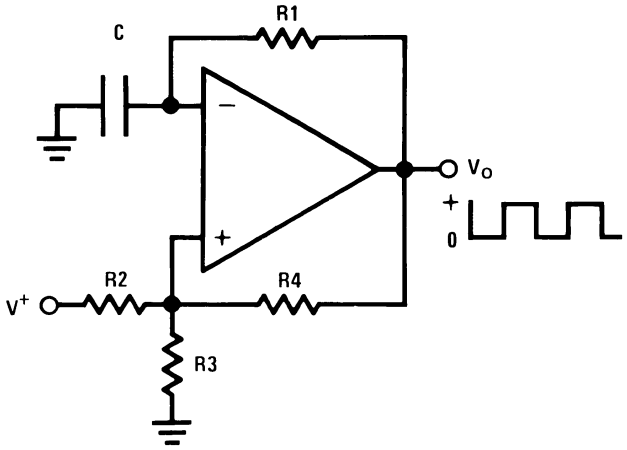


Figure 66. 方波发生器

9.2.8 拉电流和灌电流

LMV321-N/LMV358-N/LMV324-N 适用于反馈环路，这种环路可调节外部 PNP 晶体管中的电流以提供拉电流，也可在外部 NPN 晶体管中提供灌电流。

9.2.8.1 固定拉电流

Figure 67 中显示了多路固定拉电流。通过分压器（R_3 和 R_4）在电阻器 R_3 上形成电压 (V_{REF} = 2V)。负反馈用于在 R_1 上形成与 V_{REF} 相等的压降。这样可控制晶体管 Q_1 的发射极电流，如果我们忽略 Q_1 和 Q_2 的基极电流，实际上 Q_1 的集电极上也存在相同的电流。

可使用大输入电阻器来减小电流损耗，并使用达林顿接法减小因 Q_1 的 β 所导致的误差。

可使用电阻器 R_2 来调节 Q_2 的集电极电流，使其高于或低于 1mA 的基准值。

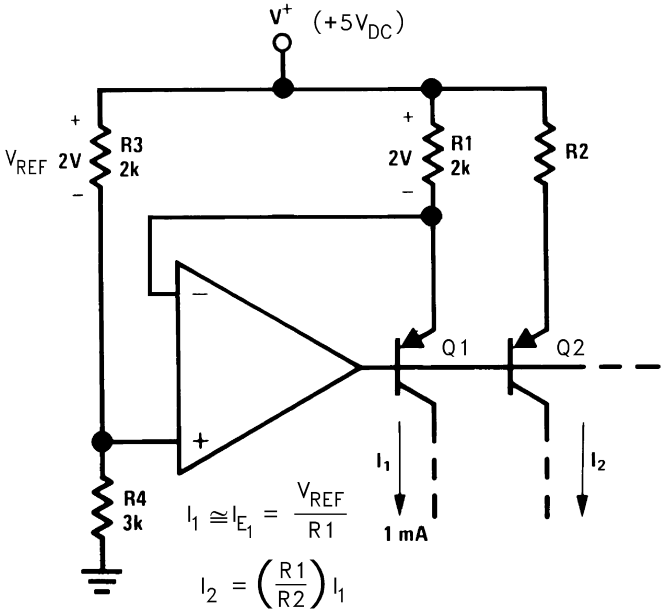


Figure 67. 固定拉电流

典型 应用 (continued)

9.2.8.2 高合规灌电流

Figure 68 中显示了一个灌电流电路。此电路只需要一个电阻器 (R_E)，可提供与此电阻值成正比的输出电流。

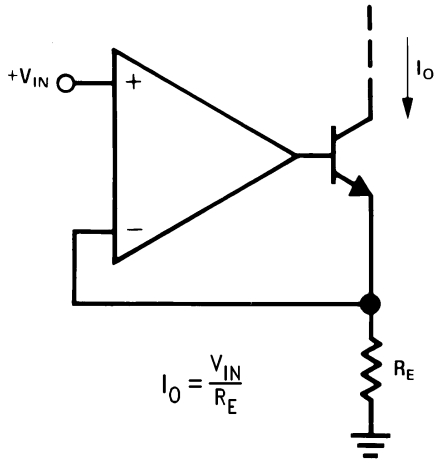


Figure 68. 高合规灌电流

Copyright © 2000–2014, Texas Instruments Incorporated

典型 应用 (continued)

9.2.9 功率放大器

功率放大器如 Figure 69 中所示。此电路可提供更高的输出电流，因为运算放大器输出端增加了一个晶体管跟随器。

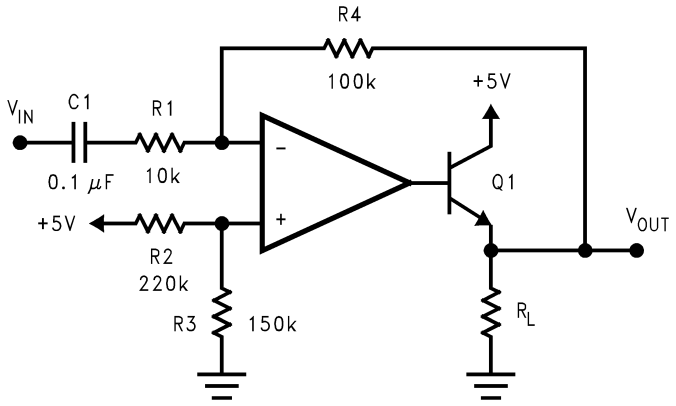


Figure 69. 功率放大器

9.2.10 LED 驱动器

可使用 LMV321-N/LMV358-N/LMV324-N 来驱动 LED，如 Figure 70 所示。

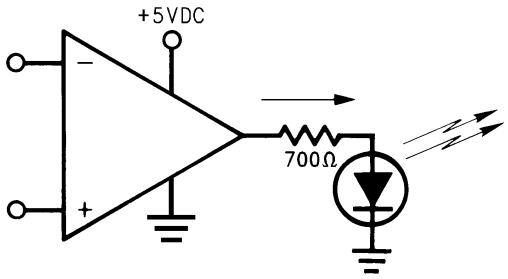


Figure 70. LED 驱动器

9.2.11 具有迟滞功能的比较器

可将 LMV321-N/LMV358-N/LMV324-N 用作低功耗比较器。Figure 71 显示了具有迟滞功能的比较器。迟滞由两个电阻器的比值决定。

$$V_{TH+} = V_{REF}/(1+R_1/R_2)+V_{OH}/(1+R_2/R_1) \quad (30)$$

$$V_{TH-} = V_{REF}/(1+R_1/R_2)+V_{OL}/(1+R_2/R_1) \quad (31)$$

$$V_H = (V_{OH}-V_{OL})/(1+R_2/R_1) \quad (32)$$

其中

V_{TH+}：正阈值电压

V_{TH-}：负阈值电压

V_{OH}：高电平输出电压

V_{OL}：低电平输出电压

V_H：磁滞电压

由于 LMV321-N/LMV358-N/LMV324-N 具有轨至轨输出，(V_{OH}–V_{OL}) 等于 V_S（这是电源电压）。

$$V_H = V_S/(1+R_2/R_1) \quad (33)$$

运算放大器输入端的差分电压不得超过绝对最大额定值。对于速度很快的实际比较器，我们推荐您使用德州仪器 (TI) 的 LMV331/LMV93/LMV339，这些器件分别是适用于低电压工作的单通道、双通道和四通道通用比较器。

Copyright © 2000–2014, Texas Instruments Incorporated

典型 应用 (continued)

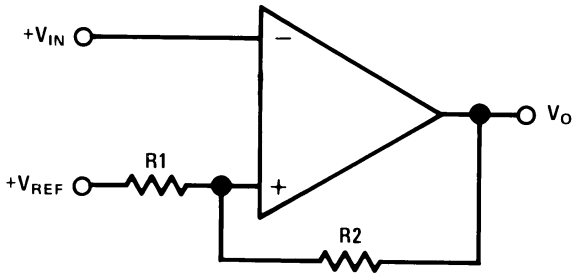


Figure 71. 具有迟滞功能的比较器

10 电源建议

LMV3xx-N 的额定工作电压范围是 2.7V 至 5.5V；多数规格可在 –40°C 至 125°C 的温度范围内适用。*典型特性*中提供了多个参数，它们会随着工作电压或温度的变化而发生显著变化。

将 0.1μF 旁路电容器置于电源引脚附近，可减少从高噪声电源或高阻抗电源中耦合进来的误差。有关旁路电容放置位置的详细信息，请参见*布局指南*部分。

11 布局

11.1 布局指南

为了实现器件的最佳运行性能，应使用良好的 PCB 布局规范，包括：

- 噪声可通过全部电路电源引脚以及运算放大器传入模拟电路。旁路电容器通过提供位于模拟电路本地的低阻抗电源来降低耦合噪声。
  - 在每个电源引脚和接地端之间连接低 ESR 0.1μF 陶瓷旁路电容器，放置位置尽量靠近器件。一个从 V+ 到接地的单一旁路电容器适用于单电源 设计。
- 将电路的模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 中通常将一层或多层专门作为接地层。接地层有助于散热和降低电磁干扰 (EMI) 噪声。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。有关更多详细信息，请参见*电路板布局技巧*，SLOA089。
- 为了减少寄生耦合，请让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分离状态，最好让敏感走线与有噪声的走线垂直相交，而不是平行相交。
- 外部组件的位置应尽量靠近器件。如*布局示例* 中所示，使 RF 和 RG 接近反相输入可最大限度地减小寄生电容。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。

版权 © 2000–2014, Texas Instruments Incorporated

11.2 布局示例

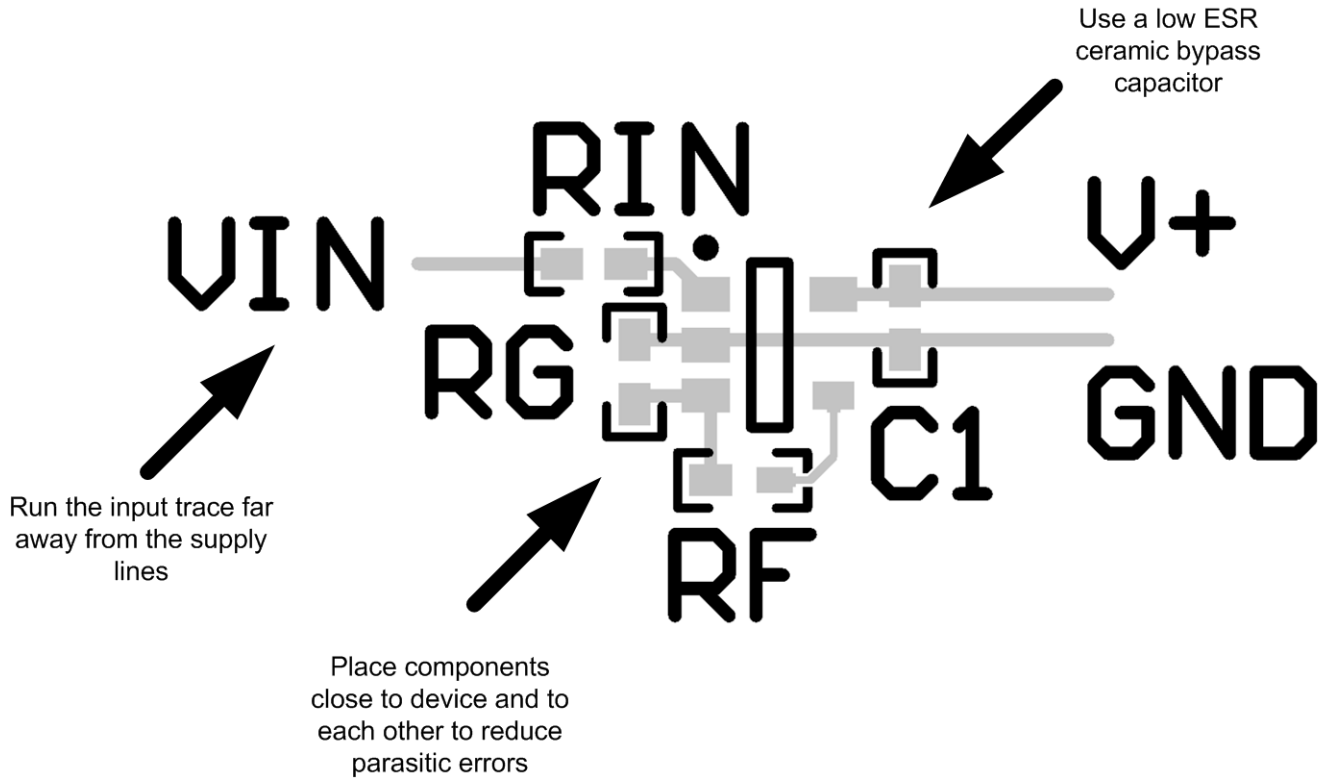


Figure 72. 同相配置的运算放大器电路板布局

12 器件和文档支持

12.1 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件以及申请样片或购买产品的快速访问链接。

表 1. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
LMV321-N	单击此处	单击此处	单击此处	单击此处	单击此处
LMV321-N-Q1	单击此处	单击此处	单击此处	单击此处	单击此处
LMV358-N	单击此处	单击此处	单击此处	单击此处	单击此处
LMV358-N-Q1	单击此处	单击此处	单击此处	单击此处	单击此处
LMV324-N	单击此处	单击此处	单击此处	单击此处	单击此处
LMV324-N-Q1	单击此处	单击此处	单击此处	单击此处	单击此处

12.2 商标

All trademarks are the property of their respective owners.

12.3 静电放电警告



这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

12.4 术语表

SLYZ022 — *TI 术语表*。

这份术语表列出并解释术语、缩写和定义。

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请参阅左侧的导航栏。

版权 © 2000–2014, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
LMV321M5	NRND	SOT-23	DBV	5	1000	Non-RoHS & Green	Call TI	Level-1-260C-UNLIM	-40 to 125	A13	
LMV321M5/NOPB	ACTIVE	SOT-23	DBV	5	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	A13	Samples
LMV321M5X/NOPB	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	A13	Samples
LMV321M7/NOPB	ACTIVE	SC70	DCK	5	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	A12	Samples
LMV321M7X	NRND	SC70	DCK	5	3000	Non-RoHS & Green	Call TI	Level-1-260C-UNLIM	-40 to 125	A12	
LMV321M7X/NOPB	ACTIVE	SC70	DCK	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	A12	Samples
LMV321Q1M5/NOPB	ACTIVE	SOT-23	DBV	5	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	AYA	Samples
LMV321Q1M5X/NOPB	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	AYA	Samples
LMV321Q3M5/NOPB	ACTIVE	SOT-23	DBV	5	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	AZA	Samples
LMV321Q3M5X/NOPB	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	AZA	Samples
LMV324M	NRND	SOIC	D	14	55	Non-RoHS & Green	Call TI	Level-1-235C-UNLIM	-40 to 125	LMV324M	
LMV324M/NOPB	ACTIVE	SOIC	D	14	55	RoHS & Green	Call TI | SN	Level-1-260C-UNLIM	-40 to 125	LMV324M	Samples
LMV324MT/NOPB	ACTIVE	TSSOP	PW	14	94	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LMV324 MT	Samples
LMV324MTX/NOPB	ACTIVE	TSSOP	PW	14	2500	RoHS & Green	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	LMV324 MT	Samples
LMV324MX/NOPB	ACTIVE	SOIC	D	14	2500	RoHS & Green	Call TI | SN	Level-1-260C-UNLIM	-40 to 125	LMV324M	Samples
LMV324Q1MA/NOPB	ACTIVE	SOIC	D	14	55	RoHS & Green	Call TI | SN	Level-1-260C-UNLIM	-40 to 125	LMV324Q1 MA	Samples
LMV324Q1MAX/NOPB	ACTIVE	SOIC	D	14	2500	RoHS & Green	Call TI | SN	Level-1-260C-UNLIM	-40 to 125	LMV324Q1 MA	Samples
LMV324Q1MT/NOPB	ACTIVE	TSSOP	PW	14	94	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMV324 Q1MT	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
LMV324Q1MTX/NOPB	ACTIVE	TSSOP	PW	14	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMV324 Q1MT	Samples
LMV324Q3MA/NOPB	ACTIVE	SOIC	D	14	55	RoHS & Green	Call TI | SN	Level-1-260C-UNLIM	-40 to 85	LMV324Q3 MA	Samples
LMV324Q3MAX/NOPB	ACTIVE	SOIC	D	14	2500	RoHS & Green	Call TI | SN	Level-1-260C-UNLIM	-40 to 85	LMV324Q3 MA	Samples
LMV324Q3MT/NOPB	ACTIVE	TSSOP	PW	14	94	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	LMV324 Q3MT	Samples
LMV324Q3MTX/NOPB	ACTIVE	TSSOP	PW	14	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	LMV324 Q3MT	Samples
LMV358M	NRND	SOIC	D	8	95	Non-RoHS & Green	Call TI	Level-1-235C-UNLIM	-40 to 125	LMV 358M	
LMV358M/NOPB	ACTIVE	SOIC	D	8	95	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMV 358M	Samples
LMV358MM/NOPB	ACTIVE	VSSOP	DGK	8	1000	RoHS & Green	NIPDAUAG | SN	Level-2-260C-1 YEAR	-40 to 125	V358	Samples
LMV358MMX/NOPB	ACTIVE	VSSOP	DGK	8	3500	RoHS & Green	NIPDAUAG | SN	Level-2-260C-1 YEAR	-40 to 125	V358	Samples
LMV358MX	NRND	SOIC	D	8	2500	Non-RoHS & Green	Call TI	Level-1-235C-UNLIM	-40 to 125	LMV 358M	
LMV358MX/NOPB	ACTIVE	SOIC	D	8	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMV 358M	Samples
LMV358Q1MA/NOPB	ACTIVE	SOIC	D	8	95	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMV35 8Q1MA	Samples
LMV358Q1MAX/NOPB	ACTIVE	SOIC	D	8	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMV35 8Q1MA	Samples
LMV358Q1MM/NOPB	ACTIVE	VSSOP	DGK	8	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	AFAA	Samples
LMV358Q1MMX/NOPB	ACTIVE	VSSOP	DGK	8	3500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	AFAA	Samples
LMV358Q3MA/NOPB	ACTIVE	SOIC	D	8	95	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	LMV35 8Q3MA	Samples
LMV358Q3MAX/NOPB	ACTIVE	SOIC	D	8	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	LMV35 8Q3MA	Samples
LMV358Q3MM/NOPB	ACTIVE	VSSOP	DGK	8	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	AHAA	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
LMV358Q3MMX/NOPB	ACTIVE	VSSOP	DGK	8	3500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	AHAA	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMV321-N, LMV321-N-Q1, LMV324-N, LMV324-N-Q1, LMV358-N, LMV358-N-Q1 :

- Catalog : LMV321-N, LMV324-N, LMV358-N

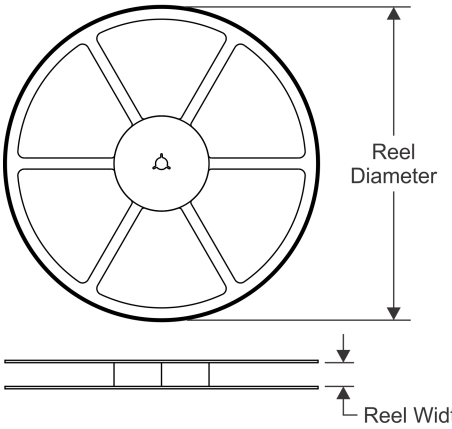
- Automotive : LMV321-N-Q1, LMV324-N-Q1, LMV358-N-Q1

NOTE: Qualified Version Definitions:

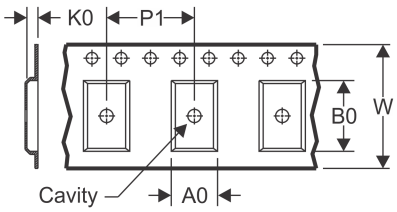
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

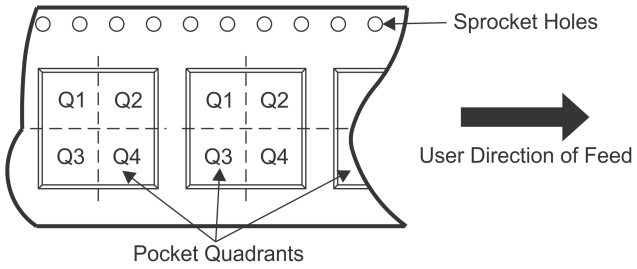


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

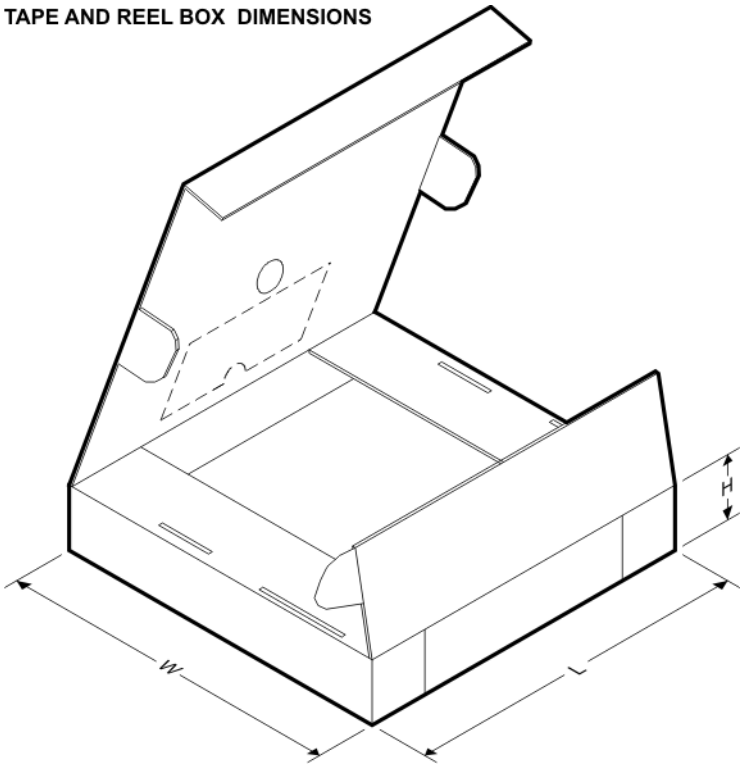


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMV321M5	SOT-23	DBV	5	1000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321M5/NOPB	SOT-23	DBV	5	1000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321M5X/NOPB	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321M7/NOPB	SC70	DCK	5	1000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
LMV321M7X	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
LMV321M7X/NOPB	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
LMV321Q1M5/NOPB	SOT-23	DBV	5	1000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321Q1M5X/NOPB	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321Q3M5/NOPB	SOT-23	DBV	5	1000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321Q3M5X/NOPB	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV324MTX/NOPB	TSSOP	PW	14	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LMV324MX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LMV324Q1MAX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LMV324Q1MTX/NOPB	TSSOP	PW	14	2500	330.0	12.4	6.95	5.6	1.6	8.0	12.0	Q1
LMV324Q3MAX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LMV324Q3MTX/NOPB	TSSOP	PW	14	2500	330.0	12.4	6.95	5.6	1.6	8.0	12.0	Q1
LMV358MM/NOPB	VSSOP	DGK	8	1000	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358MM/NOPB	VSSOP	DGK	8	1000	178.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMV358MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358MX	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMV358MX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMV358Q1MAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMV358Q1MM/NOPB	VSSOP	DGK	8	1000	178.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358Q1MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358Q3MAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMV358Q3MM/NOPB	VSSOP	DGK	8	1000	178.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358Q3MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

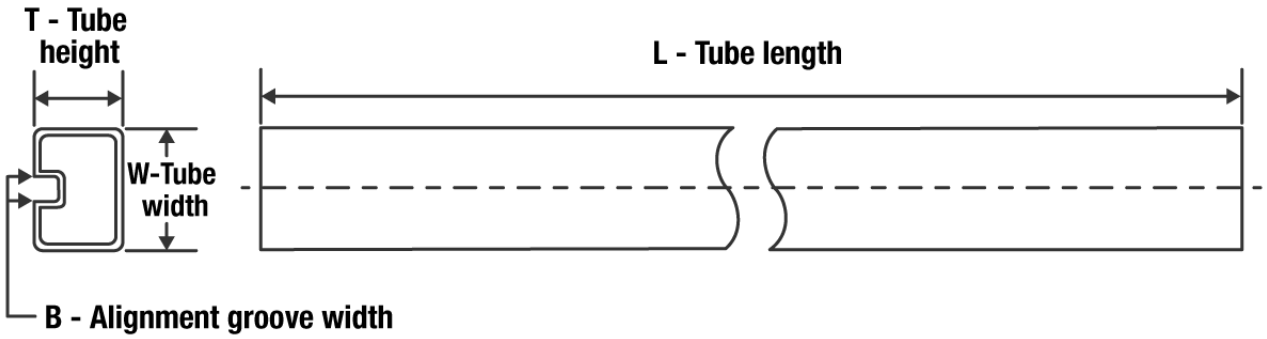


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMV321M5	SOT-23	DBV	5	1000	208.0	191.0	35.0
LMV321M5/NOPB	SOT-23	DBV	5	1000	208.0	191.0	35.0
LMV321M5X/NOPB	SOT-23	DBV	5	3000	208.0	191.0	35.0
LMV321M7/NOPB	SC70	DCK	5	1000	208.0	191.0	35.0
LMV321M7X	SC70	DCK	5	3000	208.0	191.0	35.0
LMV321M7X/NOPB	SC70	DCK	5	3000	208.0	191.0	35.0
LMV321Q1M5/NOPB	SOT-23	DBV	5	1000	208.0	191.0	35.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMV321Q1M5X/NOPB	SOT-23	DBV	5	3000	208.0	191.0	35.0
LMV321Q3M5/NOPB	SOT-23	DBV	5	1000	208.0	191.0	35.0
LMV321Q3M5X/NOPB	SOT-23	DBV	5	3000	208.0	191.0	35.0
LMV324MTX/NOPB	TSSOP	PW	14	2500	366.0	364.0	50.0
LMV324MX/NOPB	SOIC	D	14	2500	853.0	449.0	35.0
LMV324Q1MAX/NOPB	SOIC	D	14	2500	853.0	449.0	35.0
LMV324Q1MTX/NOPB	TSSOP	PW	14	2500	367.0	367.0	35.0
LMV324Q3MAX/NOPB	SOIC	D	14	2500	367.0	367.0	35.0
LMV324Q3MTX/NOPB	TSSOP	PW	14	2500	367.0	367.0	35.0
LMV358MM/NOPB	VSSOP	DGK	8	1000	366.0	364.0	50.0
LMV358MM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LMV358MMX/NOPB	VSSOP	DGK	8	3500	366.0	364.0	50.0
LMV358MMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LMV358MX	SOIC	D	8	2500	367.0	367.0	35.0
LMV358MX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMV358Q1MAX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMV358Q1MM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LMV358Q1MMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LMV358Q3MAX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMV358Q3MM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LMV358Q3MMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0

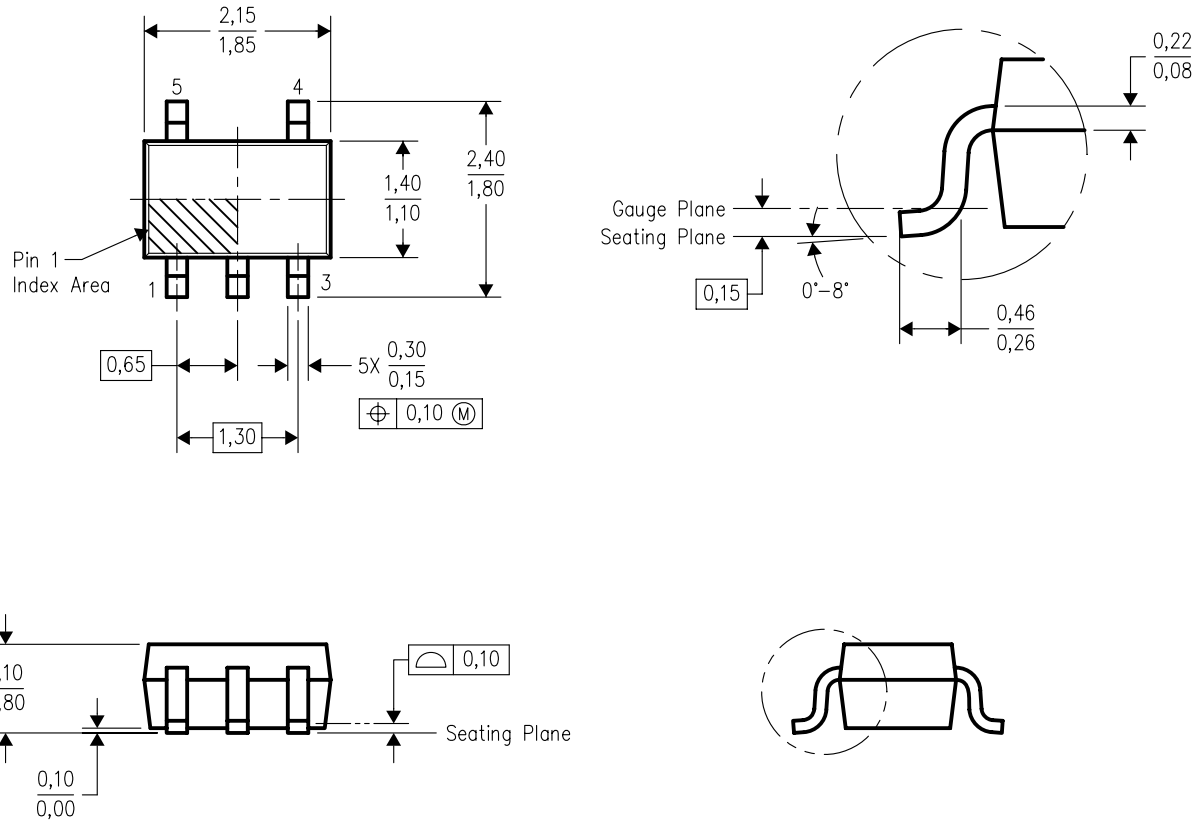
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LMV324M	D	SOIC	14	55	495	8	4064	3.05
LMV324M	D	SOIC	14	55	495	8	4064	3.05
LMV324M/NOPB	D	SOIC	14	55	495	8	4064	3.05
LMV324MT/NOPB	PW	TSSOP	14	94	495	8	2514.6	4.06
LMV324MT/NOPB	PW	TSSOP	14	94	530	10.2	3600	3.5
LMV324Q1MA/NOPB	D	SOIC	14	55	495	8	4064	3.05
LMV324Q1MT/NOPB	PW	TSSOP	14	94	495	8	2514.6	4.06
LMV324Q3MA/NOPB	D	SOIC	14	55	495	8	4064	3.05
LMV324Q3MT/NOPB	PW	TSSOP	14	94	495	8	2514.6	4.06
LMV358M	D	SOIC	8	95	495	8	4064	3.05
LMV358M	D	SOIC	8	95	495	8	4064	3.05
LMV358M/NOPB	D	SOIC	8	95	495	8	4064	3.05
LMV358Q1MA/NOPB	D	SOIC	8	95	495	8	4064	3.05
LMV358Q3MA/NOPB	D	SOIC	8	95	495	8	4064	3.05

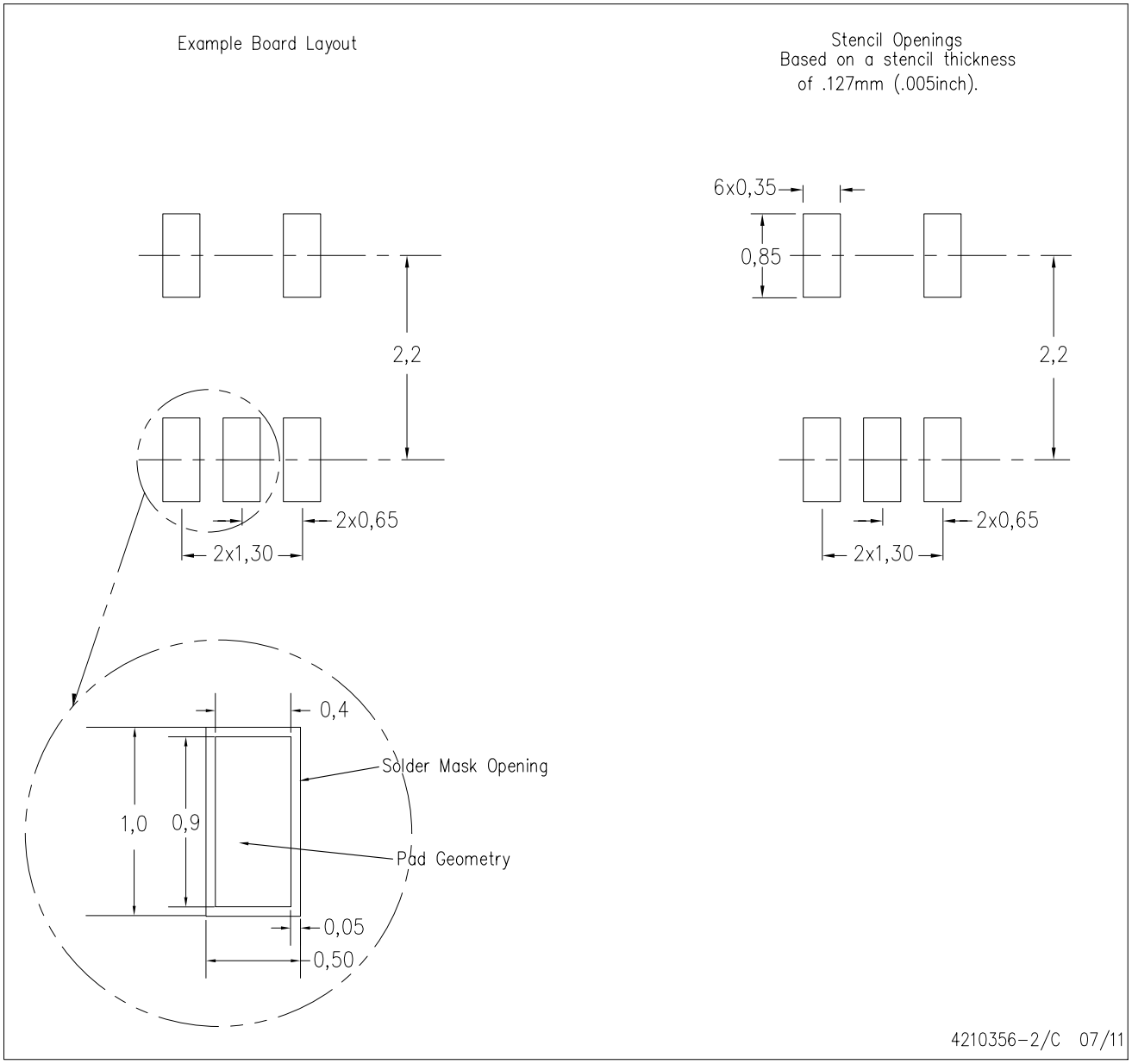
DCK (R–PDSO–G5) PLASTIC SMALL–OUTLINE PACKAGE



4093553–3/G 01/2007

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
D. Falls within JEDEC MO–203 variation AA.

DCK (R–PDSO–G5) PLASTIC SMALL OUTLINE



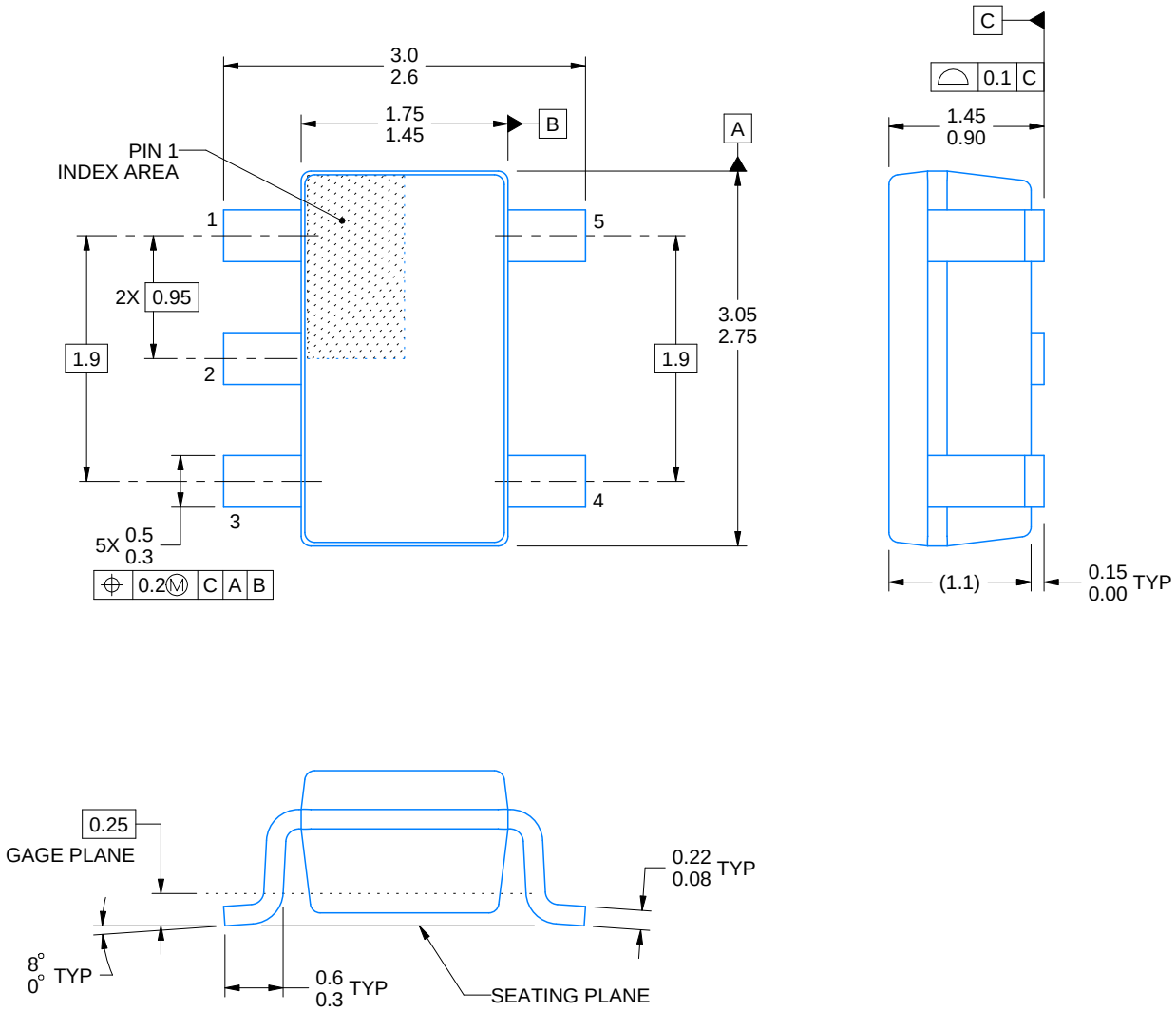
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Customers should place a note on the circuit board fabrication drawing not to alter the center solder mask defined pad.
D. Publication IPC–7351 is recommended for alternate designs.
E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC–7525 for other stencil recommendations.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

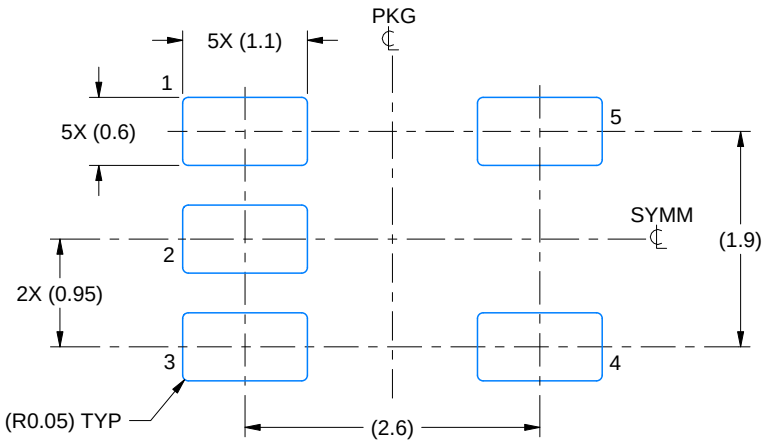
SMALL OUTLINE TRANSISTOR



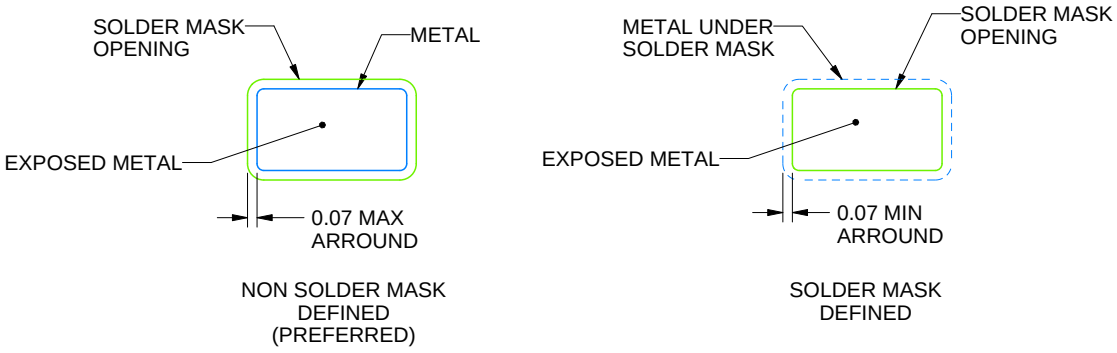
4214839/F 06/2021

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

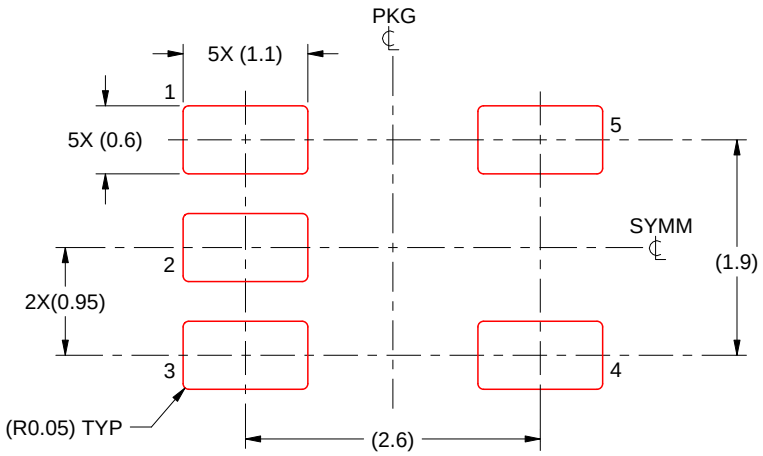


SOLDER MASK DETAILS

4214839/F 06/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



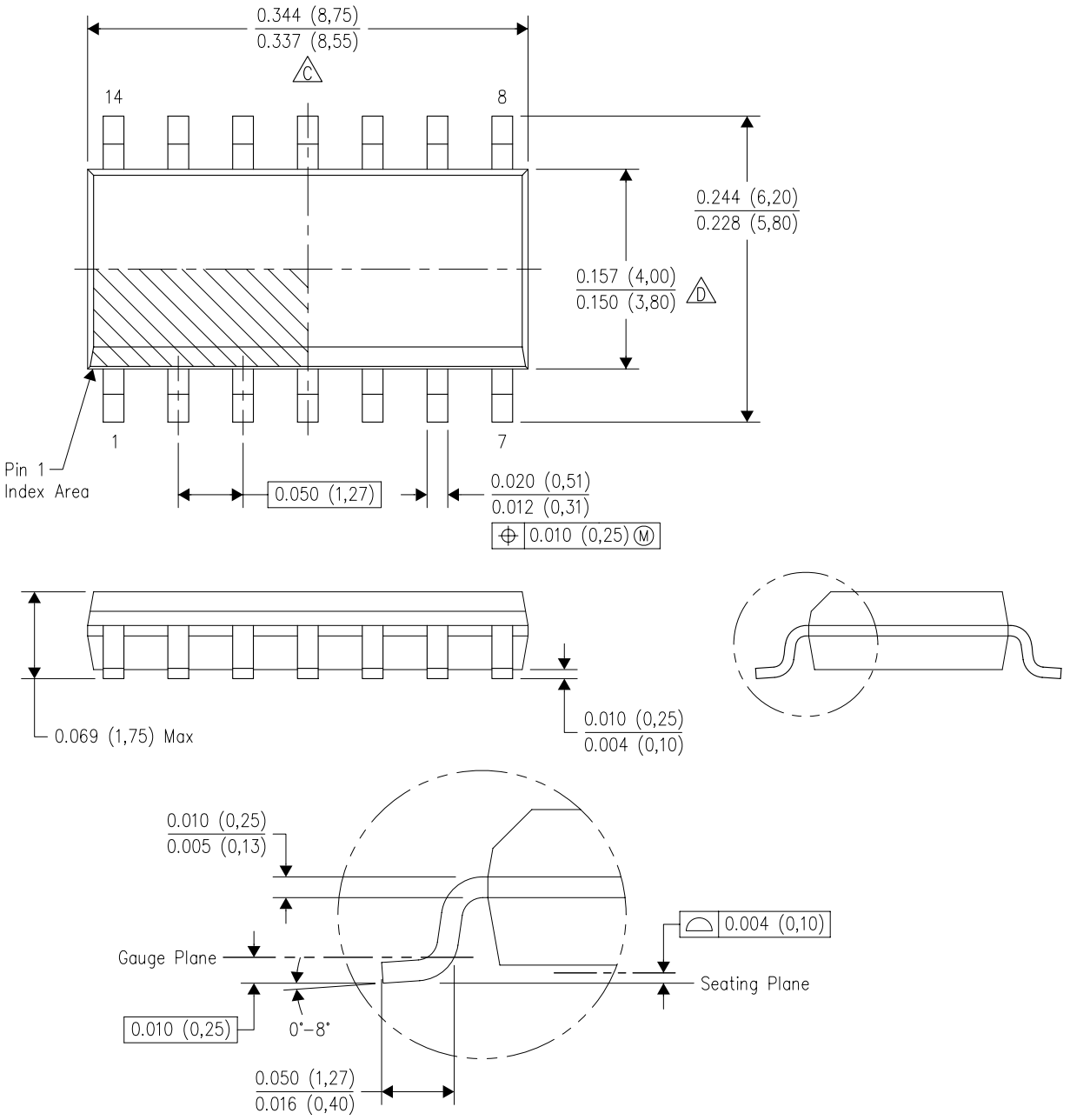
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/F 06/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

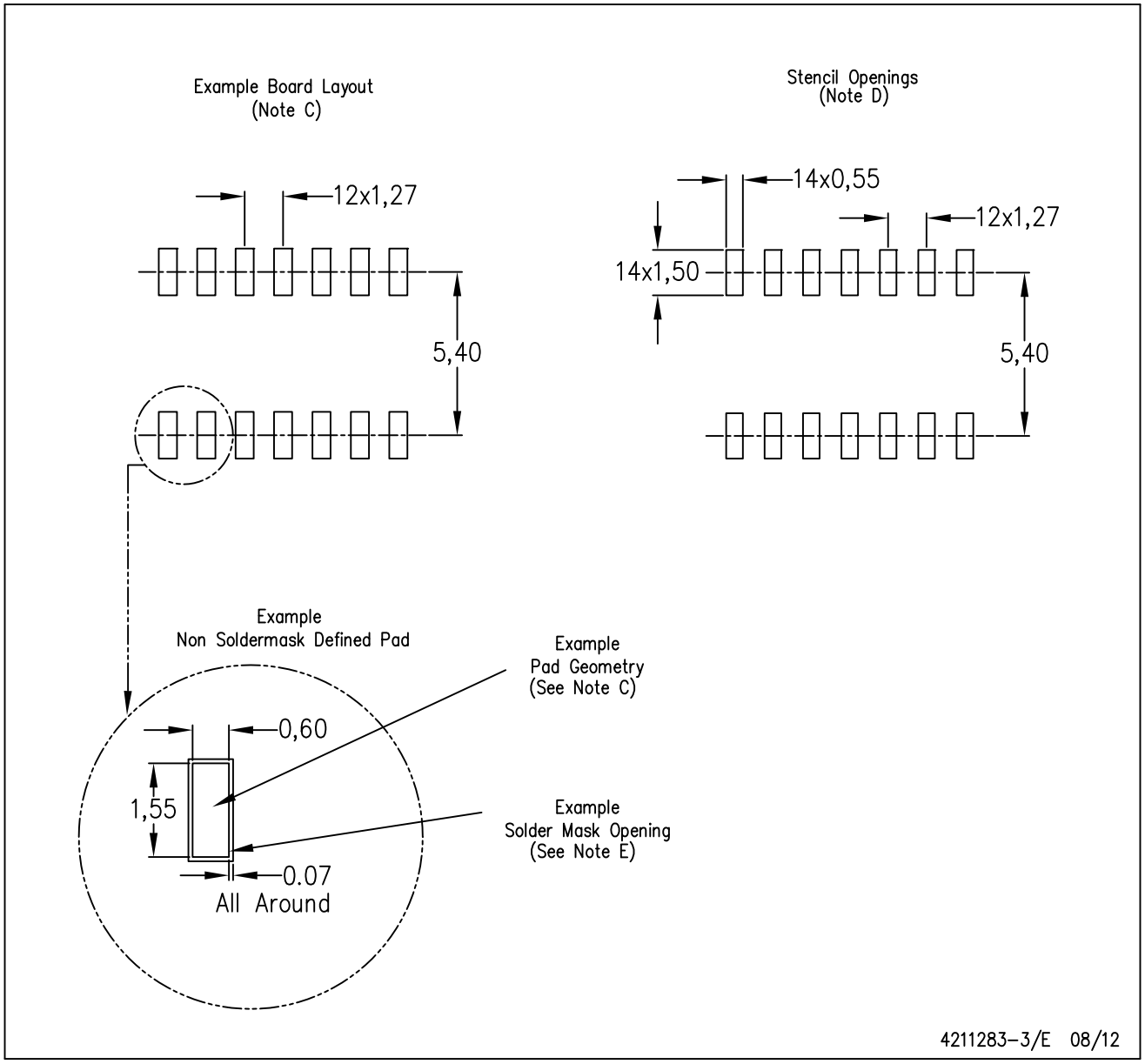
D (R–PDSO–G14) PLASTIC SMALL OUTLINE



4040047–5/M 06/11

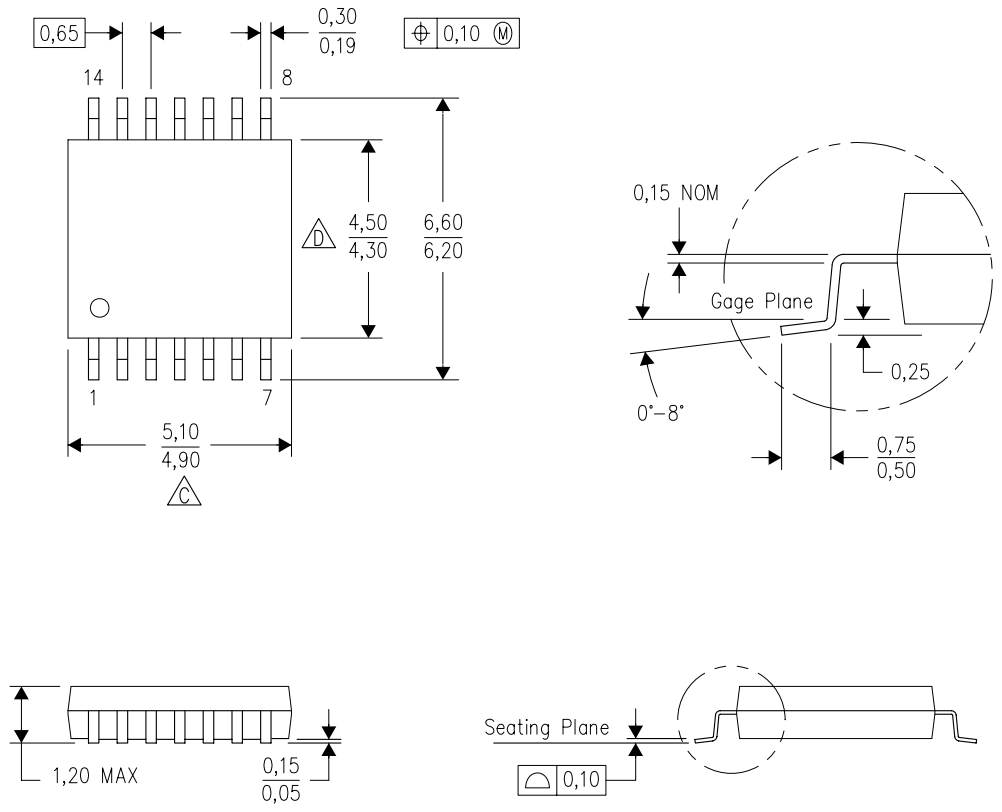
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AB.

D (R–PDSO–G14) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

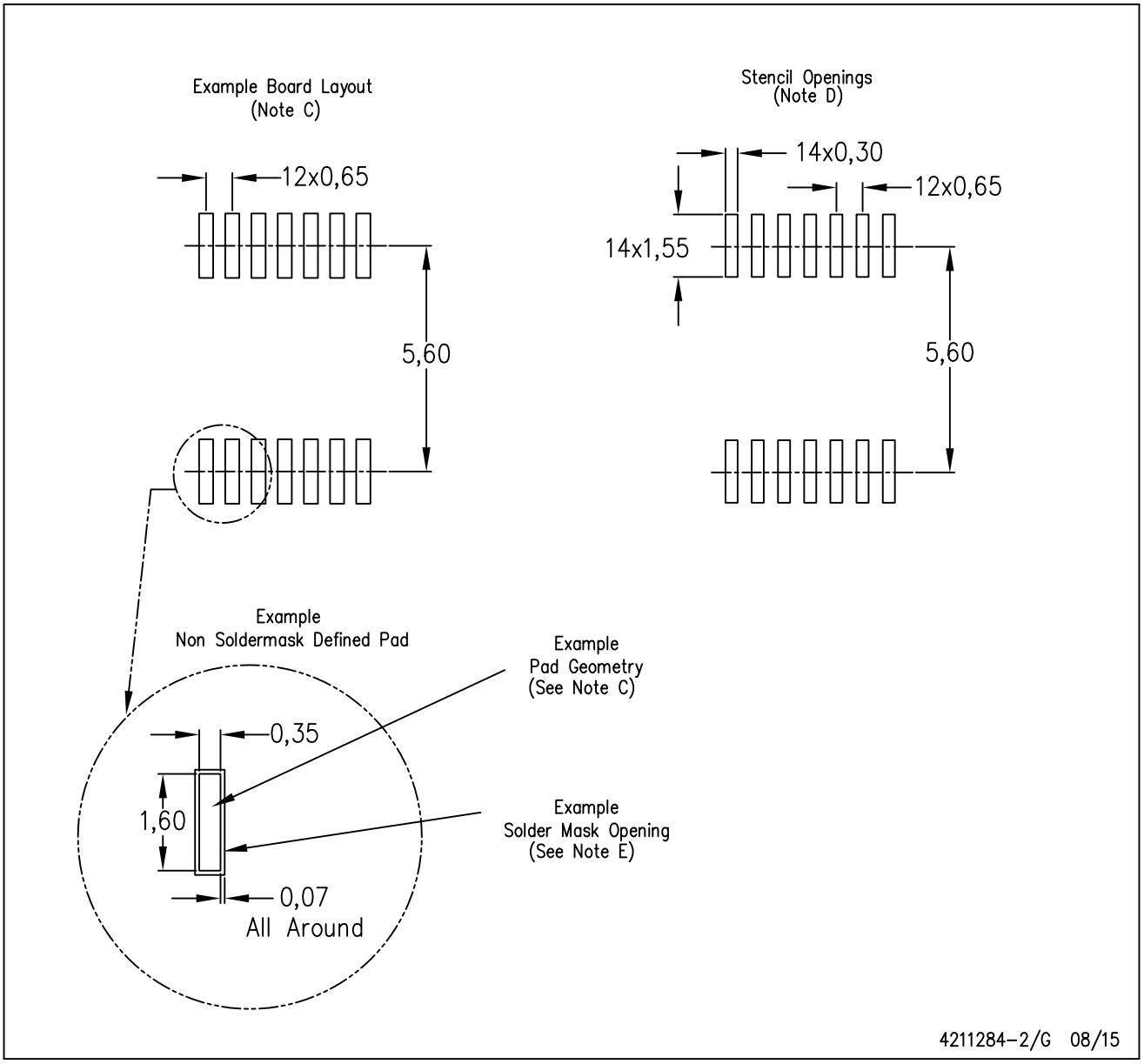
PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



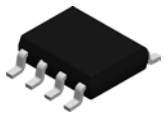
4040064–3/G 02/11

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
E. Falls within JEDEC MO–153

PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

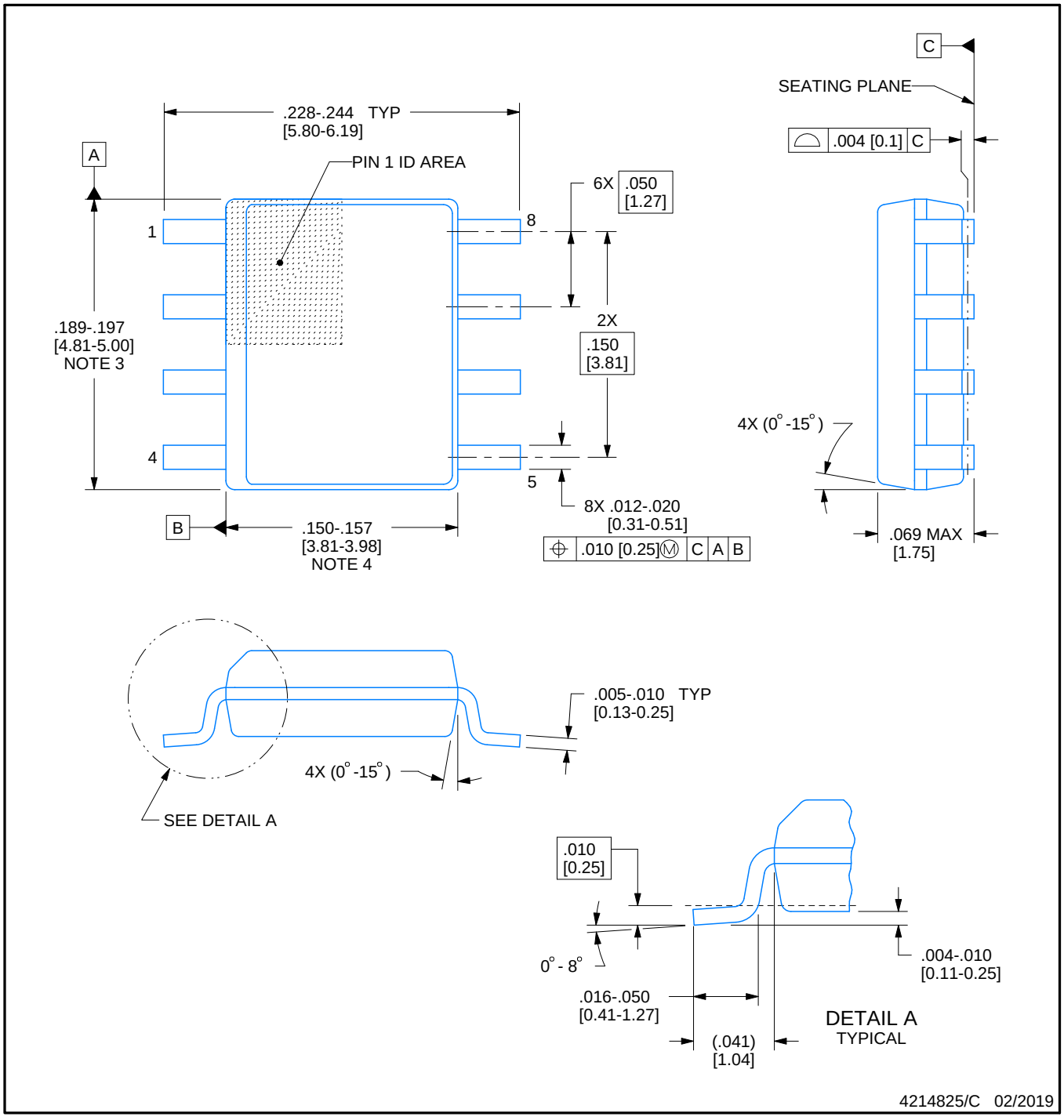


PACKAGE OUTLINE

D0008A

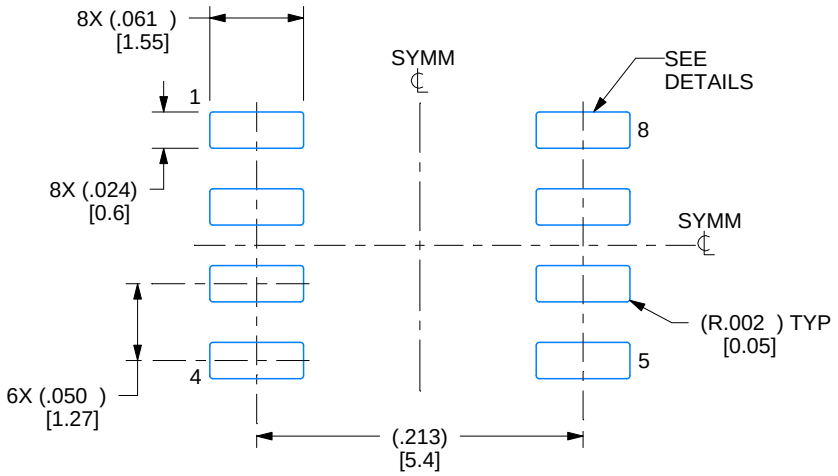
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

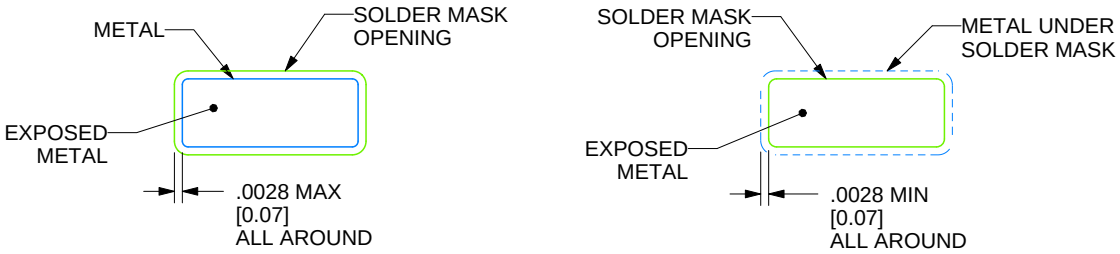


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

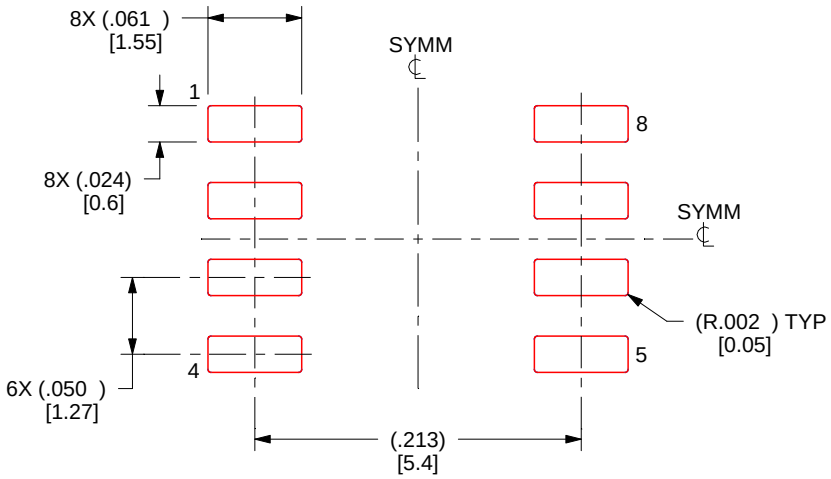
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



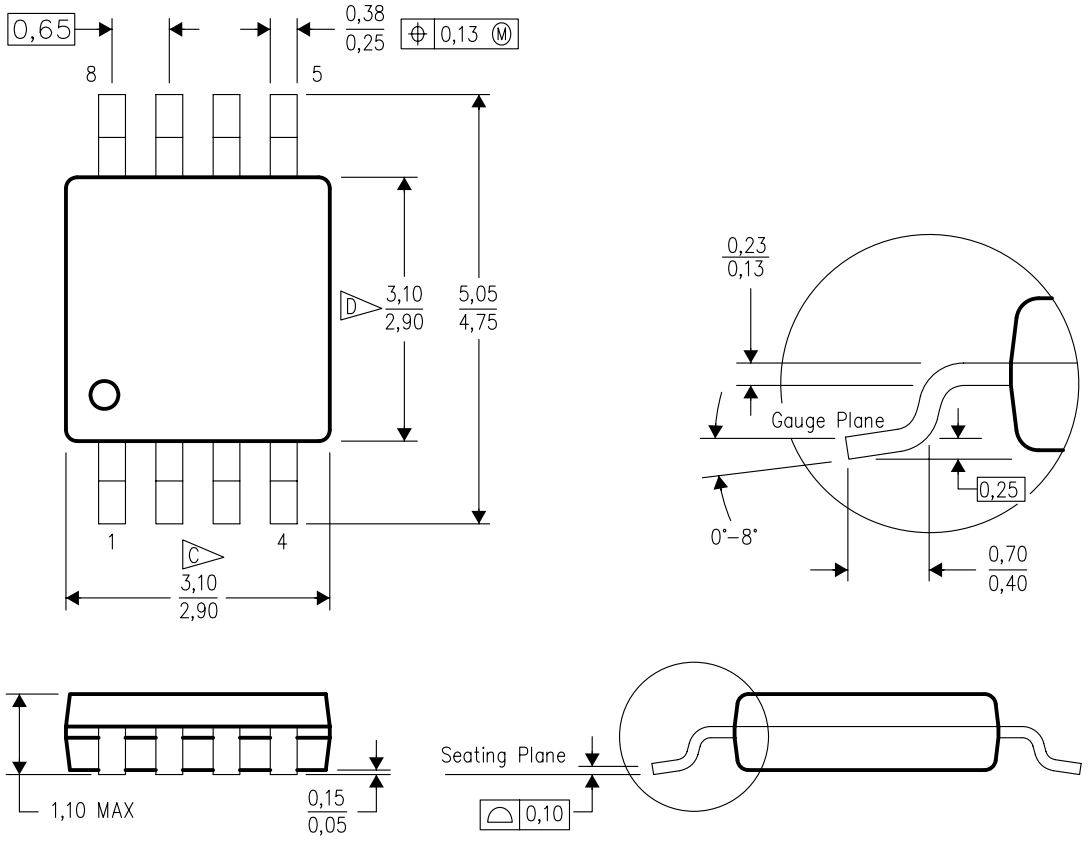
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

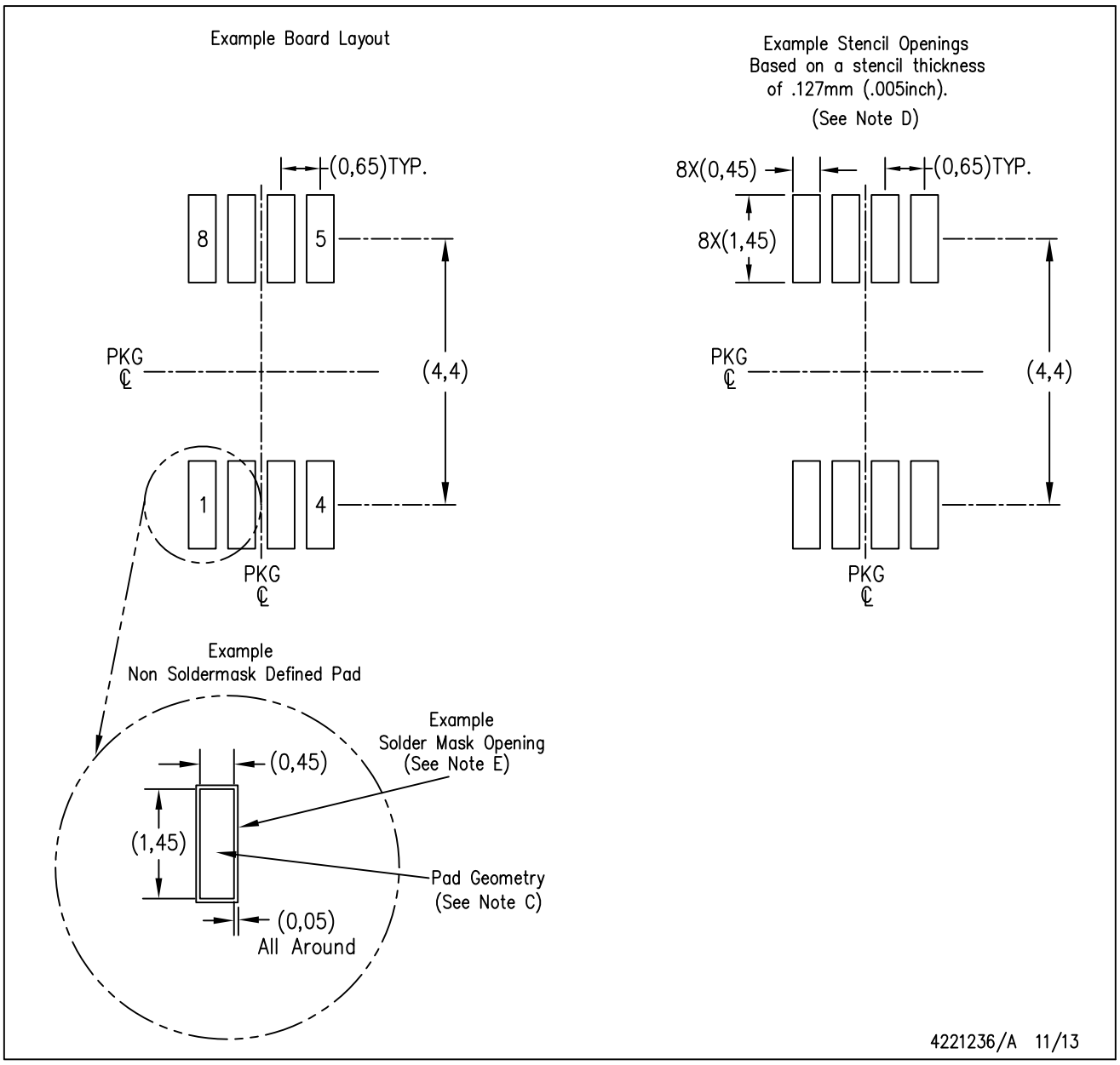
DGK (S–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE



4073329/E 05/06

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
E. Falls within JEDEC MO–187 variation AA, except interlead flash.

DGK (S–PDSO–G8) PLASTIC SMALL OUTLINE PACKAGE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2022，德州仪器 (TI) 公司