ADS129x 用于生理信号测量的低功耗、8 通道、24 位模拟前端

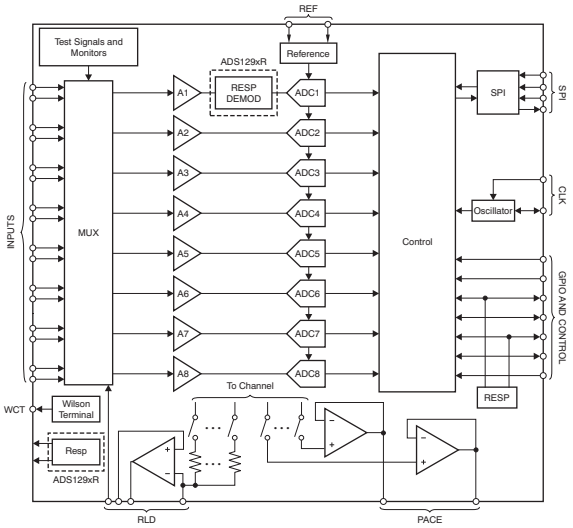
1 特性

- 8 个低噪声可编程增益放大器 (PGA) 和 8 个高分辨率模数转换器 (ADC)（ADS1298，ADS1298R）
- 低功耗：每通道 0.75mW
- 输入引入噪声：4μV_{PP}（150Hz 带宽 (BW)，G = 6）
- 输入偏置电流：200pA
- 数据速率：250SPS 至 32kSPS
- 共模抑制比 (CMRR)：–115dB
- 可编程增益：1、2、3、4、6、8 或 12
- 支持满足 AAMI EC11、EC13、IEC60601-1、IEC60601-2-27 和 IEC60601-2-51 标准的系统
- 单极或双极电源：
  - AVDD = 2.7V 至 5.25V
  - DVDD = 1.65V 至 3.6V
- 内置右腿驱动放大器、导联断开检测、威尔逊中心终端、起搏检测、测试信号
- 集成型呼吸阻抗测量
- 数字起搏检测功能
- 内置振荡器与基准
- SPI™ 兼容串口

2 应用

- 医疗仪器（心电图 (ECG)、肌电图 (EMG) 和脑电图 (EEG)）：
  病人监护；动态心电图，事件，压力，以及生命体征，包括 ECG、AED、远程医疗
  双谱指数 (BIS)、诱发音频电位 (EAP)、睡眠监护仪

简化电路原理图



3 说明

ADS1294、ADS1296、ADS1298 (ADS129x) 和 ADS1294R、ADS1296R、ADS1298R (ADS129xR) 是多通道同步采样
24 位 Δ-Σ 模数转换器 (ADC) 系列，内置有可编程增益放大器 (PGA)、内部基准以及板载振荡器。ADS129x 和 ADS129xR 包含 医疗心电图 (ECG) 和脑电图 (EEG) 应用中通常所需的全部 功能中，该值必须保持在最低水平。凭借高集成度和出色性能，ADS129x 和 ADS129xR 能够以大幅缩小的尺寸、显著降低的功耗和整体成本开发可扩展的医疗仪器系统。

ADS129x 和 ADS129xR 的每个通道都有一个灵活的输入复用器 (mux)，此复用器能够独立连接至内部生成的信号以进行测试、温度、和导联断开检测。此外，可选择输入通道的任一配置生成右腿驱动 (RLD) 输出信号。ADS129x 和 ADS129xR 工作数据速率高达 32kSPS，因此可实现软件起搏检测。可通过上拉/下拉电阻或激励电流阱/电流源在器件内部实现导联断开检测。3个集成放大器用于生成标准 12 导联 ECG 所需的威尔逊中心终端 (WCT) 和戈德伯格中心终端 (GCT)。ADS129xR 版本包含全集成呼吸阻抗测量功能。可在高通道数系统中采用菊花链配置串联多个 ADS129x 和 ADS129xR 器件。

封装选项包括微型 8mm × 8mm、
64 焊球 BGA 与 TQFP-64 封装。ADS129x BGA 版本的商业级额定温度范围为 0°C 至 70°C。ADS129xR BGA 和 ADS129x TQFP 版本的工业级额定温度范围为 -40°C 至 +85°C。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
ADS129x，ADS129xR	NFBGA (64)	8.00mm x 8.00mm
	TQFP (64)	10.00mm x 10.00mm

(1) 如需了解所有可用封装，请参见数据表末尾的封装选项附录。

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。 有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。 TI 不保证翻译的准确性和有效性。 在实际设计之前，请务必参考最新版本的英文版本。

目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 器件比较表 ... 5
6 引脚配置和功能 ... 6
7 规格 ... 12
7.1 绝对最大额定值 ... 12
7.2 ESD 额定值 ... 12
7.3 建议的工作条件 ... 12
7.4 热性能信息 ... 13
7.5 电气特性 ... 13
7.6 时序要求：串行接口 ... 17
7.7 开关特性：串行接口 ... 17
7.8 典型特性 ... 18
8 参数测量信息 ... 22
8.1 噪声测量 ... 22
9 详细 说明 ... 24
9.1 概要 ... 24
9.2 功能方框图 ... 25
9.3 特性 说明 ... 26
9.4 器件功能模式 ... 51
9.5 编程 ... 59
9.6 寄存器映射 ... 65
10 应用和实现 ... 84
10.1 应用信息 ... 84
10.2 典型 应用 ... 88
11 电源建议 ... 96
11.1 上电排序 ... 96
11.2 连接到单极（3V 或 1.8V）电源 ... 97
11.3 连接到双极（±1.5V 或 ±1.8V）电源 ... 97
12 布局 ... 98
12.1 布局指南 ... 98
12.2 布局示例 ... 98
13 器件和文档支持 ... 100
13.1 相关链接 ... 100
13.2 社区资源 ... 100
13.3 商标 ... 100
13.4 静电放电警告 ... 100
13.5 术语表 ... 100
14 机械、封装和可订购信息 ... 100

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Revision J (January 2014) to Revision K — **Page**

- 已添加 *ESD 额定值*表，*特性 描述* 部分，*器件功能模式*，*应用和实施*部分，*电源相关建议*部分，*布局*部分，*器件和文档支持*部分以及*机械、封装和可订购信息*部分 ... 1
- 为了清楚起见，已对整本数据表的文本进行适当更改 ... 1
- 向 DAISY_IN 引脚添加了注释 ... 8
- 向 DAISY_IN 引脚添加了注释 ... 10
- 更改了Equation 3 ... 32

Changes from Revision I (January 2012) to Revision J — **Page**

- Changed 更改了*引脚分配* 表中的 NC 引脚说明 ... 10
- Changed 更改了*引脚分配* 表中的 NC 引脚说明 ... 10
- Added 添加了内部 V_{REF} 漂移与温度间的关系图 ... 21
- Changed 更改了*工作原理* 部分中各小节的顺序 ... 26
- Changed 更改了单端输入 说明， 以更正输入范围值 ... 30
- Changed 更改了Figure 27，以显示单端输入的正确输入范围 ... 30
- Changed 更改了Figure 28，以显示单端输入的正确输入范围 ... 30
- Deleted 删除了有关大信号的文本 ... 31
- Changed 更改了Figure 32，以提供更稳定的外部基准驱动电路 ... 33
- 更新了 Figure 57 ... 51
- Added Figure 58 ... 52
- Added 在*数据就绪 ($\overline{DRDY}$)* 部分中添加了 SCLK/$\overline{DRDY}$ 总线行为介绍 ... 53
- Added Figure 60 ... 53
- Added 添加了*状态字* 部分和Figure 61 以介绍状态字 ... 53

版权 © 2010–2015, Texas Instruments Incorporated

- Added 添加了*读回长度* 部分 53
- Added 添加了 *SCLK 计时方法* 部分 60
- Changed 更改了 CONFIG2 寄存器 中 TEST_AMP 位说明中的 单位 68
- Changed 更改了Figure 93 以阐明上电时的初始流程 85
- Changed 更改了*上电排序* 部分的文本，以阐明启动时序 96
- Changed Figure 105 96
- Changed 更改了Table 38 中的上电复位等待时间 96

Changes from Revision H (October 2011) to Revision I — **Page**

- 已添加 第 8 个 特性 要点（所支持的标准的列表） 1
- 更新了 BGA 引脚说明 6
- Deleted 删除了“绝对最大额定值”表中重复的*数字输入电压* 和*数字输出电压* 行 12
- Changed 更改了“电气特性”表中通道性能*共模抑制比* 和*电源抑制比* 参数的名称 14
- 更新了功能方框图 25
- 更新 了 *模拟输入* 部分的说明 30
- 更新了Figure 30 32
- 更新了Figure 33 34
- 更新了Figure 34 35
- Changed 更改了 *START* 部分中的 START 引脚说明 51
- Changed 更改了 *数据就绪 (DRDY)* 部分的说明 52
- Changed 更改 了 *单冲模式* 部分中的转换说明 54
- Changed 更改 了 *连续模式* 部分中的转换说明 55
- Changed 更改了Table 14 中的“单位”列 55
- Added 在“CHnSET：各个通道设置”部分的 位 7 说明中 添加了断电建议 71
- Changed 更改 了 *RESP：呼吸控制寄存器* 部分中位 5 的说明 80
- 更正了 *WCT2：威尔逊中心端子控制寄存器* 部分中位 6 的名称 83

Changes from Revision G (February 2011) to Revision H — **Page**

- Changed 更改了 BGA 引脚分配表的脚注 1 7
- Added 向 BGA 引脚分配表中的 *RLDIN*、*TESTP_PACE_OUT1* 和 *TESTP_PACE_OUT* 添加了脚注 1 交叉参考 7
- Changed 更改了 PAG 引脚分配表的脚注 1 10
- Added 向 PAG 引脚分配表中的 *TESTP_PACE_OUT1*、*TESTP_PACE_OUT2* 和 RLDIN 添加了脚注 1 交叉参考 10
- Changed 更改 了 PAG 引脚分配表中 *AVSS* 和 *AVDD* 的说明 11
- Added 向“电气特性”表中“电源电流”部分的*高分辨率模式* 和*低功耗模式* 测试条件添加了 *(ADS1298)* 16
- Changed 更改了*电气特性* 表中的 3V 功率耗散*静态通道功率* 测试条件 16
- Changed 更改了*电气特性* 表中的 5V 功率耗散*静态通道功率* 测试条件 16
- Changed 更改了Figure 20 的标题 20
- 更新了Figure 42 41
- Added 在*呼吸* 部分中添加了新段落 46
- 更新了 Equation 5 49
- Changed 更改了Table 13 的标题 54
- 更新了Figure 66 57
- Changed 更改 了 *STANDBY：进入待机模式* 部分的说明 61
- Changed 更改了Table 16 的 ID 寄存器中位 5、6 和 7 的位名称 65
- Changed 更改了 *ID：ID 控制寄存器* 部分中位 5、6 和 7 的位名称 66

- Added 在Figure 97 中添加了脚注 89
- Changed 更改 了*电源和接地* 部分中固态陶瓷电容器的说明 96
- Changed 更改 了*将器件连接到双极（±1.5V/1.8V）电源* 部分的说明 97

Copyright © 2010–2015, Texas Instruments Incorporated

5 器件比较表

产品	封装选项	工作温度范围	呼吸电路	通道	ADC 分辨率	最大采样率
ADS1194	TQFP-64	0°C 至 70°C	否	4	16	8kSPS
	NFBGA-64	0°C 至 70°C				
ADS1196	TQFP-64	0°C 至 70°C	否	6	16	8kSPS
	NFBGA-64	0°C 至 70°C				
ADS1198	TQFP-64	0°C 至 70°C	否	8	16	8kSPS
	NFBGA-64	0°C 至 70°C				
ADS1294	TQFP-64	–40°C 至 +85°C	外部	4	24	32kSPS
	NFBGA-64	0°C 至 70°C				
ADS1294R	NFBGA-64	–40°C 至 +85°C	是			
ADS1296	TQFP-64	–40°C 至 +85°C	外部	6	24	32kSPS
	NFBGA-64	0°C 至 70°C				
ADS1296R	NFBGA-64	–40°C 至 +85°C	是			
ADS1298	TQFP-64	–40°C 至 +85°C	外部	8	24	32kSPS
	NFBGA-64	0°C 至 70°C				
ADS1298R	NFBGA-64	–40°C 至 +85°C	是			

Copyright © 2010–2015, Texas Instruments Incorporated

6 引脚配置和功能

ZXG 封装
64 引脚 NFBGA
俯视图，底部的焊接凸点

	H	G	F	E	D	C	B	A
1	IN1P	IN2P	IN3P	IN4P	IN5P	IN6P	IN7P	IN8P
2	IN1N	IN2N	IN3N	IN4N	IN5N	IN6N	IN7N	IN8N
3	VREFP	VCAP4	TESTN_ PACE_OUT2	TESTP_ PACE_OUT1	WCT	RLDINV	RLDOUT	RLDIN
4	VREFN	RESP_ MODP	RESP_ MODN	RESV1	AVSS	RLDREF	AVDD	AVDD
5	VCAP1	$\overline{\text{PWDN}}$	GPIO1	GPIO4	AVSS	AVSS	AVSS	AVSS
6	VCAP2	$\overline{\text{RESET}}$	DAISY_IN	GPIO3	$\overline{\text{DRDY}}$	AVDD	AVDD	AVDD
7	DGND	START	$\overline{\text{CS}}$	GPIO2	DGND	DGND	VCAP3	AVDD1
8	DIN	CLK	SCLK	DOUT	DVDD	DVDD	CLKSEL	AVSS1

Copyright © 2010–2015, Texas Instruments Incorporated

引脚功能：NFBGA 封装

引脚		类型	说明
编号	名称		
1A)	IN8P(1)	模拟输入	差分模拟正输入 8（ADS1298 和 ADS1298R）
1B	IN7P(1)	模拟输入	差分模拟正输入 7（ADS1298 和 ADS1298R）
1C	IN6P(1)	模拟输入	差分模拟正输入 6（ADS1296、ADS1298、ADS1296R、ADS1298R）
1D	IN5P(1)	模拟输入	差分模拟正输入 5（ADS1296、ADS1298、ADS1296R、ADS1298R）
1E	IN4P(1)	模拟输入	差分模拟正输入 4
1F	IN3P(1)	模拟输入	差分模拟正输入 3
1G	IN2P(1)	模拟输入	差分模拟正输入 2
1H	IN1P(1)	模拟输入	差分模拟正输入 1
2A	IN8N(1)	模拟输入	差分模拟负输入 8（ADS1298、ADS1298R）
2B	IN7N(1)	模拟输入	差分模拟负输入（ADS1298、ADS1298R）
2C	IN6N(1)	模拟输入	差分模拟负输入 6（ADS1296、ADS1298、ADS1296R、ADS1298R）
2D	IN5N(1)	模拟输入	差分模拟负输入 5（ADS1296、ADS1298、ADS1296R、ADS1298R）
2E	IN4N(1)	模拟输入	差分模拟负输入 4
2F	IN3N(1)	模拟输入	差分模拟负输入 3
2G	IN2N(1)	模拟输入	差分模拟负输入 2
2H	IN1N(1)	模拟输入	差分模拟负输入 1
3A	RLDIN(1)	模拟输入	多路复用器的右腿驱动输入
3B	RLDOUT	模拟输出	右腿驱动输出
3C	RLDINV	模拟输入/输出	右腿驱动输入反相输入
3D	WCT	模拟输出	威尔逊中心端子输出
3E	TESTP_PACE_OUT1(1)	模拟输入/缓冲输出	内部测试信号或单端缓冲输出（基于寄存器设置）
3F	TESTN_PACE_OUT2(1)	模拟输入/输出	内部测试信号或单端缓冲输出（基于寄存器设置）
3G	VCAP4	—	模拟旁路电容器；将 1μF 电容器连接到 AVSS
3H	VREFP	模拟输入/输出	正基准输入/输出电压
4A	AVDD	电源	模拟电源
4B	AVDD	电源	模拟电源
4C	RLDREF	模拟输入	右腿驱动同相输入
4D	AVSS	电源	模拟接地
4E	RESV1	数字输入	保留以供将来使用；必须连接至逻辑低电平 (DGND)。
4F	RESP_MODN	模拟输出	ADS129xR：用于呼吸测量的调制时钟，负极侧。 ADS129x：保持悬空。
4G	RESP_MODP	模拟输出	ADS129xR：用于呼吸测量的调制时钟，正极侧。 ADS129x：保持悬空。
4H	VREFN	模拟输入	负基准电压
5A	AVSS	电源	模拟接地
5B	AVSS	电源	模拟接地
5C	AVSS	电源	模拟接地
5D	AVSS	电源	模拟接地
5E	GPIO4	数字输入/输出	通用输入/输出引脚 4
5F	GPIO1	数字输入/输出	通用输入/输出引脚 1
5G	$\overline{\text{PWDN}}$	数字输入	关断引脚；低电平有效
5H	VCAP1	—	模拟旁路电容器；将 22μF 电容器连接到 AVSS
6A	AVDD	电源	模拟电源
6B	AVDD	电源	模拟电源
6C	AVDD	电源	模拟电源

(1) 将未使用的引脚连接到 AVDD。

Copyright © 2010–2015, Texas Instruments Incorporated

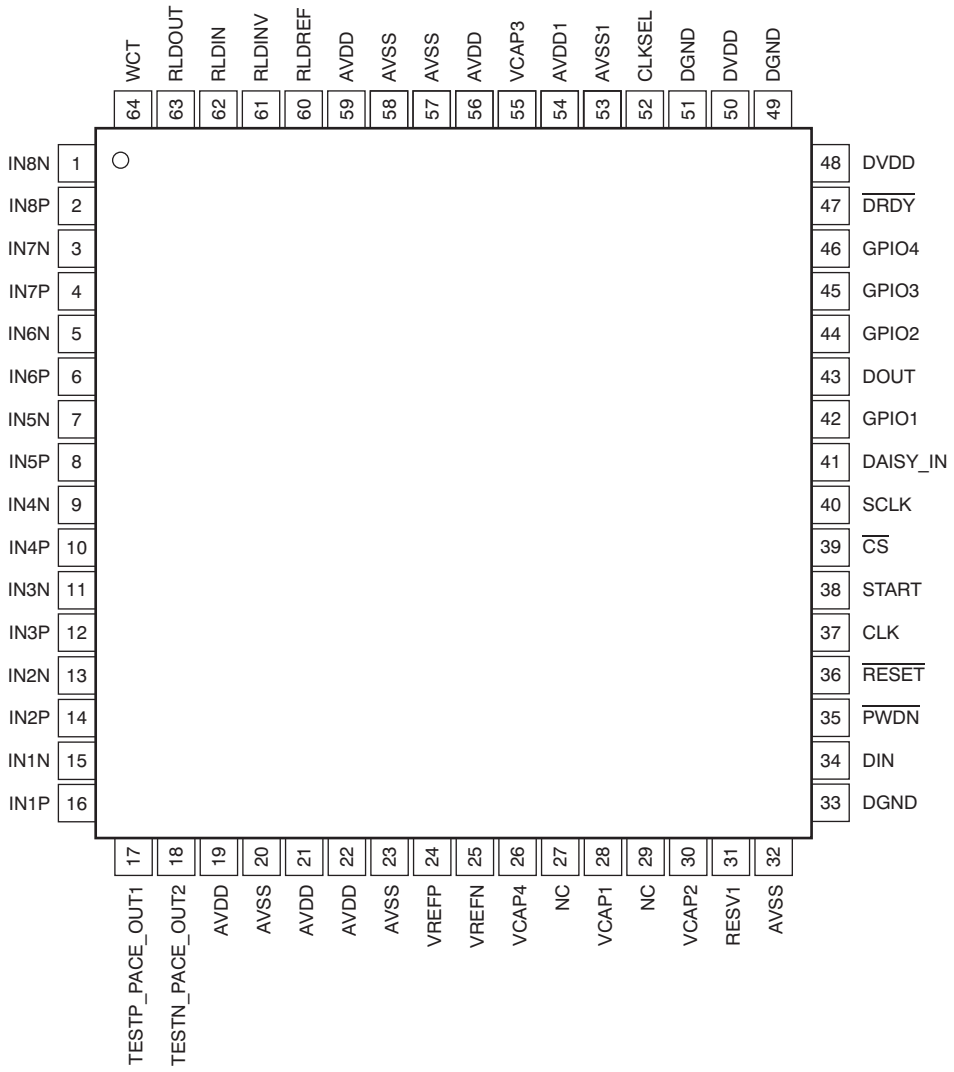
引脚功能：NFBGA 封装 (continued)

引脚		类型	说明
编号	名称		
6D	$\overline{\text{DRDY}}$	数字输出	数据就绪；低电平有效
6E	GPIO3	数字输入/输出	通用输入/输出引脚 3
6F	DAISY_IN(2)	数字输入	菊花链输入；如果未使用，则与 DGND 短接。
6G	$\overline{\text{RESET}}$	数字输入	系统复位引脚；低电平有效
6H	VCAP2	—	模拟旁路电容器；将 1μF 电容器连接到 AVSS
7A	AVDD1	电源	电荷泵的模拟电源
7B	VCAP3	—	模拟旁路电容器；在内部生成的 AVDD + 1.9V；将 1μF 电容器连接到 AVSS
7C	DGND	电源	数字接地
7D	DGND	电源	数字接地
7E	GPIO2	数字输入/输出	通用输入/输出引脚 2
7F	$\overline{\text{CS}}$	数字输入	SPI 片选；低电平有效
7G	START	数字输入	开始转换
7H	DGND	电源	数字接地
8A	AVSS1	电源	电荷泵的模拟接地
8B	CLKSEL	数字输入	主时钟选择
8C	DVDD	电源	数字电源
8D	DVDD	电源	数字电源
8E	DOUT	数字输出	SPI 数据输出
8F	SCLK	数字输入	SPI 时钟
8G	CLK	数字输入/输出	外部主时钟输入或内部时钟输出。
8H	DIN	数字输入	SPI 数据输入

(2) DAISY_IN 在未使用时连接到逻辑 0。

Copyright © 2010–2015, Texas Instruments Incorporated

PAG 封装
64 引脚 TQFP
俯视图



引脚功能：TQFP 封装

引脚		类型	说明
编号	名称		
1	IN8N(1)	模拟输入	差分模拟负输入 8 (ADS1298)
2	IN8P(1)	模拟输入	差分模拟正输入 8 (ADS1298)
3	IN7N(1)	模拟输入	差分模拟负输入 7 (ADS1298)
4	IN7P(1)	模拟输入	差分模拟正输入 7 (ADS1298)
5	IN6N(1)	模拟输入	差分模拟负输入 6（ADS1296、ADS1298）
6	IN6P(1)	模拟输入	差分模拟正输入 6（ADS1296、ADS1298）
7	IN5N(1)	模拟输入	差分模拟负输入 5（ADS1296、ADS1298）
8	IN5P(1)	模拟输入	差分模拟正输入 5（ADS1296、ADS1298）
9	IN4N(1)	模拟输入	差分模拟负输入 4
10	IN4P(1)	模拟输入	差分模拟正输入 4
11	IN3N(1)	模拟输入	差分模拟负输入 3
12	IN3P(1)	模拟输入	差分模拟正输入 3
13	IN2N(1)	模拟输入	差分模拟负输入 2
14	IN2P(1)	模拟输入	差分模拟正输入 2
15	IN1N(1)	模拟输入	差分模拟负输入 1
16	IN1P(1)	模拟输入	差分模拟正输入 1
17	TESTP_PACE_OUT1(1)	模拟输入/缓冲输出	内部测试信号/单端缓冲输出（基于寄存器设置）
18	TESTN_PACE_OUT2(1)	模拟输入/输出	内部测试信号/单端缓冲输出（基于寄存器设置）
19	AVDD	电源	模拟电源
20	AVSS	电源	模拟接地
21	AVDD	电源	模拟电源
22	AVDD	电源	模拟电源
23	AVSS	电源	模拟接地
24	VREFP	模拟输入/输出	正基准输入/输出电压
25	VREFN	模拟输入	负基准电压
26	VCAP4	—	模拟旁路电容器；将 1μF 电容器连接到 AVSS
27	NC	—	无连接，可使用 10kΩ 电阻器连接到 AVDD 或 AVSS
28	VCAP1	—	模拟旁路电容器；将 22μF 电容器连接到 AVSS
29	NC	—	无连接，可使用 10kΩ 电阻器连接到 AVDD 或 AVSS
30	VCAP2	—	模拟旁路电容器；将 1μF 电容器连接到 AVSS
31	RESV1	数字输入	保留以供将来使用；必须连接至逻辑低电平 (DGND)。
32	AVSS	电源	模拟接地
33	DGND	电源	数字接地
34	DIN	数字输入	SPI 数据输入
35	$\overline{\text{PWDN}}$	数字输入	关断引脚；低电平有效
36	$\overline{\text{RESET}}$	数字输入	系统复位引脚；低电平有效
37	CLK	数字输入/输出	外部主时钟输入或内部时钟输出。
38	START	数字输入	开始转换
39	$\overline{\text{CS}}$	数字输入	SPI 片选；低电平有效
40	SCLK	数字输入	SPI 时钟
41	DAISY_IN(2)	数字输入	菊花链输入；如果未使用，则与 DGND 短接。
42	GPIO1	数字输入/输出	通用输入/输出引脚 1
43	DOUT	数字输出	SPI 数据输出
44	GPIO2	数字输入/输出	通用输入/输出引脚 2

(1) 将未使用的引脚连接到 AVDD。
(2) DAISY_IN 在未使用时连接到逻辑 0。

Copyright © 2010–2015, Texas Instruments Incorporated

引脚功能：TQFP 封装 (continued)

引脚		类型	说明
编号	名称		
45	GPIO3	数字输入/输出	通用输入/输出引脚 3
46	GPIO4	数字输入/输出	通用输入/输出引脚 4
47	$\overline{\text{DRDY}}$	数字输出	数据就绪；低电平有效
48	DVDD	电源	数字电源
49	DGND	电源	数字接地
50	DVDD	电源	数字电源
51	DGND	电源	数字接地
52	CLKSEL	数字输入	主时钟选择
53	AVSS1	电源	模拟接地
54	AVDD1	电源	模拟电源
55	VCAP3	—	模拟旁路电容器；在内部生成的 AVDD + 1.9V；将 1μF 电容器连接到 AVSS
56	AVDD	电源	模拟电源
57	AVSS	电源	模拟接地
58	AVSS	电源	模拟接地
59	AVDD	电源	模拟电源
60	RLDREF	模拟输入	右腿驱动同相输入
61	RLDINV	模拟输入/输出	右腿驱动输入反相输入
62	RLDIN (1)	模拟输入	多路复用器的右腿驱动输入
63	RLDOUT	模拟输出	右腿驱动输出
64	WCT	模拟输出	威尔逊中心端子输出

Copyright © 2010–2015, Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

在自然通风温度范围内测得（除非另有说明）(1)

	最小值	最大值	单位
AVDD 至 AVSS	–0.3	5.5	V
DVDD 至 DGND	–0.3	3.9	V
AVSS 至 DGND	–3	0.2	V
AVSS 的 VREFP 输入	AVSS – 0.3	AVDD + 0.3	V
模拟输入电压	AVSS – 0.3	AVDD + 0.3	V
数字输入电压	DGND – 0.3	DVDD + 0.3	V
数字输出电压	DGND – 0.3	DVDD + 0.3	V
输入电流（瞬时）		100	mA
输入电流（连续）		10	mA
结温，T_J	–40	150	°C
贮存温度，T_{stg}	–60	150	°C

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

7.2 ESD 额定值

		值	单位
$V_{(ESD)}$ 静电释放	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚(1)	±2000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

7.3 建议的工作条件

在工作环境温度范围内（除非另外注明）

		最小值	标称值	最大值	单位
电源					
模拟电源 (AVDD – AVSS)		2.7	3	5.25	V
数字电源 (DVDD)		1.65	1.8	3.6	V
AVDD – DVDD		–2.1		3.6	V
模拟输入					
满标量程差分输入电压范围 (AINP – AINN)			$\pm V_{REF}$/增益		V
共模输入电压			请参阅 *PGA 设置和输入范围* 部分的*输入共模范围* 小节		
电压基准输入					
差分基准电压	3V 电源 V_{REF} = (VREFP – VREFN)		2.5		V
	5V 电源 V_{REF} = (VREFP – VREFN)		4		V
负输入 (VREFN)			AVSS		V
正输入 (VREFP)			AVSS + 2.5		V
时钟输入					
外部时钟输入频率	CLKSEL 引脚 = 0	1.94	2.048	2.25	MHz
数字输入					
输入电压		DGND		DVDD	V
温度范围					
工作温度范围	商用级	0		70	°C
	工业级	–40		85	°C

Copyright © 2010–2015, Texas Instruments Incorporated

7.4 热性能信息

热指标(1)		ADS129x、ADS129xR		单位
		PAG (TQFP)	ZXG (NFBGA)	
		64 引脚	64 引脚	
$R_{\theta JA}$	结至环境热阻	35	48	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	31	8	°C/W
$R_{\theta JB}$	结至电路板热阻	26	25	°C/W
ψ_{JT}	结至顶部特征参数	0.1	0.5	°C/W
ψ_{JB}	结至电路板特征参数	不适用	22	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《*半导体和 IC 封装热指标*》应用报告 SPRA953。

7.5 电气特性

最小和最大规格适用于所有商用级（T_A = 0°C 至 70°C）器件；对于工业级器件，T_A = –40°C 至 +85°C 典型规格适用于 T_A = 25°C。所有规格的适用条件为：DVDD = 1.8V，AVDD – AVSS = 3V(1)，
V_{REF} = 2.4V，外部 f_{CLK} = 2.048MHz，数据速率 = 500SPS，HR 模式(2)，以及增益 = 6（除非另有说明）。

参数	测试条件	最小值	典型值	最大值	单位
模拟输入					
输入电容			20		pF
输入偏置电流	T_A = 25°C，输入 = 1.5V			±200	pA
	T_A = 0°C 至 70°C，输入 = 1.5V		±1		nA
	T_A = –40°C 至 +85°C，输入 = 1.5V		±1.2		nA
直流输入阻抗	无导联脱落	1000			MΩ
	电流源导联脱落检测		500		MΩ
	上拉电阻器导联脱落检测		10		MΩ
PGA 性能					
增益设置			1、2、3、4、6、8、12		
带宽			请参阅 Table 5		
ADC 性能					
分辨率	数据速率高达 8kSPS，无丢失码	24			位
	16kSPS 数据速率	19			位
	32kSPS 数据速率	17			位
数据速率	f_{CLK} = 2.048MHz，HR 模式	500		32000	SPS
	f_{CLK} = 2.048MHz，LP 模式	250		16000	SPS
直流通道性能					
输入参考噪声	增益 = 6(3)，10 秒的数据		5		μV_{PP}
	增益 = 6，256 点，0.5 秒的数据		4	7	μV_{PP}
	增益设置 ≠ 6，数据速率 ≠ 500SPS		请参阅*噪声测量* 部分		
积分非线性(4)	满标量程，增益 = 6，最佳拟合		8		ppm
	满标量程，增益 = 6，最佳拟合，ADS129xR 通道 1		40		ppm
	–20dBFS，增益 = 6，最佳拟合，ADS129xR 通道 1		8		ppm
偏移误差			±500		μV
偏移误差漂移			2		μV/°C
增益误差	不包括电压基准误差		±0.2	±0.5	占 FS 的百分比
增益漂移	不包括电压基准漂移		5		ppm/°C
通道之间的增益匹配			0.3		占 FS 的百分比

(1) 性能也适用于 5V 操作。针对限值的生产测试是在 3V 的电压下执行的。
(2) LP 模式 = 低功耗模式。
(3) 在 10 秒间隔内测试的噪声数据。未在生产中执行测试。输入参考噪声通过在 10 秒间隔内使输入短路（无电极电阻）计算得出。
(4) 通道 1 上存在内部解调电路会导致 INL 和 THD 降级。该影响对于满标量程信号很显著，对于小 ECG 型信号则较小。

Copyright © 2010–2015, Texas Instruments Incorporated

电气特性 (continued)

最小和最大规格适用于所有商用级（T_A = 0°C 至 70°C）器件；对于工业级器件，T_A = –40°C 至 +85°C 典型规格适用于 T_A = 25°C。所有规格的适用条件为：DVDD = 1.8V，AVDD – AVSS = 3V(1)，
V_{REF} = 2.4V，外部 f_{CLK} = 2.048MHz，数据速率 = 500SPS，HR 模式(2)，以及增益 = 6（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
交流通道性能						
CMRR	共模抑制比	f_{CM} = 50Hz、60Hz(5)	–105	–115		dB
PSRR	电源抑制比	f_{PS} = 50Hz、60Hz		90		dB
	串扰	f_{IN} = 50Hz、60Hz		–126		dB
SNR	信噪比	f_{IN} = 10Hz 输入，增益 = 6		112		dB
总谐波失真 (THD)	总谐波失真(4)	10Hz，–0.5dBFs		–98		dB
		ADS129xR 通道 1，10Hz，–0.5dBFs		–70		dB
		100Hz，–0.5dBFs(6)		-100		dB
		ADS129xR 通道 1，100Hz，–0.5dBFs(6)		-68		dB
		ADS129xR 通道 1，100Hz，–20dBFs(6)		–86		dB
数字滤波器						
	–3dB 带宽			0.262 f_{DR}		Hz
	数字滤波器稳定	完全稳定		4		转换
右腿驱动 (RLD) 放大器和起搏信号放大器						
	RLD 积分噪声	BW = 150Hz		7		μV_{RMS}
	起搏信号积分噪声	BW = 8kHz		20		μV_{RMS}
	起搏信号放大器串扰	起搏信号放大器之间的串扰		60		dB
	增益带宽积	50kΩ || 10pF 负载，增益 = 1		100		kHz
	压摆率	50kΩ || 10pF 负载，增益 = 1		0.25		V/µs
	起搏信号和 RLD 放大器驱动强度	对 GND 短路 (AVDD = 3V)		270		µA
		对电源短路 (AVDD = 3V)		550		µA
		对 GND 短路 (AVDD = 5V)		490		µA
		对电源短路 (AVDD = 5V)		810		µA
	起搏信号和 RLD 电流	峰值摆幅（AVSS + 0.3V 至 AVDD + 0.3V），AVDD = 3V		50		µA
		峰值摆幅（AVSS + 0.3V 至 AVDD + 0.3V），AVDD = 5V		75		µA
	起搏信号放大器输出电阻			100		Ω
	总谐波失真	f_{IN} = 100Hz，增益 = 1		–70		dB
	共模输入范围		AVSS + 0.7		AVDD – 0.3	V
	共模电阻器匹配	内部 200kΩ 电阻器匹配		0.1%		
	短路电流			±0.25		mA
	静态功耗	RLD 或起搏信号放大器		20		µA
威尔逊中心端子 (WCT) 放大器						
	积分噪声	BW = 150Hz		请参阅 Table 6		nV/√Hz
	增益带宽积			请参阅 Table 6		kHz
	压摆率			请参阅 Table 6		V/s
	总谐波失真	f_{IN} = 100Hz		90		dB
	共模输入范围		AVSS + 0.3		AVDD – 0.3	V
	短路电流	通过内部 30kΩ 电阻器		±0.25		mA
	静态功耗			请参阅 Table 6		µA

(5) CMRR 使用 AVSS + 0.3V 至 AVDD - 0.3V 的共模信号进行测量。所示的值是八个通道的最大值。
(6) 高于二次谐波的谐波会由数字滤波器进行衰减。

Copyright © 2010–2015, Texas Instruments Incorporated

电气特性 (continued)

最小和最大规格适用于所有商用级（T_A = 0°C 至 70°C）器件；对于工业级器件，T_A = –40°C 至 +85°C 典型规格适用于 T_A = 25°C。所有规格的适用条件为：DVDD = 1.8V，AVDD – AVSS = 3V(1)，
V_{REF} = 2.4V，外部 f_{CLK} = 2.048MHz，数据速率 = 500SPS，HR 模式(2)，以及增益 = 6（除非另有说明）。

参数	测试条件	最小值	典型值	最大值	单位
导联脱落检测					
频率	有关设置，请参阅Table 16		0、f_{DR}/4		kHz
电流	有关设置，请参阅Table 16		6、12、18、24		nA
电流精度			±20%		
比较器阈值精度			±30		mV
呼吸（仅限 ADS129xR）					
频率	内部源		32、64		kHz
	外部源	32		64	kHz
相移	有关设置，请参阅Table 16	22.5	90	157.5	度
阻抗范围	I_{RESP} = 30μA			10	kΩ
阻抗测量噪声	0.05Hz 至 2Hz 砖墙式滤波器，32kHz 调制时钟，相位 = 112.5，I_{RESP} = 30μA（基准负载为 2kΩ），增益 = 4		20		$m\Omega_{PP}$
调节器电流	内部基准，信号路径 = 82kΩ，基准 = 2.21kΩ		29		μA
外部基准					
输入阻抗			10		kΩ
内部基准					
输出电压	寄存器位 CONFIG3.VREF_4V = 0，AVDD ≥ 2.7V		2.4		V
	寄存器位 CONFIG3.VREF_4V = 1，AVDD ≥ 4.4V		4		V
V_{REF} 精度			±0.2%		
内部基准漂移	T_A = 25°C		35		ppm/°C
	商用级：0°C 至 70°C		35		ppm
	工业级，–40°C 至 85°C		45		ppm
启动时间			150		ms
系统监控器					
模拟电源读数误差			2%		
数字电源读数误差			2%		
器件唤醒	从上电到 $\overline{DRDY}$ 为低电平		150		ms
	待机模式		9		ms
温度传感器读数，电压	T_A = 25°C		145		mV
温度传感器读数，系数			490		μV/°C
测试信号频率	有关设置，请参阅Table 16		$f_{CLK}/2^{21}$、$f_{CLK}/2^{20}$		Hz
测试信号电压	有关设置，请参阅Table 16		±1、±2		mV
测试信号精度			±2%		
时钟					
内部振荡器时钟频率	标称频率		2.048		MHz
内部时钟频率	T_A = 25°C			±0.5%	
	0°C ≤ T_A ≤ 70°C			±2%	
	–40°C ≤ T_A ≤ 85°C，仅限工业级版本			±2.5%	
内部振荡器启动时间				20	μs
内部振荡器功耗			120		μW

Copyright © 2010–2015, Texas Instruments Incorporated

电气特性 (continued)

最小和最大规格适用于所有商用级（T_A = 0°C 至 70°C）器件；对于工业级器件，T_A = –40°C 至 +85°C 典型规格适用于 T_A = 25°C。所有规格的适用条件为：DVDD = 1.8V，AVDD – AVSS = 3V[1]，
V_{REF} = 2.4V，外部 f_{CLK} = 2.048MHz，数据速率 = 500SPS，HR 模式[2]，以及增益 = 6（除非另有说明）。

参数		测试条件		最小值	典型值	最大值	单位
数字输入/输出（DVDD = 1.65V 至 3.6V）							
V_{IH}	高电平输入电压			0.8 DVDD		DVDD + 0.1	V
V_{IL}	低电平输入电压			–0.1		0.2 DVDD	V
V_{OH}	高电平输出电压	I_{OH} = –500μA		DVDD – 0.4			V
V_{OL}	低电平输出电压	I_{OL} = 500μA				0.4	V
I_{IN}	输入电流	0V < $V_{数字输入}$ < DVDD		-10		10	μA
电源（RLD、WCT 和 起搏信号放大器关闭）							
I_{AVDD}	AVDD 电流	AVDD – AVSS = 3V	HR 模式 (ADS1298)		2.75		mA
			LP 模式[2] (ADS1298)		1.8		mA
		AVDD – AVSS = 5V	HR 模式 (ADS1298)		3.1		mA
			LP 模式 (ADS1298)		2.1		mA
I_{DVDD}	DVDD 电流	DVDD = 1.8V	HR 模式 (ADS1298)		0.3		mA
			LP 模式 (ADS1298)		0.3		mA
		DVDD = 3V	HR 模式 (ADS1298)		0.5		mA
			LP 模式 (ADS1298)		0.5		mA
	功率耗散	ADS1298、ADS1298R、AVDD – AVSS = 3V	HR 模式		8.8	9.5	mW
			LP 模式 (250SPS)		6.0	7.0	mW
		ADS1296、ADS1296R、AVDD – AVSS = 3V	HR 模式		7.2	7.9	mW
			LP 模式 (250SPS)		5.3	6.6	mW
		ADS1294、ADS1294R，AVDD – AVSS = 3V	HR 模式		5.4	6	mW
			LP 模式 (250SPS)		4.1	4.4	mW
		ADS1298、ADS1298R、AVDD – AVSS = 5V	HR 模式		17.5		mW
			LP 模式 (250SPS)		12.5		mW
		ADS1296、ADS1296R、AVDD – AVSS = 5V	HR 模式		14.1		mW
			LP 模式 (250SPS)		10		mW
		ADS1294、ADS1294R，AVDD – AVSS = 5V	HR 模式		10.1		mW
			LP 模式 (250SPS)		8.3		mW
	断电	AVDD – AVSS = 3V			10		μW
		AVDD – AVSS = 5V			20		μW
	待机模式	AVDD – AVSS = 3V			2		mW
		AVDD – AVSS = 5V			4		mW
	静态通道功率	AVDD – AVSS = 3V，PGA + ADC			818		μW
		AVDD – AVSS = 5V，PGA + ADC			1.5		mW

Copyright © 2010–2015, Texas Instruments Incorporated

7.6 时序要求：串行接口

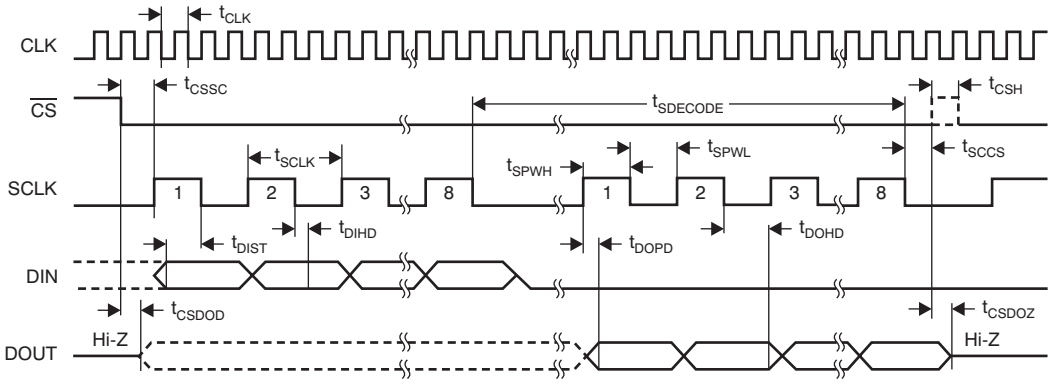
规格适用于 T_A = –40°C 至 +85°C（除非另外说明）；D_{OUT} 上的负载 = 20pF || 100kΩ

		2.7V ≤ DVDD ≤ 3.6V		1.65V ≤ DVDD ≤ 2V		
		最小值	最大值	最小值	最大值	单位
t_{CLK}	主时钟周期	414	514	414	514	ns
t_{CSSC}	$\overline{CS}$ 低电平至第一个 SCLK，设置时间	6		17		ns
t_{SCLK}	SCLK 周期	50		66.6		ns
$t_{SPWH, L}$	SCLK 脉冲宽度，高电平和低电平	15		25		ns
t_{DIST}	DIN 有效至 SCLK 下降沿：设置时间	10		10		ns
t_{DIHD}	SCLK 下降沿之后的有效 DIN：保持时间	10		11		ns
t_{CSH}	$\overline{CS}$ 高电平脉冲	2		2		t_{CLK}
t_{SCCS}	第八个 SCLK 下降沿至 $\overline{CS}$ 高电平	4		4		t_{CLK}
$t_{SDECODE}$	命令解码时间	4		4		t_{CLK}
$t_{DISCK2ST}$	DAISY_IN 有效至 SCLK 上升沿：设置时间	10		10		ns
$t_{DISCK2HT}$	SCLK 上升沿之后 DAISY_IN 有效：保持时间	10		10		ns

7.7 开关特性：串行接口

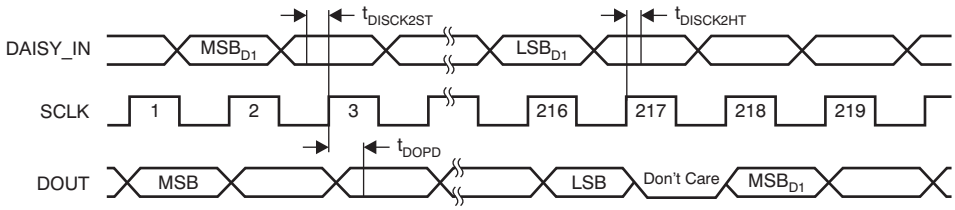
规格适用于 T_A = –40°C 至 +85°C（除非另外说明）。D_{OUT} 上的负载 = 20pF || 100kΩ。

参数		2.7V ≤ DVDD ≤ 3.6V		1.65V ≤ DVDD ≤ 2V		
		最小值	最大值	最小值	最大值	单位
t_{DOHD}	SCLK 下降沿至无效 DOUT：保持时间	10		10		ns
t_{DOPD}	SCLK 上升沿至 DOUT 有效：设置时间		17		32	ns
t_{CSDOD}	$\overline{CS}$ 低电平至 DOUT 驱动	10		20		ns
t_{CSDOZ}	$\overline{CS}$ 高电平至 DOUT Hi-Z		10		20	ns



注意：SPI 设置为 CPOL = 0 且 CPHA = 1。

Figure 1. 串行接口时序



注意：显示的是八通道 ADS1298 和 ADS1298R 的菊花链时序。

Figure 2. 菊花链接口时序

Copyright © 2010–2015, Texas Instruments Incorporated

7.8 典型特性

测试条件为 T_A = 25°C，AVDD = 3V，AVSS = 0V，DVDD = 1.8V，内部 VREFP = 2.4V，VREFN = AVSS，外部时钟 = 2.048MHz，数据速率 = 500SPS，高分辨率模式，增益 = 6（除非另有说明）

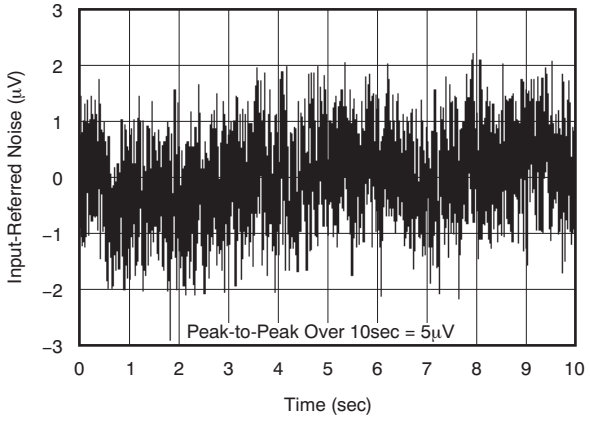


Figure 3. 输入参考噪声

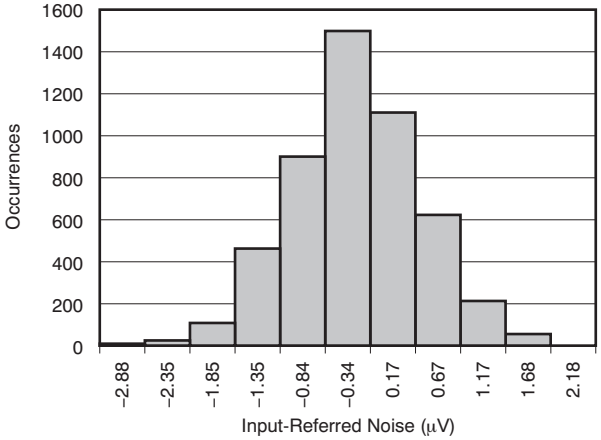


Figure 4. 噪声直方图

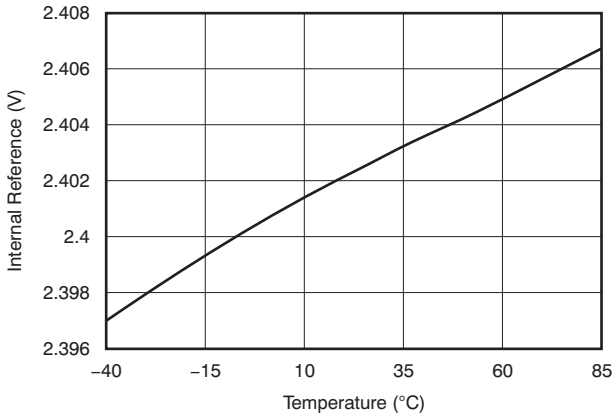


Figure 5. 内部基准与温度间的关系

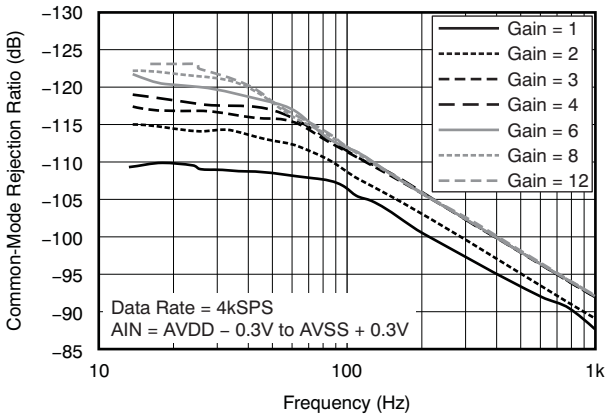


Figure 6. CMRR 与频率间的关系

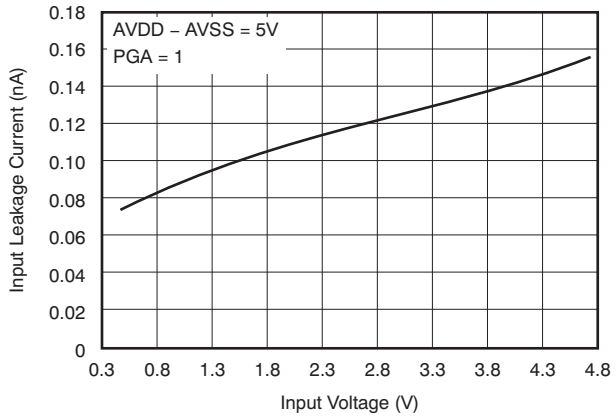


Figure 7. 泄漏电流与输入电压间的关系

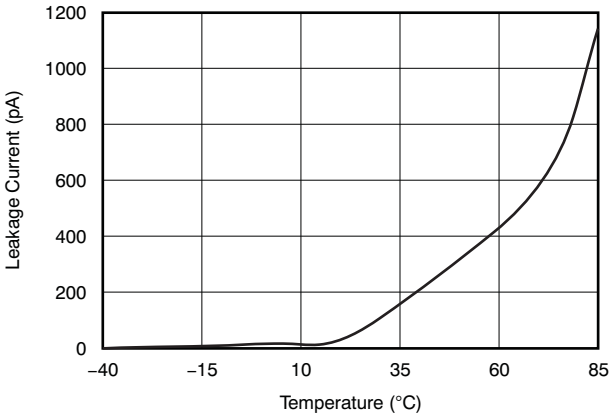


Figure 8. 泄漏电流与温度间的关系

Copyright © 2010–2015, Texas Instruments Incorporated

典型特性 (continued)

测试条件为 T_A = 25°C，AVDD = 3V，AVSS = 0V，DVDD = 1.8V，内部 VREFP = 2.4V，VREFN = AVSS，外部时钟 = 2.048MHz，数据速率 = 500SPS，高分辨率模式，增益 = 6（除非另有说明）

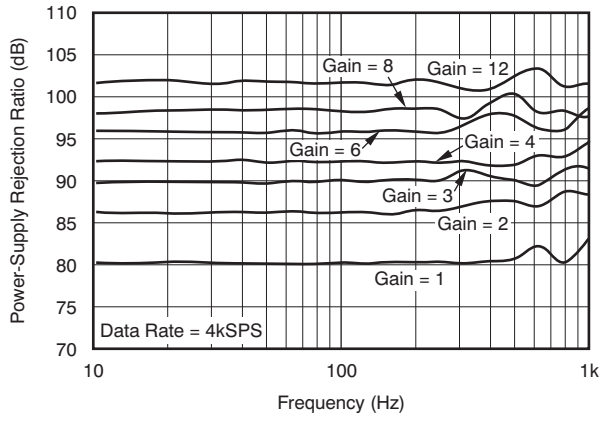


Figure 9. PSRR 与频率间的关系

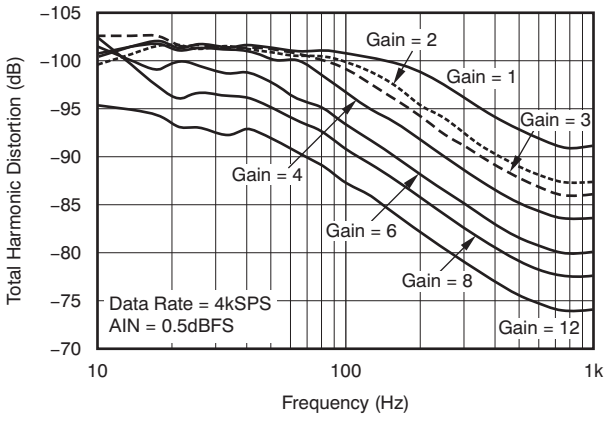


Figure 10. THD 与频率间的关系

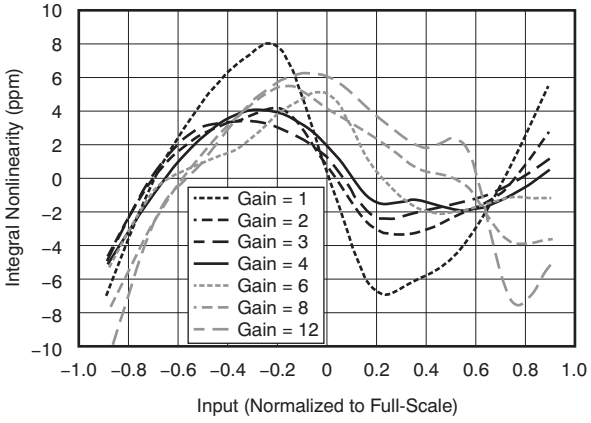


Figure 11. INL 与 PGA 增益间的关系

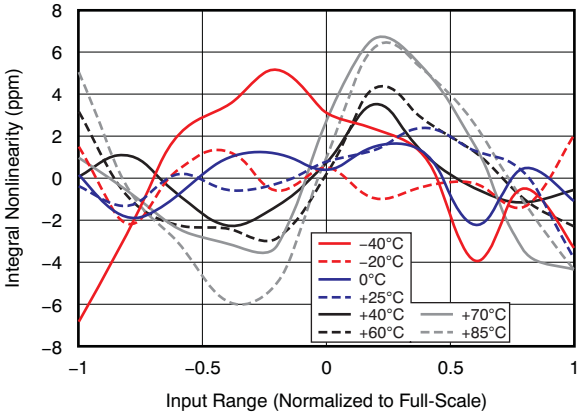


Figure 12. INL 与温度间的关系

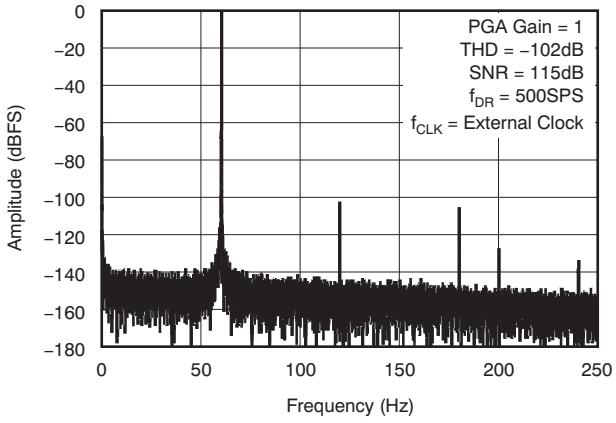


Figure 13. THD FFT 图（60Hz 信号）

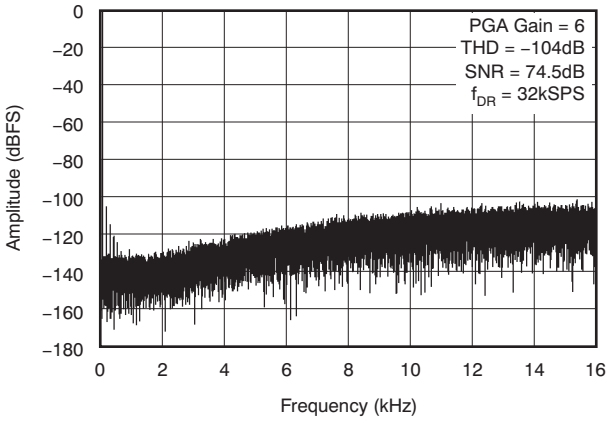


Figure 14. FFT 图（60Hz 信号）

典型特性 (continued)

测试条件为 T_A = 25°C，AVDD = 3V，AVSS = 0V，DVDD = 1.8V，内部 VREFP = 2.4V，VREFN = AVSS，外部时钟 = 2.048MHz，数据速率 = 500SPS，高分辨率模式，增益 = 6（除非另有说明）

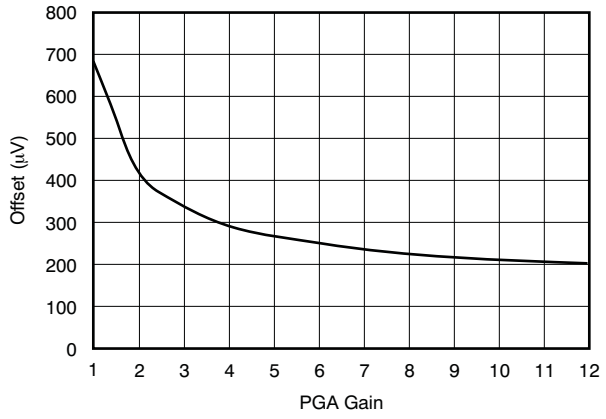


Figure 15. 偏移与 PGA 增益间的关系（绝对值）

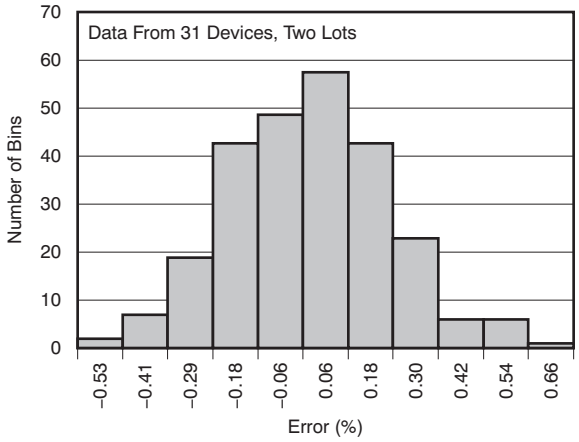


Figure 16. 测试信号振幅精度

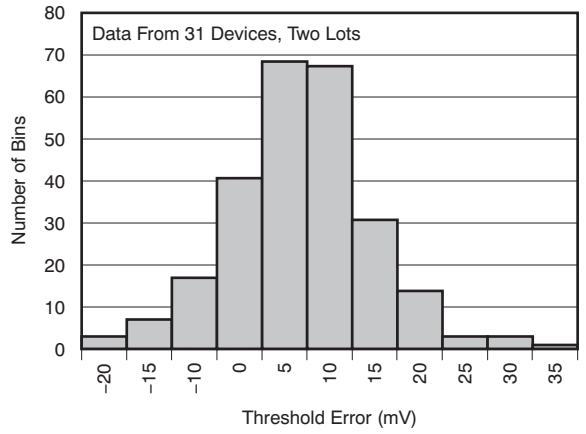


Figure 17. 导联脱落比较器阈值精度

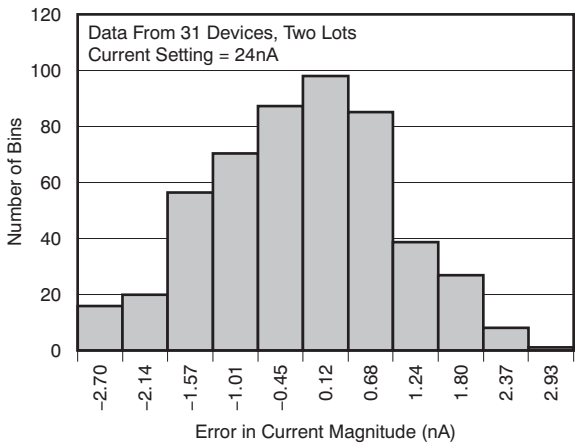


Figure 18. 导联脱落电流源精度分布

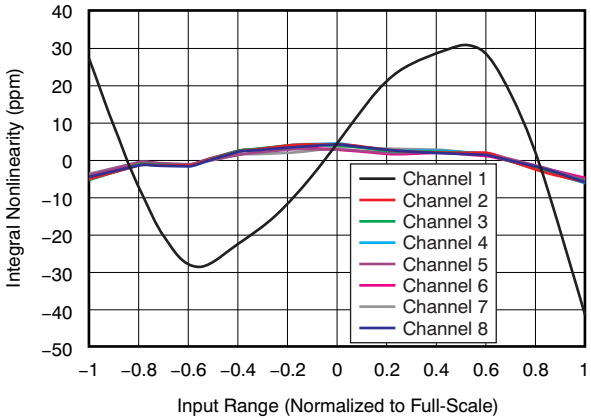


Figure 19. ADS129xR 非线性

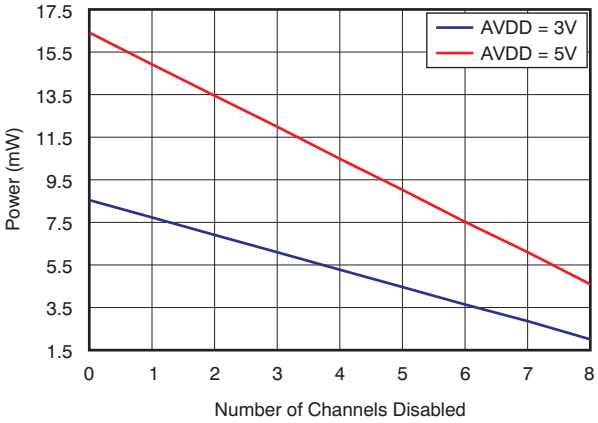


Figure 20. ADS1298 和 ADS1298R 通道功率

Copyright © 2010–2015, Texas Instruments Incorporated

典型特性 (continued)

测试条件为 T_A = 25°C，AVDD = 3V，AVSS = 0V，DVDD = 1.8V，内部 VREFP = 2.4V，VREFN = AVSS，外部时钟 = 2.048MHz，数据速率 = 500SPS，高分辨率模式，增益 = 6（除非另有说明）

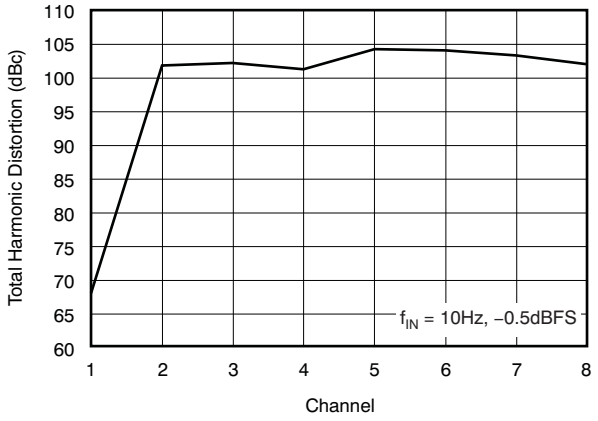


Figure 21. ADS129xR THD

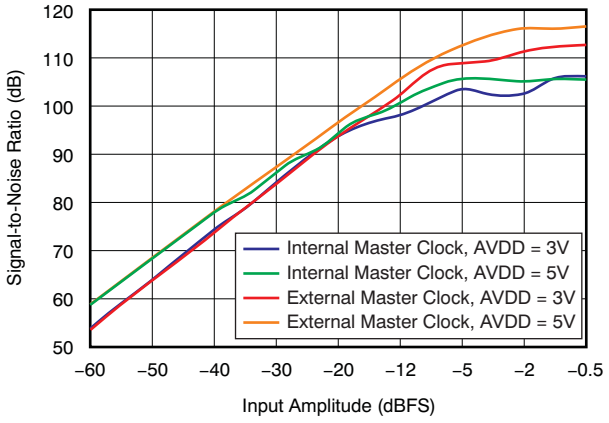


Figure 22. SNR 与输入振幅间的关系（10Hz 正弦波）

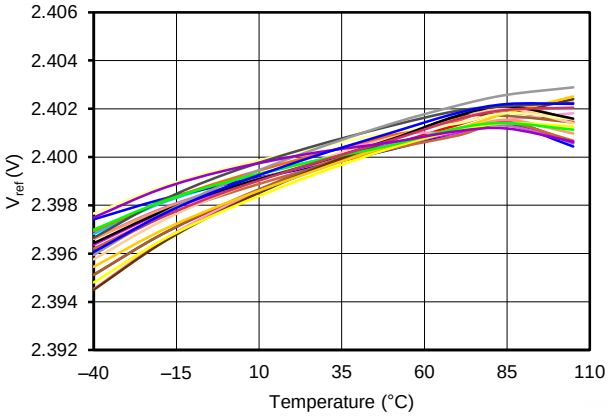


Figure 23. 内部 V_{REF} 漂移与温度间的关系

8 参数测量信息

8.1 噪声测量

NOTE

对于通道 1 上的呼吸电路，ADS129xR 通道性能与 ADS129x 不同。除非另有说明，否则 ADS129x 指 ADS1294、ADS1296、ADS1298、ADS1294R、ADS1296R 和 ADS1298R 的所有规格和功能说明。ADS129xR 仅指 ADS1294R、ADS1296R 和 ADS1298R 的所有规格和功能说明。

可通过调整数据速率和 PGA 设置来优化 ADS129x 噪声性能。降低数据速率可增加平均值，噪声也会相应地降低。增加 PGA 值可降低输入参考噪声。在测量低水平生物电势信号时，这种降低的噪声水平特别有用。Table 1 和 Table 2 分别总结了使用 3V 模拟电源时在高分辨率 (HR) 模式和低功耗 (LP) 模式下 ADS129x 的噪声性能。Table 3 和Table 4 分别总结了使用 5V 模拟电源时在 HR 模式和 LP 模式下 ADS129x 的噪声性能。这些数据代表 T_A = 25°C 时的典型噪声性能。显示的数据是对来自多个器件的读数求平均值的结果，并在输入短路的情况下进行测量。至少使用了 1000 个连续读数来计算每个读数的 RMS 和峰峰值噪声。对于两个最高数据速率，噪声受到 ADC 的量化噪声的限制，没有高斯分布。因此，RMS 噪声与峰峰值噪声之间的比率约为 10。对于较低的数据速率，该比率约为 6.6。

Table 1 至Table 4 显示了显示使用内部基准进行的测量。这些数据还代表使用低噪声外部基准（如 REF5025）时的 ADS129x 噪声性能。

Table 1. 高分辨率模式下的输入参考噪声 μV_{RMS} (μV_{PP})
3V 模拟电源和 2.4V 基准电压 (1)

CONFIG1 寄存器的 DR 位	输出数据速率 (SPS)	–3dB 带宽 (Hz)	PGA 增益 = 1	PGA 增益 = 2	PGA 增益 = 3	PGA 增益 = 4	PGA 增益 = 6	PGA 增益 = 8	PGA 增益 = 12
000	32000	8398	335 (3553)	168 (1701)	112 (1100)	85 (823)	58 (529)	42.5 (378)	28.6 (248)
001	16000	4193	56 (613)	28 (295)	18.8 (188)	14.3 (143)	9.7 (94)	7.4 (69)	5.2 (44.3)
010	8000	2096	12.4 (111)	6.5 (54)	4.5 (37.9)	3.5 (29.7)	2.6 (21.7)	2.2 (17.8)	1.8 (13.8)
011	4000	1048	6.1 (44.8)	3.2 (23.3)	2.4 (17.1)	1.9 (14)	1.5 (11.1)	1.3 (9.7)	1.2 (8.5)
100	2000	524	4.1 (27.8)	2.2 (15.4)	1.6 (11)	1.3 (9.1)	1.1 (7.3)	1 (6.5)	0.9 (6)
101	1000	262	2.9 (19)	1.6 (10.1)	1.2 (7.5)	1 (6.2)	0.8 (5)	0.7 (4.6)	0.6 (4.1)
110	500	131	2.1 (12.5)	1.1 (6.8)	0.9 (5.1)	0.7 (4.3)	0.6 (3.5)	0.5 (3.1)	0.5 (2.9)

(1) 至少使用了 1000 个连续读数来计算该表中的 RMS 和峰峰值噪声值。

Table 2. 低功耗模式下的输入参考噪声 μV_{RMS} (μV_{PP})
3V 模拟电源和 2.4V 基准电压 (1)

CONFIG1 寄存器的 DR 位	输出数据速率 (SPS)	–3dB 带宽 (Hz)	PGA 增益 = 1	PGA 增益 = 2	PGA 增益 = 3	PGA 增益 = 4	PGA 增益 = 6	PGA 增益 = 8	PGA 增益 = 12
000	16000	4193	333 (3481)	166 (1836)	111 (1168)	84 (834)	56 (576)	42 (450)	28 (284)
001	8000	2096	56 (554)	28 (272)	19 (177)	14.3 (133)	9.7 (85)	7.4 (64)	5 (42.4)
010	4000	1048	12.5 (99)	6.5 (51)	4.5 (35)	3.4 (25.9)	2.4 (18.8)	2 (14.5)	1.5 (11.3)
011	2000	524	6.1 (41.8)	3.2 (22.2)	2.3 (15.9)	1.8 (12.1)	1.4 (9.3)	1.2 (7.8)	1 (6.7)
100	1000	262	4.1 (26.3)	2.2 (14.6)	1.6 (9.9)	1.3 (8.1)	1 (6.2)	0.8 (5.4)	0.7 (4.7)
101	500	131	3 (17.9)	1.6 (9.8)	1.1 (6.8)	0.9 (5.7)	0.7 (4.2)	0.6 (3.6)	0.5 (3.4)
110	250	65	2.1 (11.9)	1.1 (6.3)	0.8 (4.6)	0.7 (4)	0.5 (3)	0.5 (2.6)	0.4 (2.4)

(1) 至少使用了 1000 个连续读数来计算该表中的 RMS 和峰峰值噪声值。

Table 3. 高分辨率模式下的输入参考噪声 μV_{RMS} (μV_{PP})
5V 模拟电源和 4V 基准电压 (1)

CONFIG1 寄存器的 DR 位	输出数据速率 (SPS)	–3dB 带宽 (Hz)	PGA 增益 = 1	PGA 增益 = 2	PGA 增益 = 3	PGA 增益 = 4	PGA 增益 = 6	PGA 增益 = 8	PGA 增益 = 12
000	32000	8398	521 (5388)	260 (2900)	173 (1946)	130 (1403)	87 (917)	65 (692)	44 (483)
001	16000	4193	86 (1252)	43 (633)	29 (402)	22 (298)	15 (206)	11 (141)	7 (91)
010	8000	2096	17 (207)	9 (112)	6 (71)	4 (57)	3 (36)	3 (29)	2 (18)

(1) 至少使用了 1000 个连续读数来计算该表中的 RMS 和峰峰值噪声值。

Copyright © 2010–2015, Texas Instruments Incorporated

Table 3. 高分辨率模式下的输入参考噪声 μV_{RMS} (μV_{PP})
5V 模拟电源和 4V 基准电压() (continued)

CONFIG1 寄存器的 DR 位	输出数据速率 (SPS)	–3dB 带宽 (Hz)	PGA 增益 = 1	PGA 增益 = 2	PGA 增益 = 3	PGA 增益 = 4	PGA 增益 = 6	PGA 增益 = 8	PGA 增益 = 12
011	4000	1048	6.4 (48.2)	3.4 (25.9)	2.4 (17.7)	1.9 (15.4)	1.5 (11.2)	1.3 (9.6)	1.1 (8.2)
100	2000	524	4.2 (29.9)	2.3 (15.9)	1.6 (11.1)	1.3 (9.3)	1 (7.5)	0.9 (6.6)	0.8 (5.8)
101	1000	262	2.9 (18.8)	1.6 (10.4)	1.1 (7.8)	0.9 (6.1)	0.7 (4.9)	0.6 (4.7)	0.6 (3.9)
110	500	131	2 (12.8)	1.1 (7.2)	0.8 (5.2)	0.7 (4)	0.5 (3.3)	0.5 (3.3)	0.4 (2.7)

Table 4. 低功耗模式下的输入参考噪声 μV_{RMS} (μV_{PP})
5V 模拟电源和 4V 基准电压(1)

CONFIG1 寄存器的 DR 位	输出数据速率 (SPS)	–3dB 带宽 (Hz)	PGA 增益 = 1	PGA 增益 = 2	PGA 增益 = 3	PGA 增益 = 4	PGA 增益 = 6	PGA 增益 = 8	PGA 增益 = 12
000	16000	4193	526 (5985)	263 (2953)	175 (1918)	132 (1410)	88 (896)	66 (681)	44 (458)
001	8000	2096	88 (1201)	44 (619)	29 (411)	22 (280)	15 (191)	11 (139)	7 (83)
010	4000	1048	17 (208)	9 (103)	6 (62)	4 (52)	3 (37)	2 (25)	2 (16)
011	2000	524	6 (41.1)	3.3 (23.3)	2.2 (15.5)	1.8 (12.3)	1.3 (9.8)	1.1 (7.8)	0.9 (6.5)
100	1000	262	4.1 (27.1)	2.3 (14.8)	1.5 (10.1)	1.2 (8.1)	0.9 (6)	0.8 (5.4)	0.7 (4.4)
101	500	131	2.9 (17.4)	1.6 (9.6)	1.1 (6.6)	0.9 (5.9)	0.7 (4.3)	0.6 (3.4)	0.5 (3.2)
110	250	65	2.1 (11.9)	1.1 (6.6)	0.8 (4.6)	0.6 (3.7)	0.5 (3)	0.4 (2.5)	0.4 (2.2)

(1) 至少使用了 1000 个连续读数来计算该表中的 RMS 和峰峰值噪声值。

Copyright © 2010–2015, Texas Instruments Incorporated

9 详细 说明

9.1 概要

NOTE

对于通道 1 上的呼吸电路，ADS129xR 通道性能与 ADS129x 不同。除非另有说明，否则 ADS129x 指 ADS1294、ADS1296、ADS1298、ADS1294R、ADS1296R 和 ADS1298R 的所有规格和功能说明。ADS129xR 仅指 ADS1294R、ADS1296R 和 ADS1298R 的所有规格和功能说明。

ADS129x 是具有集成式可编程增益放大器 (PGA) 的低功耗、多通道、同时采样、24 位 Δ-Σ 模数转换器 (ADC)。这些器件包含各种 ECG 专用功能，使其非常适用于可扩展心电图 (ECG)、脑电图 (EEG) 和肌电图 (EMG) 应 用。通过关闭 ECG 专用电路，这些器件还可用于高性能、多通道数据采集系统。

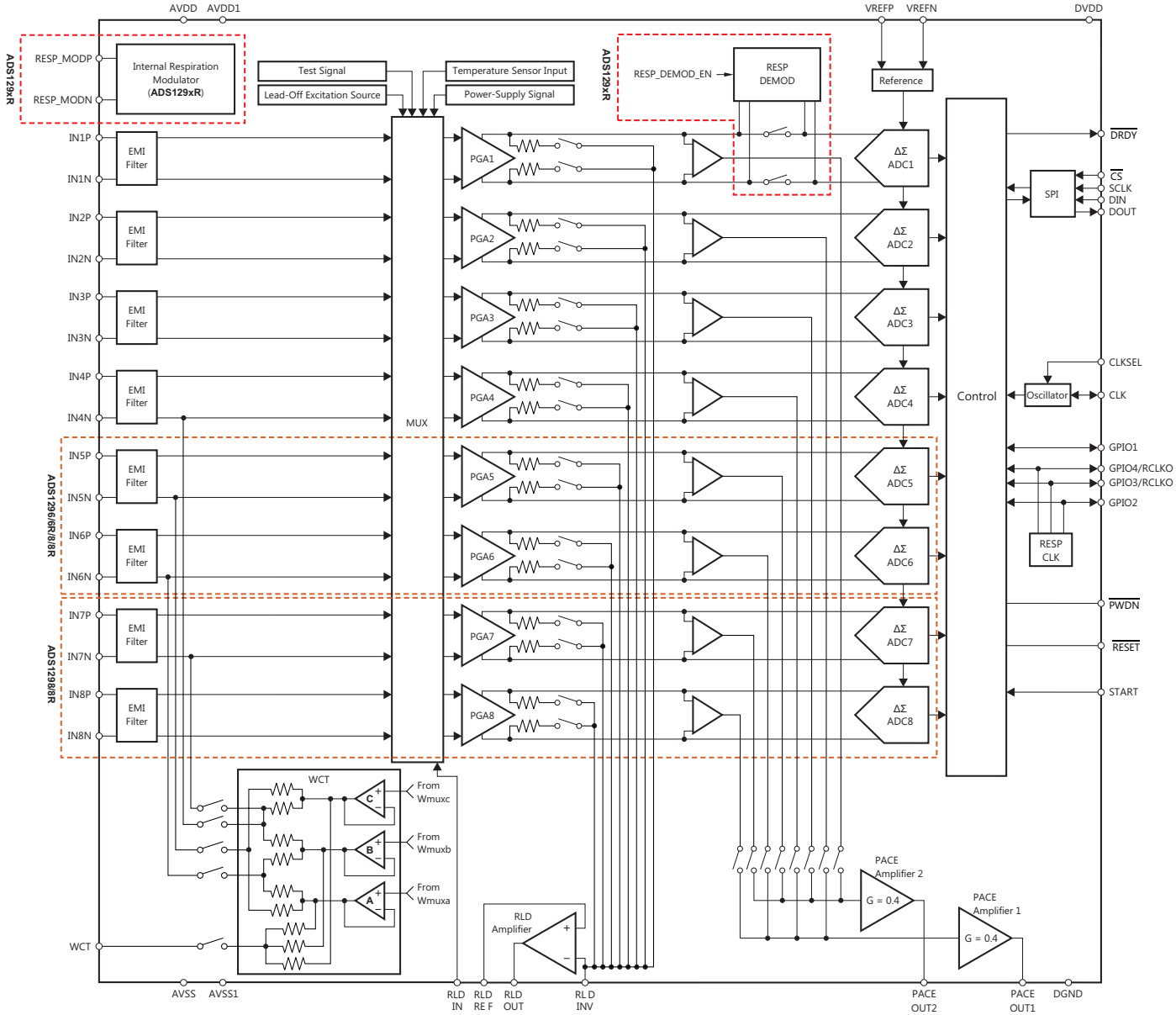
ADS129x 具有高度可编程的多路复用器 (mux)，用于实现温度、电源、输入短路和 RLD 测量。此外，多路复用器允许任何输入电极被编程为患者参考驱动器。可以从以下七种设置中选择 PGA 增益：1、2、3、4、6、8 或 12。器件中的 ADC 提供 250SPS 至 32kSPS 的数据速率。使用与 SPI 兼容的接口与器件进行通信。该器件提供四个通用 GPIO 引脚。可使用 START 引脚同步多个器件。

将内部基准编程为 2.4V 或 4V。内部振荡器会产生 2.048MHz 的时钟。多功能右腿驱动 (RLD) 模块允许选择任何电极组合的平均值来生成患者驱动信号。可通过使用上拉或下拉电阻器或者电流源或电流阱来完成导联脱落检测。还提供内部交流导联脱落检测功能。这些器件支持硬件起搏信号检测和软件起搏信号检测。可使用威尔逊中心端子 (WCT) 块来生成标准 12 导联 ECG 的 WCT 点。

此外，ADS129xR 还为通道 1 的信号路径中的内部呼吸调制器和解调器电路提供选项。

Copyright © 2010–2015, Texas Instruments Incorporated

9.2 功能方框图


AVDD
AVDD1
VREFP
VREFN
DVDD
ADS129xR
RESP_MODP
RESP_MODN
Internal Respiration Modulator (ADS129xR)
Test Signal
Lead-Off Excitation Source
Temperature Sensor Input
Power-Supply Signal
RESP_DEMOD_EN
RESP DEMOD
Reference
IN1P
IN1N
IN2P
IN2N
IN3P
IN3N
IN4P
IN4N
IN5P
IN5N
IN6P
IN6N
IN7P
IN7N
IN8P
IN8N
EMI Filter
MUX
PGA1
PGA2
PGA3
PGA4
PGA5
PGA6
PGA7
PGA8
ΔΣ ADC1
ΔΣ ADC2
ΔΣ ADC3
ΔΣ ADC4
ΔΣ ADC5
ΔΣ ADC6
ΔΣ ADC7
ΔΣ ADC8
Control
SPI
DRDY
CS
SCLK
DIN
DOUT
CLKSEL
Oscillator
CLK
GPIO1
GPIO4/RCLKO
GPIO3/RCLKO
GPIO2
RESP CLK
PWDN
RESET
START
ADS1296/6R/8/8R
ADS1298/8R
WCT
From Wmuxc
From Wmuxb
From Wmuxa
RLD Amplifier
PACE Amplifier 2
PACE Amplifier 1
G = 0.4
AVSS
AVSS1
RLD IN
RLD RE F
RLD OUT
RL D INV
PACE OUT2
PACE OUT1
DGND

9.3 特性 说明

该部分介绍 ADS129x 内部功能元件的详细信息。首先介绍模拟块，然后介绍数字接口。最后介绍实现 ECG 专用功能的模块。

在整个文档中，f_{CLK} 表示 CLK 引脚上的信号频率，t_{CLK} 表示 CLK 引脚上信号的周期，f_{DR} 表示输出数据速率，t_{DR} 表示输出数据的时长，f_{MOD} 表示调制器输入采样频率。

9.3.1 模拟功能

9.3.1.1 EMI 滤波器

输入端的 RC 滤波器用作所有通道的 EMI 滤波器。–3dB 滤波器带宽大约为 3MHz。

9.3.1.2 模拟输入结构

Figure 24 显示了 ADS129x 的模拟输入。

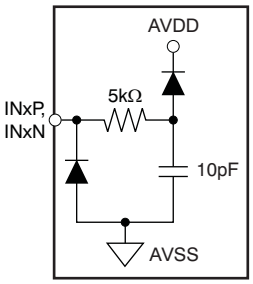


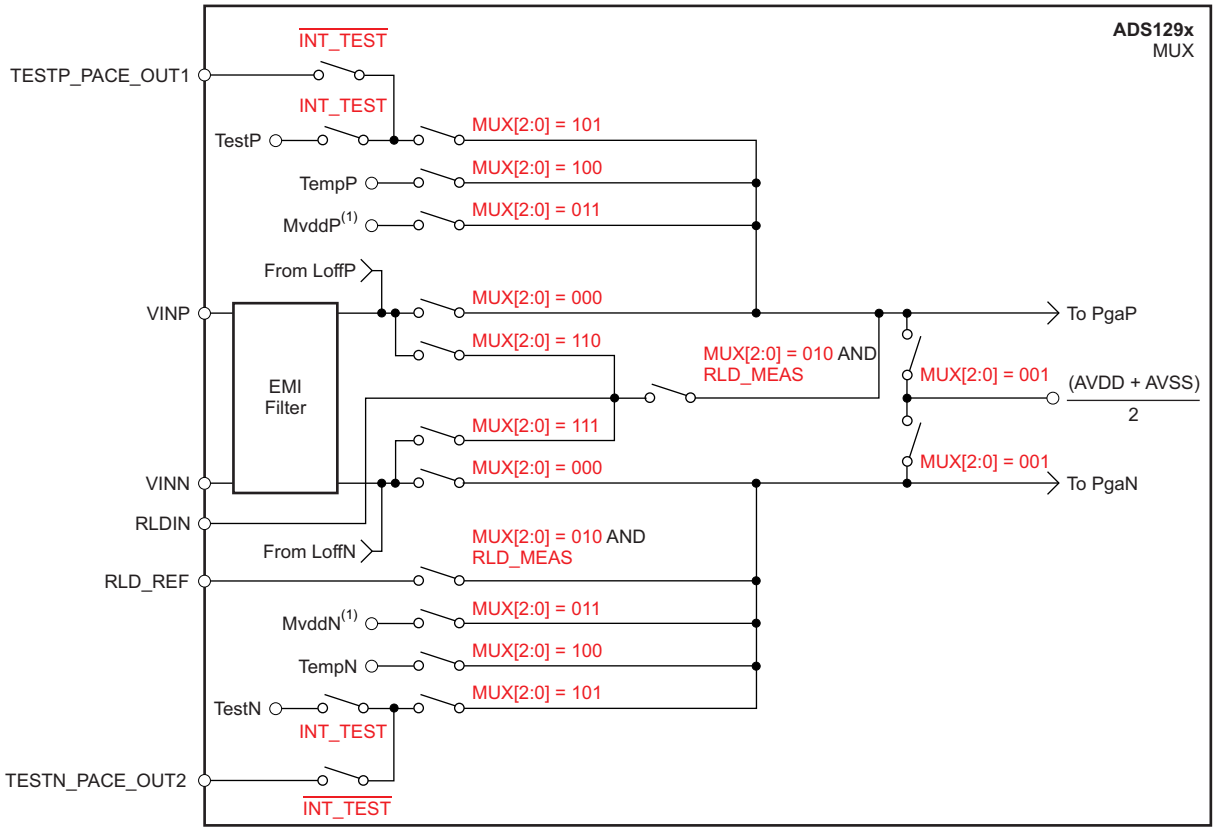
Figure 24. 模拟输入保护电路

Copyright © 2010–2015, Texas Instruments Incorporated

特性 说明 (continued)

9.3.1.3 输入多路复用器

ADS129x 输入多路复用器非常灵活，可提供许多可配置的信号切换选项。Figure 25 显示了该器件单个通道上的多路复用器。该器件具有八个块，每个通道一个。TEST_PACE_OUT1、TEST_PACE_OUT2 和 RLD_IN 是全部八个块所共用的。VINP 和 VINN 对于这八个块中的每一个都是独立的。这种灵活性允许进行重要的器件和子系统诊断、校准和配置。可通过向 CH*n*SET[2:0] 寄存器的相应值（有关详细信息，请参阅 *CHnSET* 寄存器）和 CONFIG3 寄存器中的 RLD_MEAS 位（有关详细信息，请参阅 *CONFIG3* 寄存器）写入 1，为每个通道选择开关设置。有关多路复用器的 ECG 专用 功能， 请参阅 *ECG 专用功能* 部分的*输入多路复用器（重新路由右腿驱动信号）*小节。



(1) MVDD 监控器的电压供应取决于通道数量；请参阅*电源测量（MVDDP、MVDDN）*部分。

Figure 25. 一个通道的输入多路复用器块

特性 说明 (continued)

9.3.1.3.1 器件噪声测量

设置 CH*n*SET[2:0] = 001 可以为该通道的两个输入设置共模电压 (AVDD – AVSS)/2。使用该设置可测试该器件的固有噪声。

9.3.1.3.2 测试信号（TestP 和 TestN）

设置 CH*n*SET[2:0] = 101 可提供内部生成的测试信号，以在上电时用于子系统验证。可利用该功能测试整个信号链。虽然测试信号类似于 IEC60601-2-51 规范中所述的 CAL 信号，但该功能不适用于合规性测试。

可使用寄存器设置来控制测试信号（有关详细信息，请参阅 *CONFIG2：配置寄存器 2（地址 = 02h）（复位 = 40h）*部分）。TEST_AMP 位控制信号振幅，TEST_FREQ 位控制以所需频率进行的开关。

测试信号会在 TESTP_PACE_OUT1 和 TESTN_PACE_OUT2 引脚上进行多路复用并从该器件向外传输。位寄存器 (CONFIG2.INT_TEST = 0) 禁用内部测试信号，以便可以从外部驱动测试信号。此功能允许使用相同的信号校准多个器件。测试信号功能无法与外部硬件起搏功能结合使用（有关详细信息，请参阅*外部硬件方法*）。

9.3.1.3.3 辅助差分输入（TESTP_PACE_OUT1、TESTN_PACE_OUT2）

当不使用硬件起搏信号检测时，TESTP_PACE_OUT1 和 TESPN_PACE_OUT2 信号可用作多路复用差分输入通道。可以向八个通道中的任何一个多路复用这些输入。通过这些引脚馈送的差分输入信号的性能与正常通道性能相同。

9.3.1.3.4 温度传感器（TempP、TempN）

ADS129x 包含一个片上温度传感器。该传感器使用两个内部二极管，其中一个二极管的电流密度是另一个二极管的 16 倍，如Figure 26 所示。二极管的电流密度的差异可产生与绝对温度成比例的电压差。

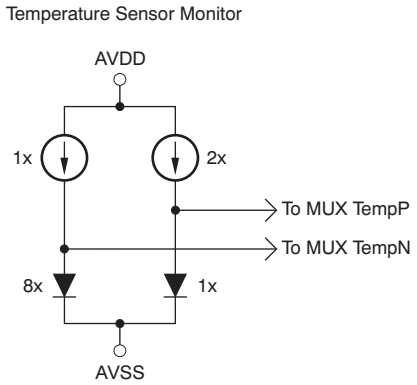


Figure 26. 输入端的温度传感器测量

由于封装到印刷电路板 (PCB) 的低热阻，内部传感器可密切跟踪 PCB 温度。ADS129x 的自发热会导致读数高于周围 PCB 的温度。

Equation 1 的比例因子可将温度读数转换为 °C。在使用该公式之前，应将温度读数代码转换为 μV。

$$\text{Temperature (°C)} = \left(\frac{\text{Temperature Reading } (\mu\text{V}) - 145{,}300\ \mu\text{V}}{490\ \mu\text{V/°C}} \right) + 25\text{°C} \tag{1}$$

9.3.1.3.5 电源测量（MVDDP、MVDDN）

设置 CH*n*SET[2:0] = 011 可以设置该器件不同电源电压的通道输入。

对于通道 1、2、5、6、7 和 8，(MVDDP – MVDDN) = [0.5 × (AVDD – AVSS)]

对于通道 3 和 4，(MVDDP – MVDDN) = DVDD/4。

为避免在测量电源时使 PGA 饱和，请将增益设置为 1。

例如，如果 AVDD = 2.5V 且 AVSS = –2.5V，则测量结果为 2.5V。

Copyright © 2010–2015, Texas Instruments Incorporated

特性 说明 (continued)

9.3.1.3.6 导联脱落激励信号（LoffP、LoffN）

导联脱落激励信号会馈送到开关之前的多路复用器。检测导联脱落情况的比较器也连接到开关之前的多路复用器块。有关导联脱落块的详细 说明 ，请参阅*导联脱落检测* 部分。

9.3.1.3.7 辅助单端输入

RLD_IN 引脚主要用于将右脚驱动 (RLD) 信号路由到任何电极，以防 RLD 电极脱落。但是，RLD_IN 引脚可用作多个单端输入通道。可以使用八个通道中的任何一个相对于 RLD_REF 引脚上的电压测量 RLD_IN 引脚上的信号。可通过将通道多路复用器设置为 010 并将 CONFIG3 寄存器的 RLD_MEAS 位设置为 1 来完成此测量。

特性 说明 (continued)

9.3.1.4 模拟输入

ADS129x 的模拟输入是全差分输入。假设 PGA = 1，差分输入 (INP – INN) 可以跨越 $-V_{REF}$ 到 V_{REF}。INP 和 INN 的绝对范围必须介于 AVSS – 0.3V 和 AVDD + 0.3V 之间。有关模拟输入和数字代码之间相关性的说明，请参阅 Table 13。如Figure 27 和Figure 28 所示，可通过两种一般方法来驱动 ADS129x 的模拟输入：单端和差分。在差分输入方法中，INP 和 INN 具有 180° 的相位差。当输入是单端输入时，INN 输入保持在共模电压 (CM)，最好处于中位电压。INP 输入围绕相同的共模电压摆动，峰峰值幅度 CM – V_{REF} 摆动到 CM + V_{REF}。当输入是差分输入时，共模电压由 (INP + INN)/2 给出。INP 和 INN 输入都从 CM + ½ V_{REF} 摆动至 CM – ½ V_{REF}。为了获得最佳性能，应在差分配置中使用 ADS129x 器件。

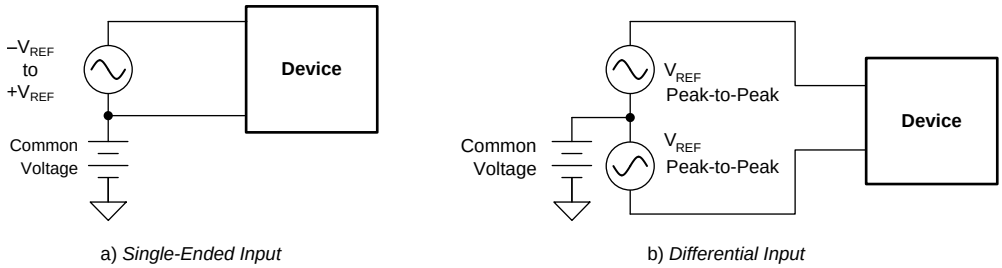
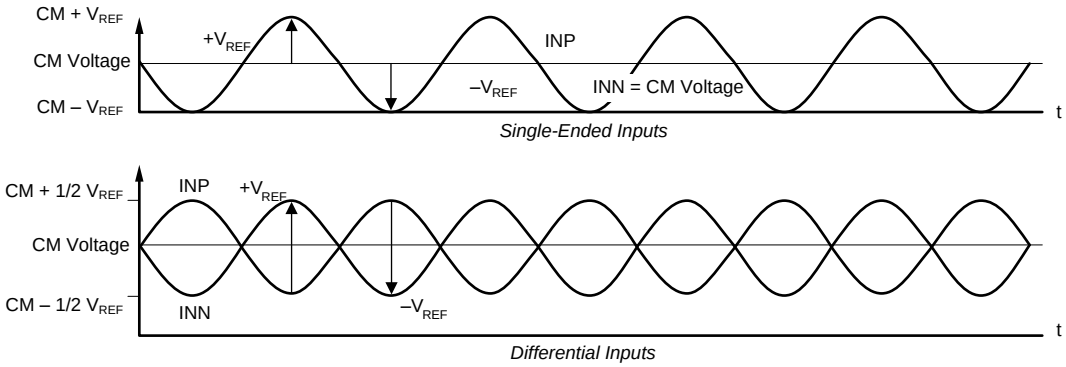


Figure 27. 驱动 ADS129x 的方法：单端或差分



Common-Mode Voltage (Differential Mode) = $\frac{(INP) + (INN)}{2}$, Common-Mode Voltage (Single-Ended Mode) = INN

Input Range (Differential Mode) = (AINP – AINN) = 2 V_{REF}

Figure 28. 以单端和差分输入模式使用 ADS129x

Copyright © 2010–2015, Texas Instruments Incorporated

9.3.1.5 PGA 设置和输入范围

PGA 是差分输入和差分输出放大器，如Figure 29 所示。PGA 具有七种增益设置（1、2、3、4、6、8 和 12），可通过对 CH*n*SET 寄存器进行写入来实现这些设置（请参阅 *CHnSET：各个通道设置（n = 1 至 8）（地址 = 05h 至 0Ch）（复位 = 00h）*部分）。ADS129x 具有 CMOS 输入，因此具有可忽略的电流噪声。Table 5 显示了各种增益设置的带宽典型值。Table 5 显示了小信号带宽。

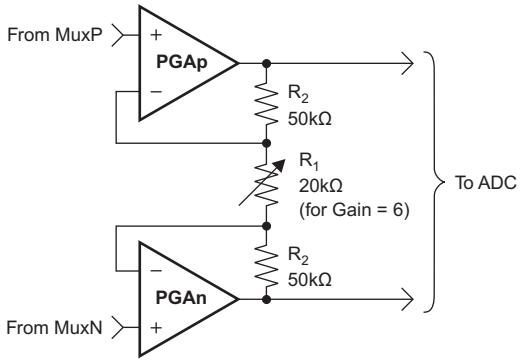


Figure 29. PGA 实施

Table 5. PGA 增益与小信号带宽间的关系

增益	室温下的标称带宽 (kHz)
1	237
2	146
3	127
4	96
6	64
8	48
12	32

对于增益 6，实现增益的 PGA 的电阻器串具有 120kΩ 的电阻。在存在差分输入信号的情况下，该电阻可提供跨 PGA 输出的电流路径。该电流是在输入端存在差分信号时为器件指定的静态电流的补充。

9.3.1.5.1 输入共模范围

前端的可用输入共模范围取决于各种参数，包括最大差分输入信号、电源电压、PGA 增益等。Equation 2 说明了该范围：

$$AVDD - 0.2\ V - \left(\frac{Gain \times V_{MAX_DIFF}}{2}\right) > CM > AVSS + 0.2\ V + \left(\frac{Gain \times V_{MAX_DIFF}}{2}\right)$$

其中

- V_{MAX_DIFF} = PGA 输入端的最大差分信号
- CM = 共模范围 (2)

例如，如果 V_{DD} = 3V，增益 = 6，V_{MAX_DIFF} = 350mV，那么 1.25V < CM < 1.75V。

9.3.1.5.2 输入差分动态范围

差分 (INP – INN) 信号范围取决于系统中使用的模拟电源和基准。Equation 3 显示了该范围。

$$\text{Full-Scale Range} = \frac{\pm V_{REF}}{Gain} = \frac{2V_{REF}}{Gain} \quad (3)$$

3V 电源（基准为 2.4V，ECG 增益为 6）针对功率进行了优化，差分输入信号约为 300mV。对于更高的动态范围，请使用 5V 电源以及 4V 基准电压（由 CONFIG3 寄存器的 VREF_4V 位进行设置），以增大差分动态范围。

9.3.1.5.3 ADC Δ-Σ 调制器

ADS129x 的每个通道都具有一个 24 位 Δ-Σ ADC。该转换器使用针对低功耗应用进行了优化的二阶 调制器。对于高分辨率 (HR) 模式，调制器以 $f_{MOD} = f_{CLK}/4$ 的速率对输入信号进行采样，对于低功率 (LP) 模式，以 $f_{MOD} = f_{CLK}/8$ 的速率进行采样。与任何 Δ-Σ 调制器的情况一样，ADS129x 的噪声会整形到 $f_{MOD}/2$，如Figure 30 所示。可使用*数字抽取滤波器* 部分中介绍的片上数字抽取滤波器来滤除较高频率的噪声。这些片上抽取滤波器还提供抗混叠滤波。Δ-Σ 转换器的这一特性可极大地降低奈奎斯特 ADC 通常所需的模拟抗混叠滤波器的复杂性。

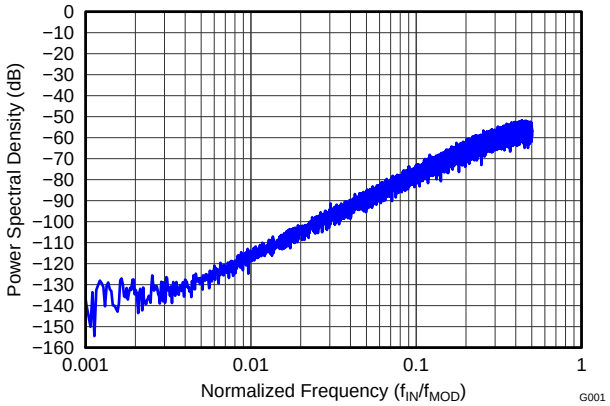
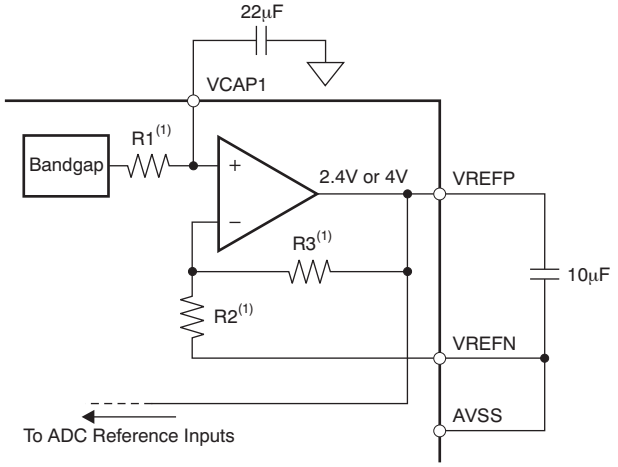


Figure 30. 高达 0.5 × f_{MOD} 的调制器噪声频谱

Copyright © 2010–2015, Texas Instruments Incorporated

9.3.1.6 基准

Figure 31 显示了 ADS129x 内部基准的简化方框图。该基准电压是相对于 AVSS 生成的。在使用内部电压基准时，需要将 VREFN 连接到 AVSS。



(1) 对于 V_{REF} = 2.4V：R1 = 12.5kΩ，R2 = 25kΩ，R3 = 25kΩ。对于 V_{REF} = 4V：R1 = 10.5kΩ，R2 = 15kΩ，R3 = 35kΩ。

Figure 31. 内部基准

外部频带限制电容器可决定基准噪声贡献量。对于高端 ECG 系统，请选择带宽限制为 10Hz 以下的电容器值，以便基准噪声不会成为系统噪声的主要来源。在使用 3V 模拟电源时，应将内部基准设置为 2.4V。对于 5V 模拟电源，应通过设置 CONFIG2 寄存器中的 VREF_4V 位置将内部基准设置为 4V。

或者，可以关闭内部基准缓冲器的电源，并可以在外部应用 VREFP。Figure 32 显示了典型的外部基准驱动电路。断电由 CONFIG3 寄存器中的 PD_REFBUF 位进行控制。默认情况下，该器件在外部基准模式下唤醒。

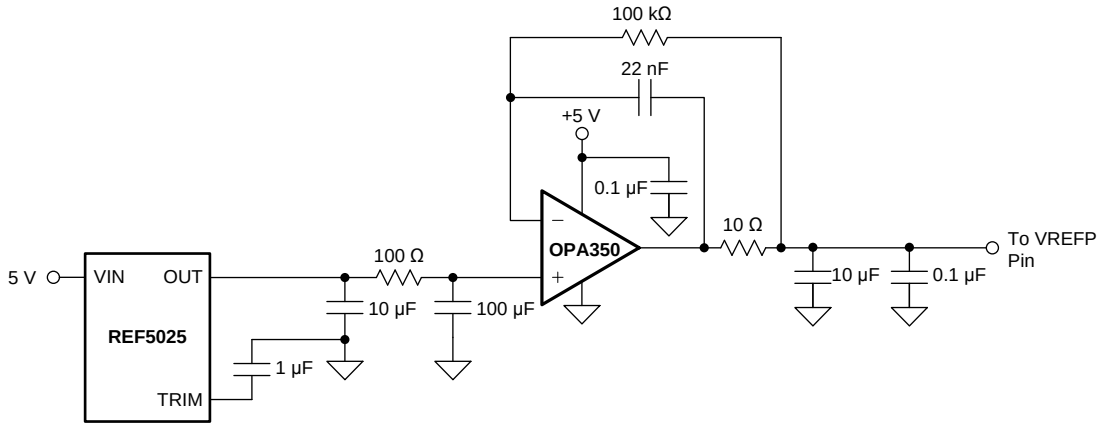
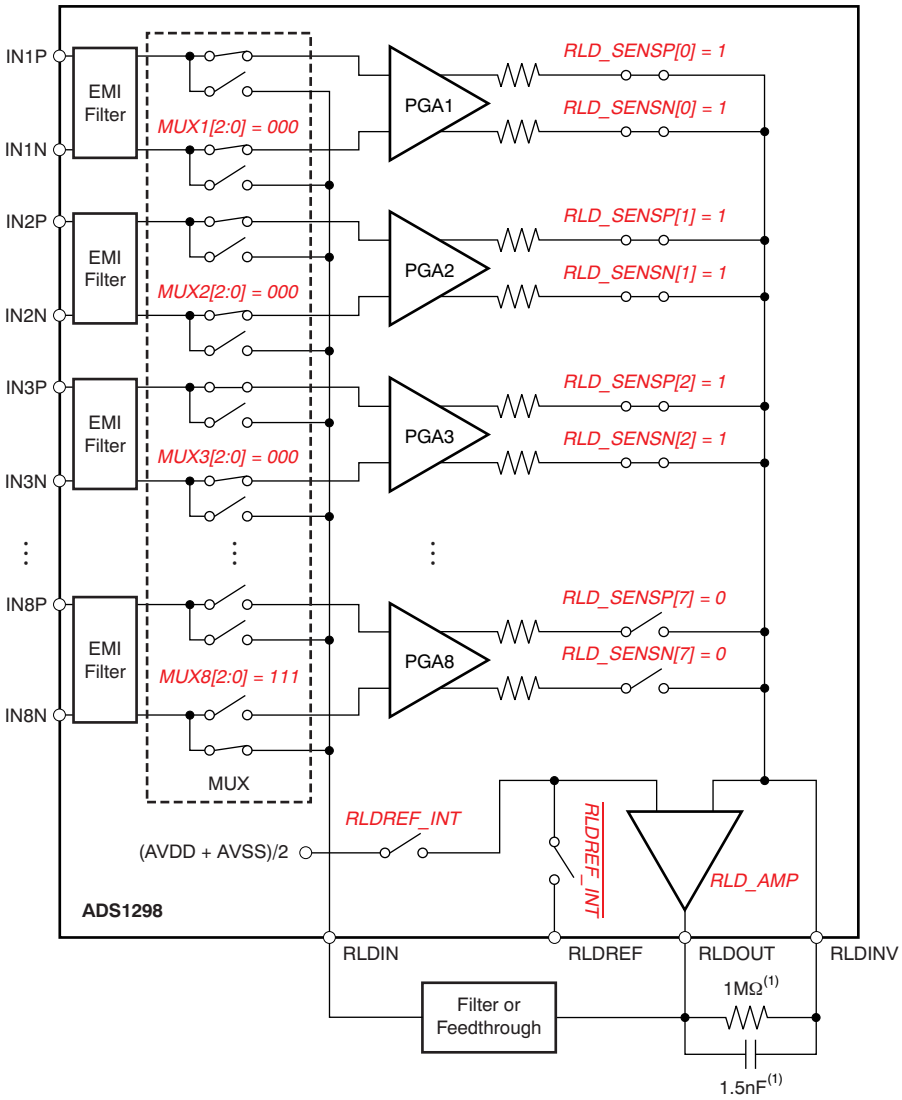


Figure 32. 外部基准驱动器

9.3.1.7 ECG 专用功能

9.3.1.7.1 输入多路复用器（重新路由右腿驱动信号）

输入多路复用器具有用于右腿驱动 (RLD) 信号的 ECG 专用功能。在为 RLD 导出选择适当的通道，在芯片外部安装反馈元件，并且闭合环路之后，可以在 RLDOUT 引脚上使用 RLD 信号。该信号可在滤波之后或直接馈入 RLDIN 引脚，如Figure 33 所示。通过将适当的通道设置寄存器的多路复用位设置为 110（对于 P 侧）或 111（对于 N 侧），可将 RLDIN 信号多路复用到任何一个输入电极中。Figure 33 显示了从通道 1、2 和 3 生成并路由到通道 8 的 N 侧的 RLD 信号。使用此功能可动态更改用作驱动患者身体的基准信号的电极。无法使用相应的通道，可以将其断电。



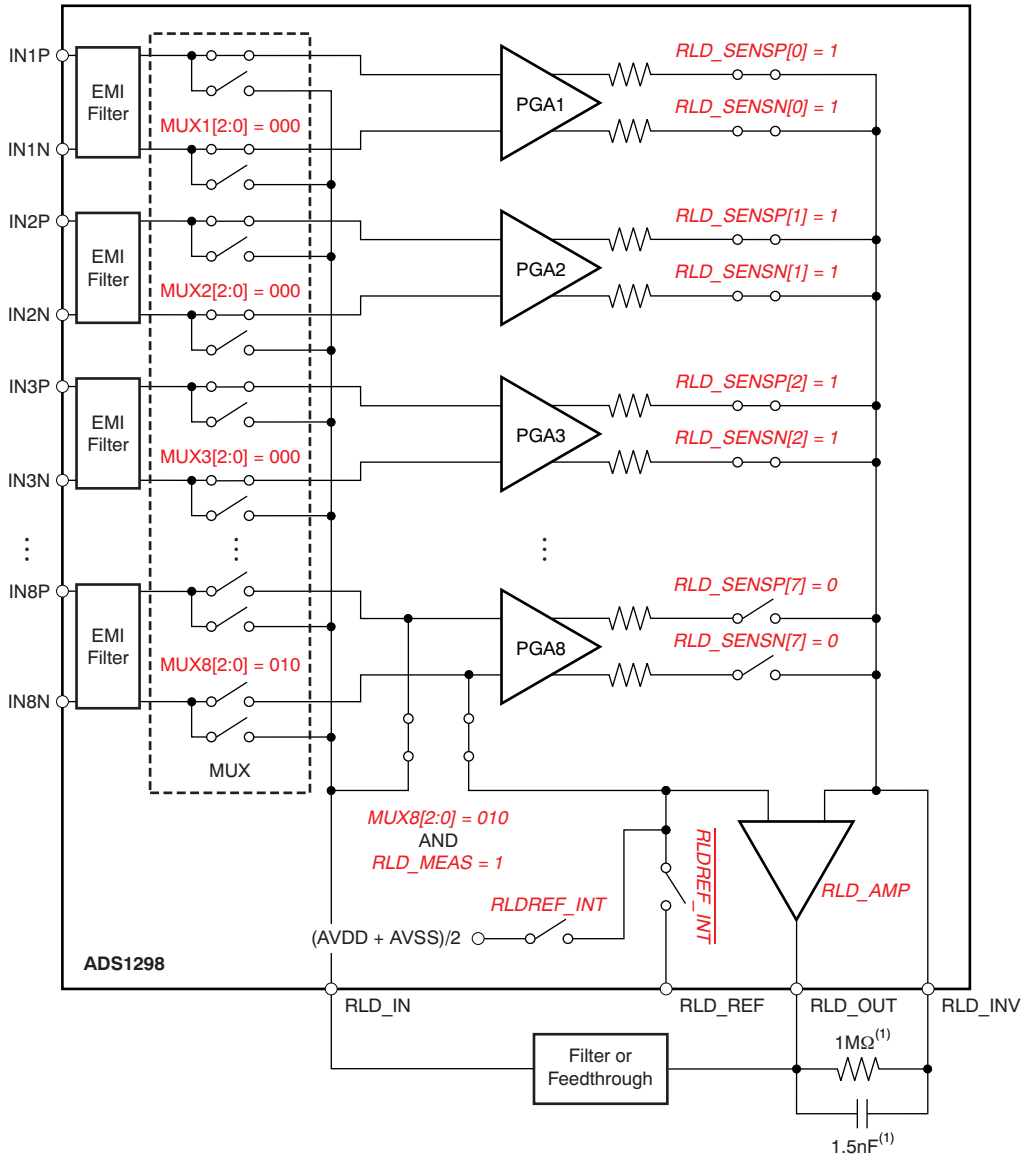
(1) 典型值，仅用作示例。

Figure 33. 配置为路由到 IN8N 的 RLDOUT 信号示例

Copyright © 2010–2015, Texas Instruments Incorporated

9.3.1.7.2 输入多路复用器（测量右腿驱动信号）

也可以将 RLDOUT 信号路由到用于测量的通道（不用于 RLD 计算）。Figure 34 显示了用于将 RLDIN 信号路由到通道 8 的寄存器设置。测量是相对于 RLDREF 引脚上的电压完成的。如果 RLDREF 设置为内部，则为 (AVDD + AVSS)/2。此功能对于产品开发期间的调试非常有用。



(1) 典型值，仅用作示例。

Figure 34. 配置为由通道 8 读回的 RLDOUT 信号

9.3.1.7.3 威尔逊中心端子 (WCT) 和胸导联

在标准 12 导联 ECG 中，WCT 电压定义为右臂 (RA)、左臂 (LA) 和左腿 (LL) 电极的平均值。该电压用作胸导联测量的基准电压。ADS129x 具有三个可生成 WCT 电压的集成低噪声放大器。Figure 35 显示了实施的方框图。

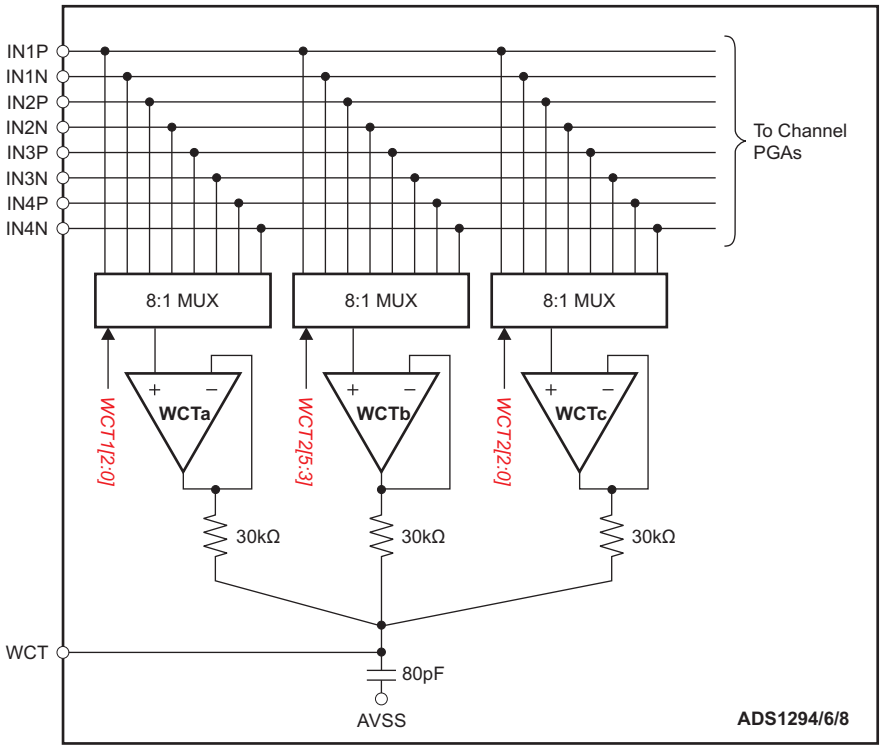


Figure 35. WCT 电压

这些器件可灵活地将八个信号中的任何一个（IN1P 至 IN4N）路由到每个放大器，以生成平均值。这种灵活性允许 RA、LA 和 LL 电极连接到前四个通道的任何输入，具体取决于导联配置。

WCT 电路中三个放大器中的每一个都可以通过寄存器设置单独断电。通过为两个放大器上电，可以在 WCT 引脚上生成任何两个电极的平均值。为一个放大器上电可在 WCT 引脚上提供缓冲电极电压。WCT 放大器的驱动强度有限，因此，如果它们用于驱动低阻抗负载，则应进行缓冲。

Table 6 显示了使用任何 1、2 或 3 个 WCT 缓冲器时的典型 WCT 性能。

Table 6. 典型 WCT 性能

参数	任何一个（A、B 或 C）	任何两个（A+B、A+C 或 B+C）	全部三个 (A+B+C)	单位
积分噪声	540	382	312	nV_{RMS}
功率	53	59	65	µW
–3dB BW	30	59	89	kHz
压摆率	BW 限制	BW 限制	BW 限制	V/µs

如Table 6 所示，为多个 WCT 放大器上电后，总体噪声会降低。之所以会产生该噪声降低现象，是因为噪声会由放大器输出端的无源求和网络取平均值。关闭各个缓冲器的电源所节省的功率可忽略不计，因为很大一部分电路在三个放大器之间共享。WCT 节点的带宽受 RC 网络的限制。内部求和网络由三个 30kΩ 电阻器和一个 80pF 电容器组成。为了获得最佳性能，请添加一个外部 100pF 电容器。有效带宽取决于上电的放大器数量，如Table 6 所示。

仅使用 WCT 节点来驱动非常高的输入阻抗（通常大于 500MΩ）。典型的应用将此 WCT 信号连接到 ADS129x 的负输入，以用作胸导联的基准信号。

Copyright © 2010–2015, Texas Instruments Incorporated

如前所述，全部三个 WCT 放大器都可以连接到八个模拟输入引脚之一。放大器的输入会被斩波，斩波频率因 ADS129x 的数据速率而异。三个最高数据速率的斩波频率具有 1:1 的比率。例如，在 32kSPS 数据速率下，在 HR 模式下的斩波频率为 32kHz (WCT_CHOP = 0)。四个较低数据速率的斩波频率固定为 4kHz。当 WCT_CHOP = 1 时，斩波频率固定为最高数据速率频率（即 $f_{MOD}/16$），如Table 7 所示。斩波频率作为直流上的小方波出现在 WCT 放大器的输出端。方波的振幅是放大器的偏移，通常为 $5mV_{PP}$。由于带外斩波，该赝像不会干扰与 ECG 相关的测量。由于斩波功能，带有连接的 WCT 放大器的引脚上的输入电流泄漏会在更高的数据速率下以及当输入公共电压摆动至接近 0V (AVSS) 时增加，如Figure 36 所示。

如果连接到 WCT 放大器的通道（例如 V 导联通道）的输出连接到用于外部起搏信号检测的起搏信号放大器之一，则会在起搏信号放大器输出端出现斩波赝像。

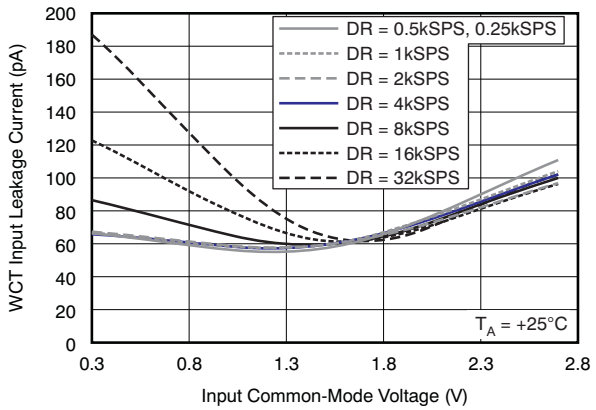


Figure 36. WCT 输入泄漏电流与输入电压间的关系 (WCT_CHOP = 0)

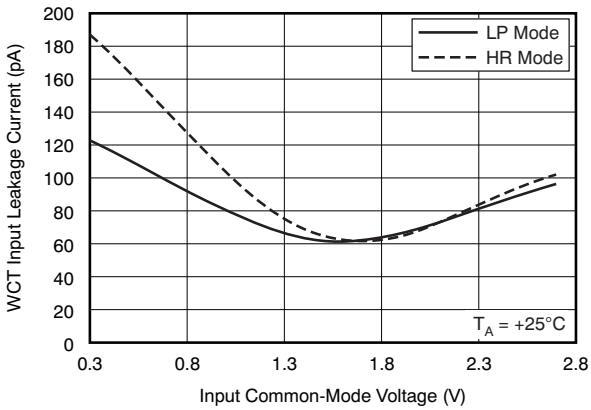


Figure 37. WCT 输入泄漏电流与输入电压间的关系 (WCT_CHOP = 1)

Table 7. WCT 放大器斩波频率

CONFIG1.DR[2:0] 位	CONFIG2.WCT_CHOP = 0	CONFIG2.WCT_CHOP = 1
000	$f_{MOD}/16$	$f_{MOD}/16$
001	$f_{MOD}/32$	$f_{MOD}/16$
010	$f_{MOD}/64$	$f_{MOD}/16$
011	$f_{MOD}/128$	$f_{MOD}/16$
100	$f_{MOD}/128$	$f_{MOD}/16$
101	$f_{MOD}/128$	$f_{MOD}/16$
110	$f_{MOD}/128$	$f_{MOD}/16$

Copyright © 2010–2015, Texas Instruments Incorporated

9.3.1.7.3.1 增强的导联

在具有八个通道的 12 导联 ECG 的典型实施中，增强的导联以数字方式计算。在某些 应用中，可能需要所有导联都是以模拟（而非数字）形式导出。ADS1298 和 ADS1298R 提供了通过将相应的平均值路由到通道 5、6 和 7 来生成增强导联的选项。用于生成 WCT 信号的相同三个放大器也用于生成戈德伯格中心端子 (GCT) 信号。Figure 38 显示了在模拟域中生成增强导联的示例。在该实施中，使用了 8 个以上的通道来生成标准的 12 个导联。ADS1294、ADS1294R、ADS1296 和 ADS1296R 不提供该功能。

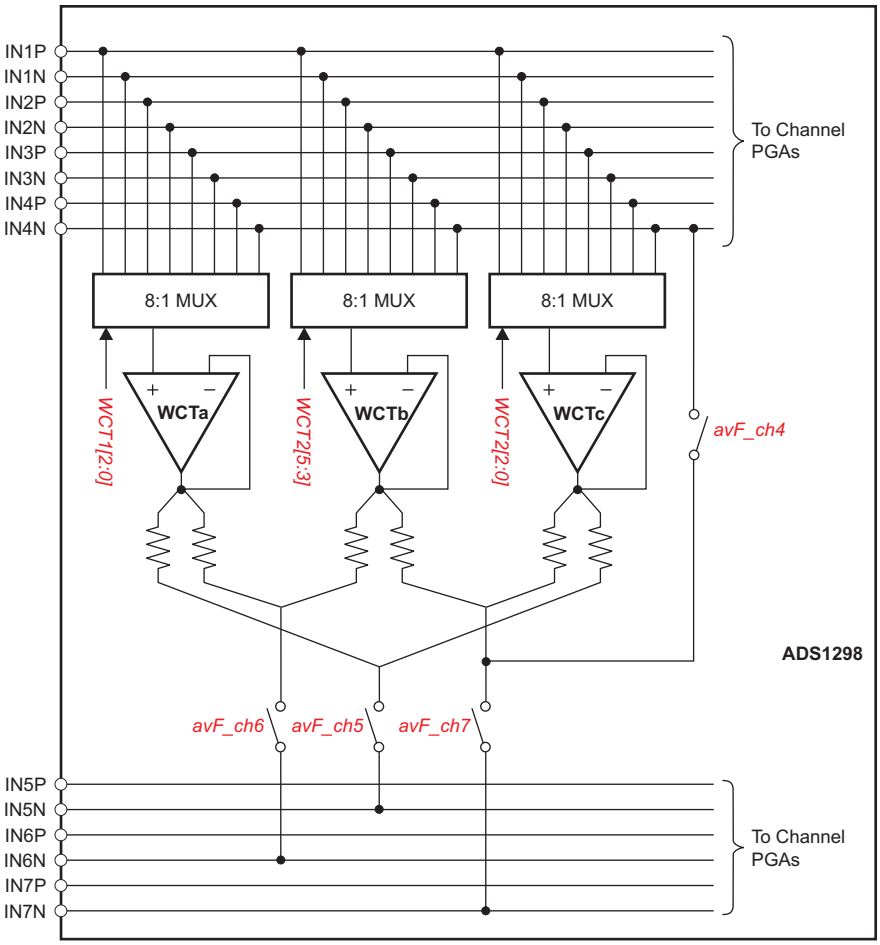


Figure 38. 模拟域增强导联

9.3.1.7.3.2 具有 WCT 点的右腿驱动

在某些 应用中，WCT 的异相版本用作 RLD 基准。ADS1298 提供在 RLD_OUT 引脚上实现 WCT 端子的缓冲版本的选项。该信号可以使用外部放大器进行反相，然后用作右腿驱动。有关更多详细信息，请参阅 *右腿驱动 (RLD) 直流偏置电流*部分。

Copyright © 2010–2015, Texas Instruments Incorporated

9.3.1.7.4 导联脱落检测

患者电极阻抗随时间的推移而衰减；因此，必须连续监控这些电极连接，以验证是否存在合适的连接。ADS129x 导联脱落检测功能块为从各种导联脱落检测策略中进行选择提供了极大的灵活性。尽管该功能称为导联脱落检测，但它实际上是*电极脱落* 检测。

基本原理是注入激励信号并测量响应以确定电极是否脱落。如Figure 39 中的导联脱落检测功能方框图所示，该电路提供两种不同的患者电极状态确定方法。这些方法具有不同的激励信号频率成分。可以使用 LOFF_SENSP 和 LOFF_SENSN 寄存器在每个通道的基础上选择性地完成导联脱落。可以在检测电路启用时禁用内部激励电路。

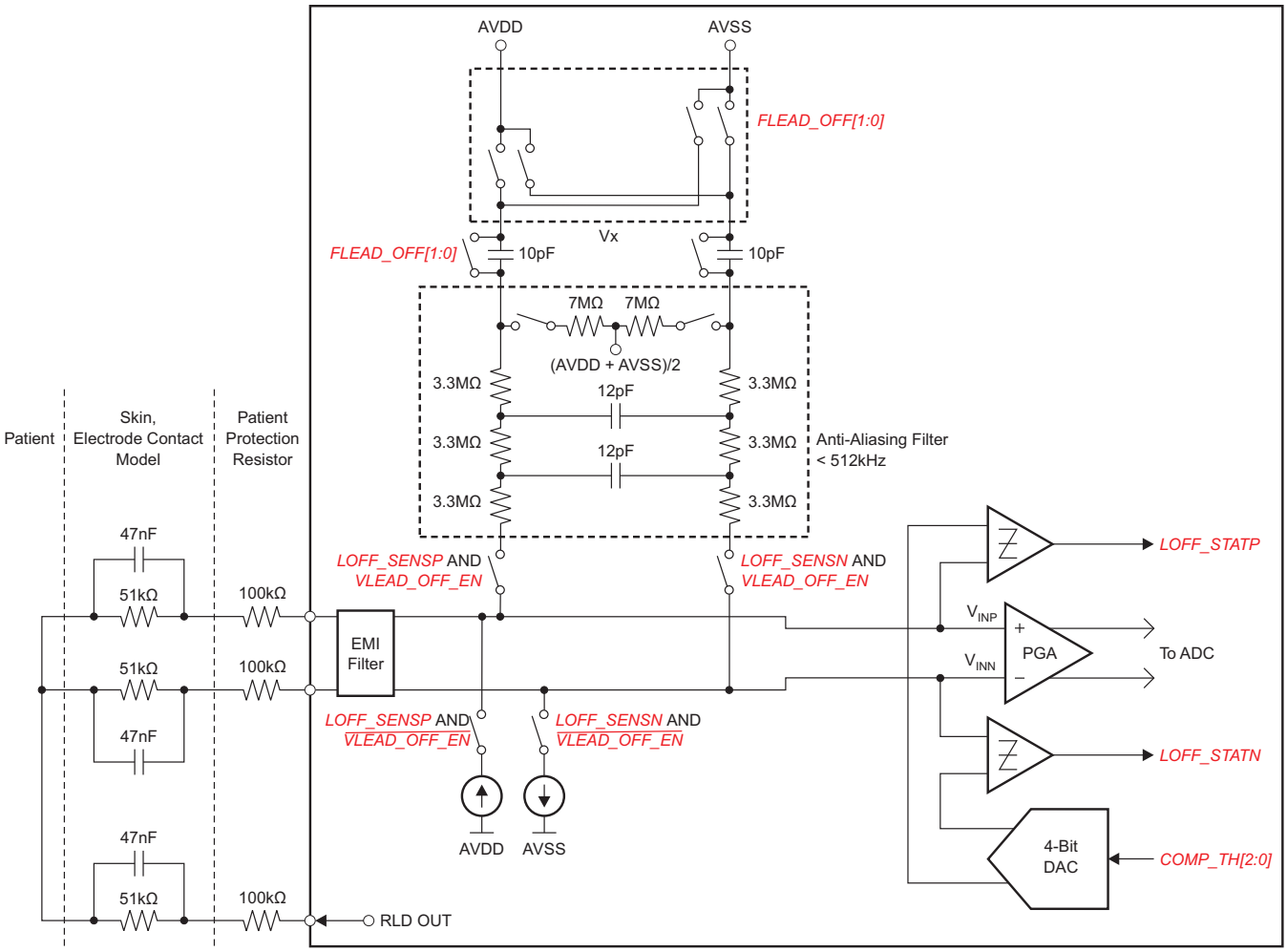


Figure 39. 导联脱落检测

9.3.1.7.4.1 直流导联脱落

在该方法中，导联脱落激励是使用直流信号完成的。从上拉或下拉电阻器或从拉电流或灌电流系统中选择一个直流激励信号，如Figure 40 所示。通过设置 LOFF 寄存器中的 VLEAD_OFF_EN 位进行选择。通道的一侧被拉至电源，另一侧被拉至接地。可通过设置 LOFF_FLIP 寄存器中的位来交换上拉电阻器和下拉电阻器，如Figure 41 所示。如果使用拉电流或灌电流，则使用 LOFF 寄存器中的 ILEAD_OFF[1:0] 位设置电流的幅度。与 10MΩ 上拉或下拉电阻器相比，拉电流或灌电流可提供更大的输入阻抗。

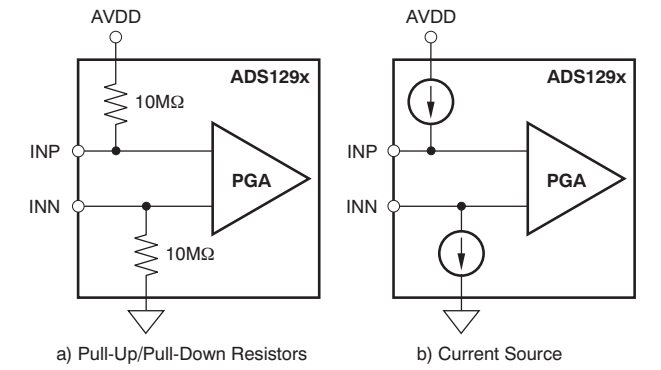


Figure 40. 直流导联脱落激励选项

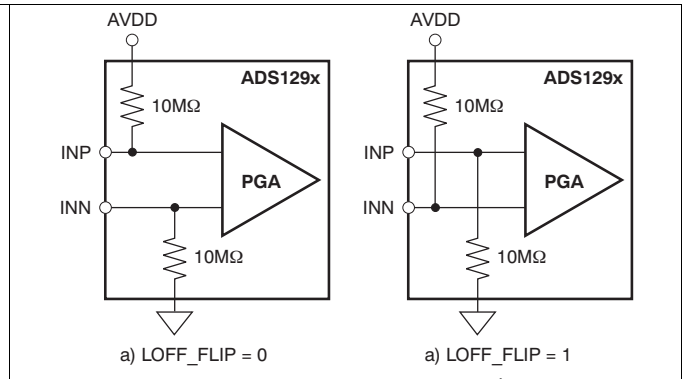


Figure 41. LOFF_FLIP 用法

可通过查看器件的数字输出代码或通过片上比较器监视输入电压来实现响应检测。如果任一电极关闭，那么上拉或下拉电阻器会使通道饱和。查看输出代码以确定 P 侧或 N 侧是否关闭。要查明哪一侧关闭，请检查比较器输出。在转换期间，通过使用比较器和 4 位 DAC（其电平由 LOFF 寄存器中的 COMP_TH[2:0] 位设置）同时监视输入电压。比较器输出存储在 LOFF_STATP 和 LOFF_STATN 寄存器中。这两个寄存器作为输出数据流的一部分提供（请参阅*数据输出引脚 (DOUT)* 部分）。如果未使用直流导联脱落，则可以通过设置 CONFIG4 寄存器中的 PD_LOFF_COMP 位使导联脱落比较器断电。

导联脱落 部分中提供了打开直流导联的示例过程。

9.3.1.7.4.2 交流导联脱落

该方法使用带外交流信号进行激励。通过在输入端以固定频率提供上拉和下拉电阻器来产生交流信号。交流信号会通过抗混叠滤波器以防止混叠。使用 LOFF 寄存器中的 FLEAD_OFF[1:0] 选择频率。激励频率是输出数据速率的函数，即 $f_{DR}/4$。该带外激励信号会通过通道并在输出端测量。

通过使信号通过通道以使信号数字化并测量输出来实现交流信号检测。交流激励信号以高于目标频带的频率引入，会产生一个带外差分信号，该信号可以单独滤除并进行处理。通过测量输出频谱处激励信号的幅度，可以计算导联脱落状态。因此，交流导联检测与 ECG 信号采集同时完成。

Copyright © 2010–2015, Texas Instruments Incorporated

9.3.1.7.5 RLD 导联脱落

通过将 RLD 放大器断电来确定 ADS129x 中是否连接了 RLD 电极。断电后，通过两种测量程序来确定 RLD 电极连接状态：上拉或下拉电阻器，或者灌电流或拉电流，如Figure 42 所示。设置比较器的基准电平，以确定可接受的 RLD 阻抗阈值。

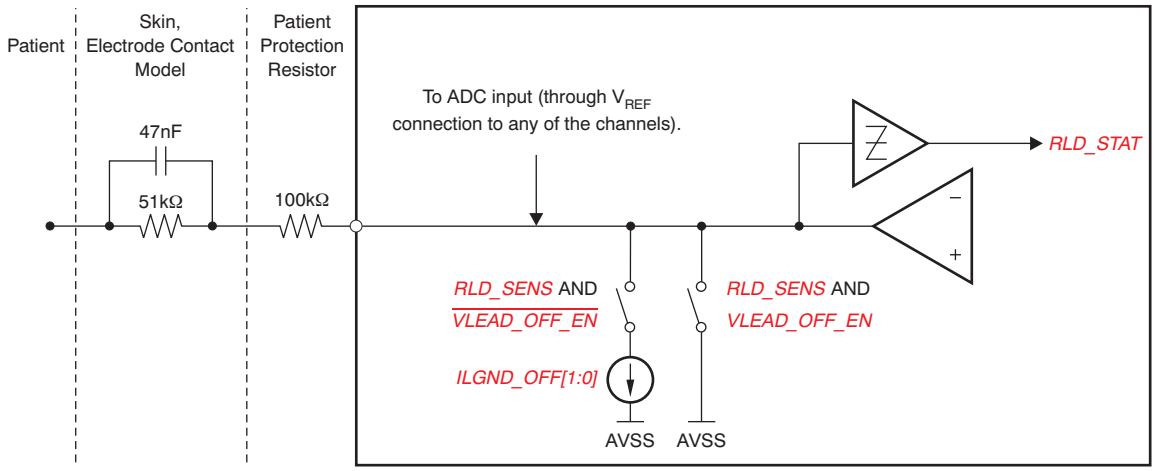


Figure 42. 上电时的 RLD 导联脱落检测

当 RLD 放大器通电时，电流源或上拉/下拉电阻器方法不起作用。可使用比较器来检测 RLD 放大器输出端的电压。比较器阈值由用于设置其他负输入阈值的相同 LOFF[7:5] 位进行设置。

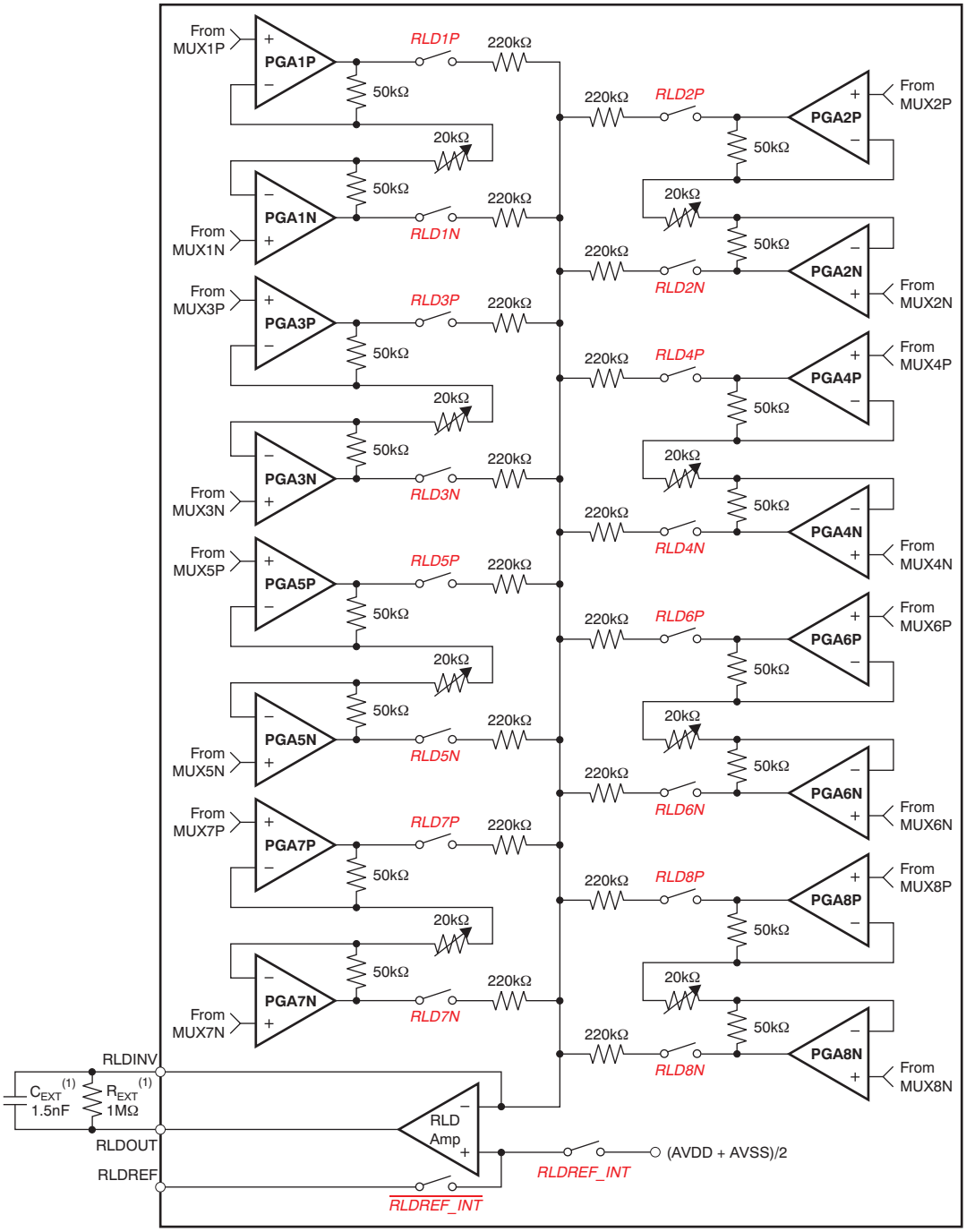
9.3.1.7.6 右腿驱动 (RLD) 直流偏置电流

可使用右腿驱动 (RLD) 电路来抵消 ECG 系统中由于电源线和其他源（包括荧光灯）导致的共模干扰。RLD 电路检测所选电极组的共模电压，并通过使用反相共模信号驱动人体来创建负反馈环路。负反馈环路将共模运动限制在较窄的范围内，具体取决于环路增益。对整个环路的稳定特定于单个系统（根据环路中的各个极点）。ADS129x 集成了用于选择运算放大器通道的多路复用器。所有放大器端子均可在引脚处提供，从而允许选择反馈环路的组件。Figure 43 中所示的电路显示了 RLD 偏置电路的整体功能连接性。

可设置内部生成的 RLD 基准电压 ([AVDD + AVSS]/2)，也可以通过电阻分压器在外部提供该基准电压。通过将适当的值写入 CONFIG3 寄存器中的 RLDREF_INT 位来确定为 RLD 环路选择内部基准电压还是外部基准电压。

如果未使用 RLD 功能，则使用 PD_RLD 位使放大器断电（有关详细信息，请参阅 *CONFIG3：配置寄存器 3（地址 = 03h）（复位 = 40h）* 部分）。该位还用于菊花链模式，以使除一个 RLD 放大器之外的所有 RLD 放大器断电。

输入多路复用器 部分介绍了 RLDIN 引脚的功能。*电源建议* 的*右腿驱动* 部分中显示了 RLD 放大器的示例使用过程。



(1) 典型值。

(2) 当 CONFIG3 位 RLDREF_INT = 0 时，$\overline{\text{RLDREF_INT}}$ 开关闭合且 RLDREF_INT 开关断开。当 CONFIG3 位 RLDREF_INT = 1 时，$\overline{\text{RLDREF_INT}}$ 开关断开且 RLDREF_INT 开关闭合。

Figure 43. RLD 通道选择 (2)

9.3.1.7.6.1 WCT 用作 RLD

在某些 应用中，RLD 可通过求 RA、LA 和 LL 的平均值得出。该电平与 WCT 电压相同。WCT 放大器的驱动强度有限；因此，仅使用 WCT 直接驱动非常高的阻抗。ADS129x 提供在内部缓冲 WCT 信号的选项（通过设置 CONFIG4 寄存器中的 WCT_TO_RLD 位）。将器件外部的 RLD_OUT 和 RLD_INV 引脚短接。在 RLD_OUT 信号连接到 RLD 电极之前，使用外部放大器反转信号的相位，以实现负反馈。

Copyright © 2010–2015, Texas Instruments Incorporated

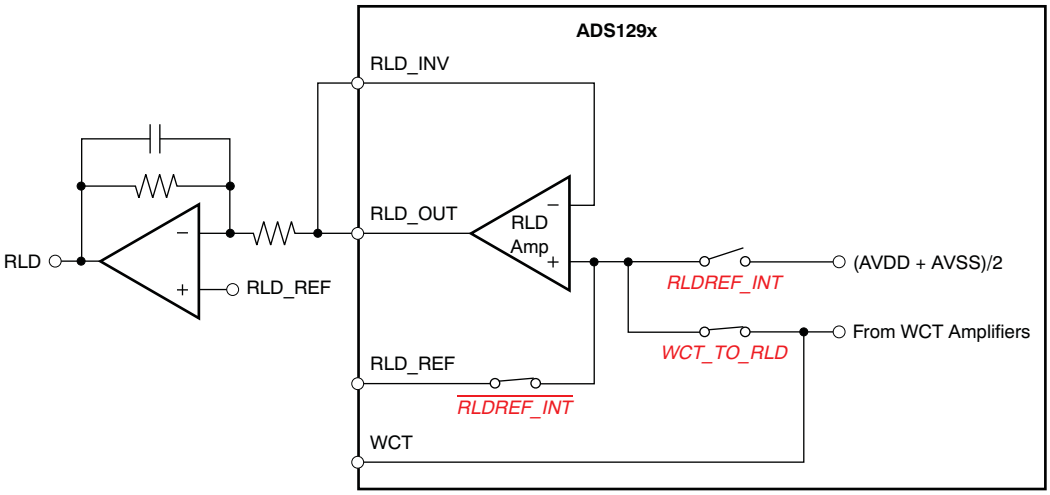


Figure 44. 使用 WCT 作为右腿驱动 (RLD)

9.3.1.7.6.2 使用多个器件的 RLD 配置

Figure 45 显示了连接到一个 RLD 的多个器件。

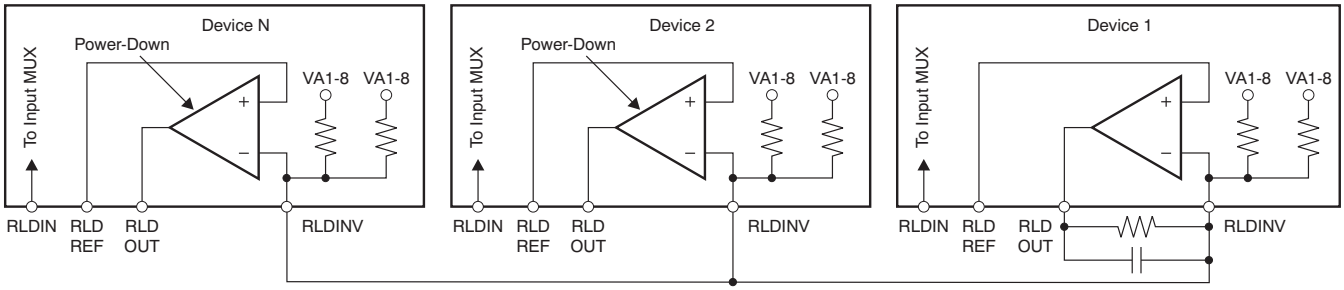


Figure 45. 多个器件的 RLD 连接

9.3.1.7.7 起搏信号检测

ADS129x 通过使用软件或外部硬件为起搏信号检测提供灵活性。通过提供高达 32kSPS 的采样率来实现软件方法。通过在 TESTP_PACE_OUT1 和 TESTN_PACE_OUT2 两个引脚上生成 PGA 的输出来实现外部硬件方法。如果 WCT 放大器连接到信号路径，那么会由于斩波而产生开关噪声；有关详细信息，请参阅 *威尔逊中心端子 (WCT) 和胸导联* 部分。

9.3.1.7.7.1 软件方法

要使用软件方法，请以 8kSPS 或更高的采样率运行该器件，以捕捉最快的脉冲。然后，使用数字信号处理来确定是否存在起搏器脉冲。该软件方法提供了最大的灵活性，可以使用软件对起搏信号检测阈值进行动态 编程。随着起搏器的不断发展，这种灵活性越来越重要。测量快速起搏脉冲时必须考虑两个参数：

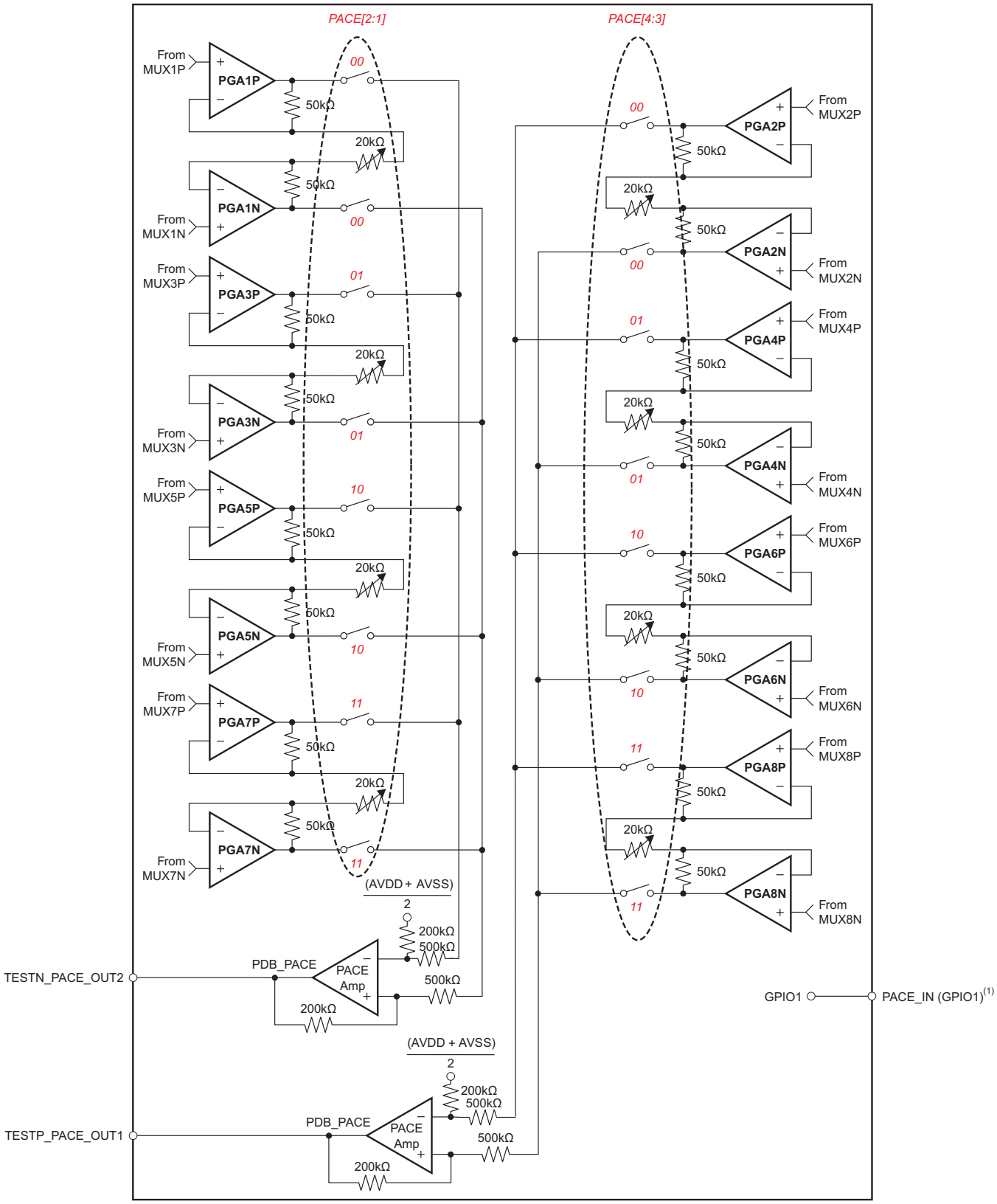
1. PGA 带宽：确定可以使用的增益设置；如Table 5 所示。
2. 建立时间：确定器件的运行数据速率。对于输入的阶跃变化，数字抽取滤波器需要 3 × t_{DR} 的时间才能稳定。

9.3.1.7.7.2 外部硬件方法

使用软件方法的缺点之一是单个器件上的所有通道必须以更高的数据速率运行。对于高数据速率是个难题的系统，ADS129x 提供将外部硬件连接到 PGA 输出的选项，以检测是否存在脉冲。然后，起搏信号检测逻辑的输出通过 GPIO 引脚之一馈送到器件中。GPIO 数据通过 SPI 端口传输，并在 $\overline{\text{DRDY}}$ 变低之前的 2 个 t_{CLK} 加载。可使用 PACE 寄存器中的寄存器位来选择八个通道中的两个：一个来自奇数通道，另一个来自偶数通道。在差动到单端转换期间，存在 0.4 的衰减；因此，起搏信号路径中的总增益等于 (0.4 × PGA_GAIN)。起搏输出信号会分别通过 TESTP_PACE_OUT1 和 TESTN_PACE_OUT2 引脚与 TESTP 和 TESTN 信号进行多路复用。可通过设置 PACE 寄存器的位 [4:1] 来实现通道选择。如果未使用起搏信号电路，则使用 PACE 寄存器中的 PD_PACE 位关闭起搏信号放大器。

如果连接到 WCT 放大器的通道（例如 V-lead 通道）的输出连接到用于外部起搏信号检测的起搏信号放大器之一，则会在起搏信号放大器输出端出现斩波赝像。有关更多详细信息，请参阅 *威尔逊中心端子 (WCT) 和胸导联* 部分。

Copyright © 2010–2015, Texas Instruments Incorporated



(1) GPIO1 可用作 PACE_IN 信号。

Figure 46. 硬件起搏信号检测选项

9.3.1.7.8 呼吸

如Table 8 所示，ADS129xR 提供三个呼吸阻抗测量选项：外部呼吸、使用片上调制信号的内部呼吸以及使用用户生成的调制信号的内部呼吸。ADS129x 仅提供外部呼吸阻抗测量。

Table 8. 呼吸控制

RESP.RESP_CTRL[1]	RESP.RESP_CTRL[0]	说明	可用模式
0	0	禁用呼吸	ADS129x、ADS129xR
0	1	为外部呼吸电路生成调制和解调信号。GPIO2、GPIO3 和 GPIO4 上的 RESP_CLK 信号。	ADS129x、ADS129xR
1	0	使用内部生成的 RESP_MOD 信号进行呼吸测量。	ADS129xR
1	1	使用用户生成的调制和阻塞信号进行呼吸测量。	ADS129xR (1)

(1) 如果 CLKSEL = 1（内部主时钟），请勿设置 RESP_CTRL[1:0] = 11。

有关呼吸阻抗测量的更多信息，请参阅《*使用阻抗充气造影术进行呼吸率测量*》(SBAA181)。

9.3.1.7.8.1 外部呼吸电路 (RESP_CTRL = 01b)

利用该选项，GPIO2、GPIO3 和 GPIO4 可以自动配置为输出。Figure 47 显示了信号之间的相位关系。GPIO2 是 GPIO3 和 GPIO4 的异或，如Figure 48 所示。GPIO3 是调制信号，GPIO4 是解调信号。使用该选项时，GPIO2、GPIO3 和 GPIO4 的通用引脚功能不可用。可使用 CONFIG4 寄存器中的 RESP_FREQ[2:0] 位将调制频率设置为 64kHz 或 32kHz。RESP_FREQ[2:0] 的其余位选项可在 GPIO3 和 GPIO4 上生成方波。GPIO2 上的异或仅在 64kHz 或 32kHz 频率下可用。GPIO4 相对于 GPIO3 的相位可通过 RESP 寄存器中的 RESP_PH[2:0] 位进行设置。

使用该选项可在 ADS129x 外部实现自定义呼吸阻抗电路。

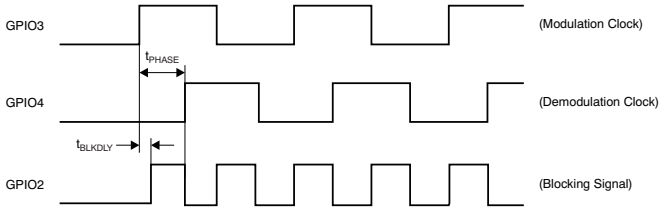


Figure 47. 外部呼吸 (RESP_CTRL = 01b) 时序

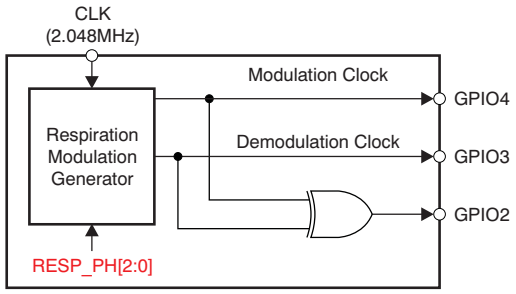


Figure 48. 外部呼吸 (RESP_CTRL = 01b) 方框图

Table 9. Figure 47 的开关特性 (1)

参数		2.7V ≤ DVDD ≤ 3.6V			1.65V ≤ DVDD ≤ 2V			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
t_{PHASE}	呼吸相位延迟，由 RESP.RESP_PH[2:0] 进行设置	22.5		157.5	22.5		157.5	度
t_{BLKDLY}	异或信号的模块时钟上升沿		1			5		ns

(1) 这些规格在 –40°C 至 85°C 的温度范围内适用。

9.3.1.7.8.2 具有内部时钟的内部呼吸电路（RESP_CTRL = 10b，仅限 ADS129xR）

Figure 49 显示了内部呼吸电路的方框图。可以选择性地使用内部调制和解调电路。

调制块由 RESP_MOD_EN 位控制，解调块由 RESP_DEMOD_EN 位控制。调制信号是幅度为 VREFP – AVSS 的方波。使用该选项，可在器件的 RESP_MODP 和 RESP_MODN 引脚上获得调制电路的输出。利用该可用性，可以向方波调制信号中添加自定义滤波。利用该选项，可以将 GPIO2、GPIO3 和 GPIO4 用于其他目的。调制频率为 64kHz 或 32kHz，可通过 CONFIG4 寄存器中的 RESP_FREQ[2:0] 位进行设置。内部解调信号的相位可通过 RESP 寄存器中的 RESP_PH[2:0] 位进行设置。

启用该呼吸选项后，无法使用 ADS129xR 通道 1 来采集 ECG 信号。如果 RA 和 LA 导联用于测量呼吸和 ECG 信号，则用导线将两个导联连接到通道 1 进行呼吸信号测量，连接到通道 2 进行 ECG 信号测量。

Copyright © 2010–2015, Texas Instruments Incorporated

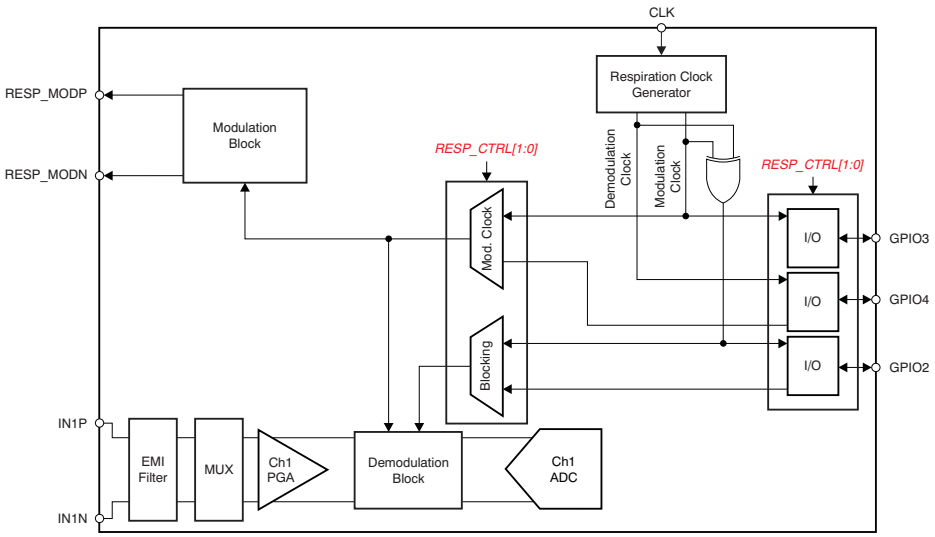


Figure 49. 内部呼吸方框图

9.3.1.7.8.3 具有用户生成的信号的内部呼吸电路（RESP_CTRL = 11b，仅限 ADS129xR）

在该模式下，GPIO2、GPIO3 和 GPIO4 会自动配置为输入，无法用于其他目的。必须按照Figure 50 所示提供信号。请勿在该模式下使用内部主时钟。

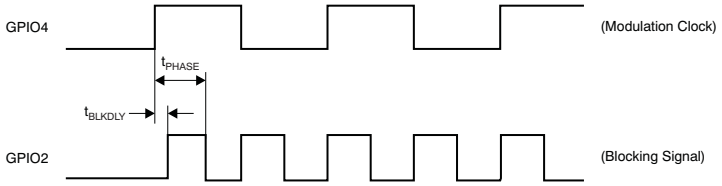


Figure 50. 内部呼吸 (RESP_CTRL = 11b) 时序方框图

Table 10. Figure 50 的开关特性(1)

参数		1.65V ≤ DVDD ≤ 3.6V			单位
		最小值	典型值	最大值	
t_{PHASE}	呼吸相位延迟	0		157.5	度
t_{BLKDLY}	异或信号的模块时钟上升沿		0	5	ns

(1) 这些规格在 –40°C 至 85°C 的温度范围内适用。

9.3.2 数字功能

9.3.2.1 GPIO 引脚 (GPIO[4:1])

ADS129x 在正常工作时总共有四个通用数字输入/输出 (GPIO) 引脚。数字 I/O 引脚可通过 GPIO 寄存器的 GPIOC 位单独配置为输入或输出。GPIO 寄存器中的 GPIOD 位控制引脚的电平。在读取 GPIOD 位时，返回的数据是引脚的逻辑电平，无论它们是编程为输入还是输出都是如此。当 GPIO 引脚配置为输入时，对相应 GPIOD 位的写入无效。当配置为输出时，对 GPIOD 位的写入会设置输出值。

如果配置为输入，则必须驱动这些引脚；请勿将这些引脚悬空。在上电或复位之后，GPIO 引脚会设置为输入。Figure 51 显示了 GPIO 端口结构。如果未使用这些引脚，则将其与 DGND 短接。

例如，一种配置是使用 GPIO1 作为 PACEIN 信号，将 GPIO2 与 RESP_BLK 信号进行多路复用，将 GPIO3 与 RESP 信号进行多路复用，将 GPIO4 与 RESP_PH 信号进行多路复用。

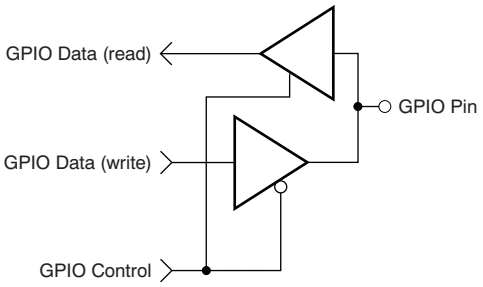


Figure 51. GPIO 端口引脚

9.3.2.2 关断引脚 ($\overline{PWDN}$)

将 $\overline{PWDN}$ 拉至低电平后，所有片上电路都会断电。要退出关断模式，请将 $\overline{PWDN}$ 引脚置于高电平。一旦退出关断模式，内部振荡器和基准就需要一段时间才能唤醒。在关断期间，关闭外部时钟以省电。

9.3.2.3 复位（$\overline{RESET}$ 引脚和复位命令）

可通过两种方法来对 ADS129x 进行复位：将 $\overline{RESET}$ 引脚拉至低电平，或发送 RESET 操作码命令（请参阅 *RESET：将寄存器重置为默认值* 部分）。将 RESET 引脚置于低电平可强制进行复位。在将 RESET 引脚重新置为高电平之前，确保遵循最小脉冲宽度时序规格。RESET 命令在操作码命令的第八个 SCLK 下降沿生效。复位后，需要 18 个 t_{CLK} 周期才能将配置寄存器初始化为默认状态并启动转换周期。有关更多信息，请参阅 *RESET：将寄存器重置为默认值* 部分。只要使用 WREG 命令将寄存器 CONFIG1 和 RESP 设置为新值，就会自动向数字滤波器发出内部复位命令。

Copyright © 2010–2015, Texas Instruments Incorporated

9.3.2.4 数字抽取滤波器

数字滤波器接收调制器输出并抽取数据流。通过调整滤波量，可以在分辨率和数据速率之间进行折衷：增大滤波量可实现更高的分辨率，减小滤波量可实现更高的数据速率。通常在 ECG 应用中使用更高的数据 速率， 以实现软件起搏信号检测和交流导联脱落检测。

每个通道上的数字滤波器由一个三阶 Sinc 滤波器组成。Sinc 滤波器上的抽取率由 CONFIG1 寄存器中的 DR 位进行调整（有关详细信息，请参阅Table 16）。该设置是可影响所有通道的全局设置；因此，在这些器件中，所有通道都以相同的数据速率运行。

9.3.2.4.1 Sinc 滤波器级 (sinx/x)

Sinc 滤波器是可变抽取率三阶低通滤波器。数据以 f_{MOD} 的速率从调制器提供给滤波器的该部分。Sinc 滤波器可使调制器的高频噪声衰减，然后将数据流抽取为并行数据。抽取率会影响转换器的整体数据速率。

Equation 4 显示了 Sinc 滤波器的缩放 Z 域传递函数。

$$|H(z)| = \left| \frac{1 - Z^{-N}}{1 - Z^{-1}} \right|^3 \tag{4}$$

Equation 5 显示了 Sinc 滤波器的频域传递函数。

$$H(f)| = \left| \frac{\sin\left(\frac{N\pi f}{f_{MOD}}\right)}{N \times \sin\left(\frac{\pi f}{f_{MOD}}\right)} \right|^3$$

其中

- N = 抽取率 (5)

Sinc 滤波器具有以输出数据速率倍数出现的陷波（或零点）。在这些频率下，滤波器具有无限衰减。Figure 52 显示了 Sinc 滤波器的频率响应，Figure 53 显示了 Sinc 滤波器的滚降。输入端出现阶跃变化时，滤波器需要 3 个 t_{DR} 转换周期才能稳定。在 START 引脚的上升沿或 START 命令完成后，滤波器需要多个 t_{SETTLE} 周期来提供第一个数据输出。*SPI 接口* 部分的*启动模式* 小节介绍了滤波器在各种数据速率下的建立时间。Figure 54 和Figure 55 分别显示了在不同数据速率时 $f_{MOD}/2$ 和 $f_{MOD}/16$ 下的滤波器传递函数。Figure 56 显示了扩展至 4 × f_{MOD} 的传递函数。如图所示，ADS129x 的通带会在每个 f_{MOD} 倍数处重复其自身。为系统选择合适的输入 R-C 抗混叠滤波器，以充分减弱大约为 f_{MOD} 倍数的频率下的任何干扰。

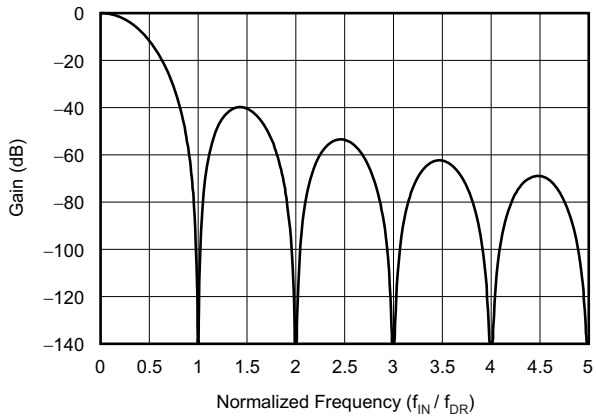


Figure 52. Sinc 滤波器频率响应

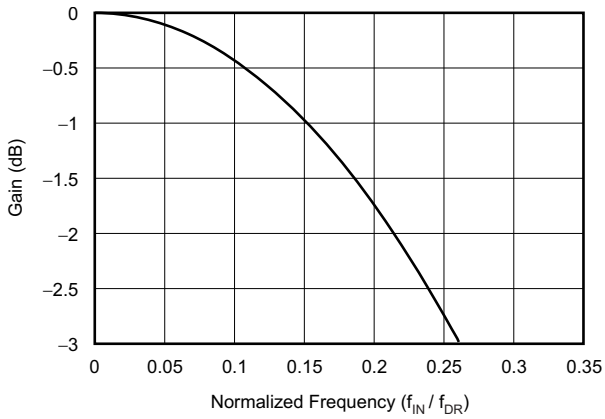


Figure 53. Sinc 滤波器滚降

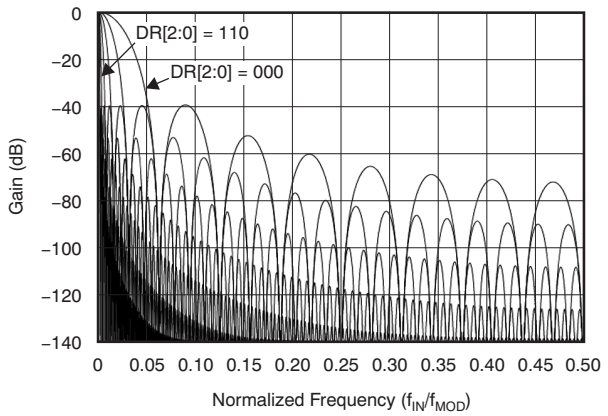


Figure 54. $f_{MOD}/2$ 下片上抽取滤波器的传递函数

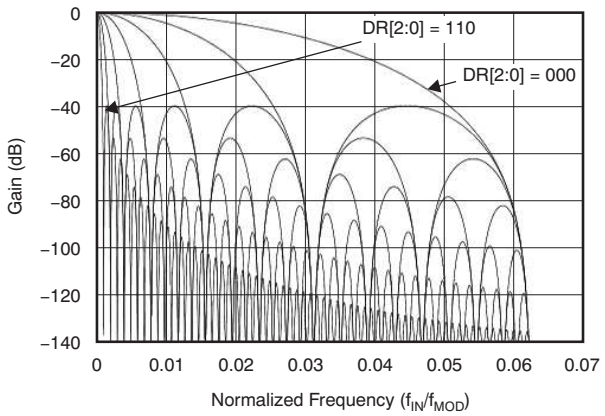


Figure 55. $f_{MOD}/16$ 下片上抽取滤波器的传递函数

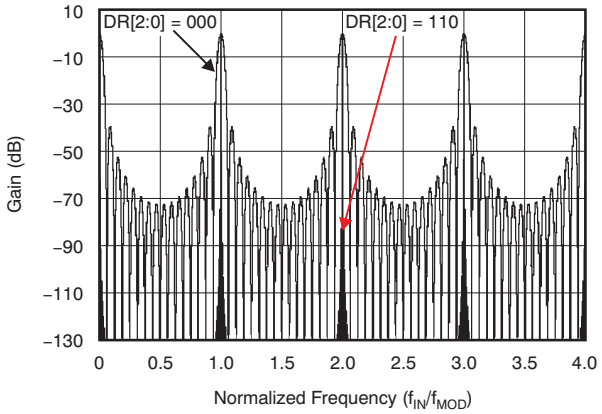


Figure 56. 4 × f_{MOD} 下片上抽取滤波器的传递函数
（DR[2:0] = 000 且 DR[2:0] = 110）

9.3.2.5 时钟

ADS129x 提供两种不同的器件计时方法：内部和外部。内部时钟非常适合低功耗、电池供电的系统。内部振荡器针对室温下的精度进行了修整。该精度在指定的温度范围内变化；请参阅*电气特性*。时钟选择由 CLKSEL 引脚和 CLK_EN 寄存器位进行控制。

使用 CLKSEL 引脚选择内部或外部时钟。CONFIG1 寄存器中的 CLK_EN 位启用和禁用要在 CLK 引脚输出的振荡器时钟。Table 11 显示了这两个引脚的真值表。当以菊花链配置连接多个器件时，使用 CLK_EN 位。在关断期间，关闭外部时钟以省电。

Table 11. CLKSEL 引脚和 CLK_EN 位

CLKSEL 引脚	CONFIG1.CLK_EN 位	时钟源	CLK 引脚状态
0	X	外部时钟	输入：外部时钟
1	0	内部时钟振荡器	三态
1	1	内部时钟振荡器	输出：内部时钟振荡器

Copyright © 2010–2015, Texas Instruments Incorporated

9.4 器件功能模式

9.4.1 数据采集

本节介绍与 START 和 $\overline{\text{DRDY}}$ 引脚、稳定数据和数据读回相关的数据采集过程。

9.4.1.1 启动模式

将 START 引脚拉为高电平并至少持续 2 个 t_{CLK} 周期，或者发送 START 命令以开始转换。当 START 引脚为低电平或未发送 START 命令时，器件不会发出 $\overline{\text{DRDY}}$ 信号（转换停止）。

使用 START 操作码开始转换时，将 START 引脚保持为低电平。ADS129x 具有两种控制转换的模式：连续和单冲。可通过 SINGLE_SHOT（CONFIG4 寄存器的位 3）选择模式。在多器件配置中，START 引脚用于同步器件（有关更多详细信息，请参阅*多器件配置* 部分）。

9.4.1.1.1 建立时间

建立时间 (t_{SETTLE}) 是当 START 信号被拉为高电平时转换器输出完全稳定的数据所需的时间。

当 START 引脚被拉为高电平或发送 START 命令时，器件 ADC 会转换输入信号并且 $\overline{\text{DRDY}}$ 被拉为高电平。$\overline{\text{DRDY}}$ 的下一个下降沿指示数据是只读的。Figure 57 显示了时序图，Table 12 显示了不同数据速率下作为 t_{CLK} 的函数的建立时间。建立时间取决于 f_{CLK} 和抽取率（由 CONFIG1 寄存器中的 DR[2:0] 位进行控制）。

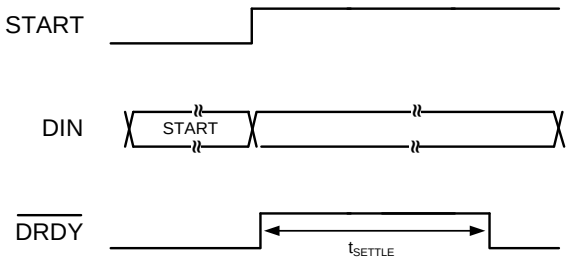


Figure 57. 初始转换的建立时间

Table 12. 不同数据速率的建立时间 (t_{SETTLE})

DR[2:0]	建立时间（t_{CLK} 周期）	
	高分辨率模式	低功耗模式
000	296	584
001	584	1160
010	1160	2312
011	2312	4616
100	4616	9224
101	9224	18440
110	18440	36872

Copyright © 2010–2015, Texas Instruments Incorporated

当 START 引脚保持高电平且输入信号发生阶跃变化时，滤波器需要 3 个 t_{DR} 转换周期才能稳定到新值，如 Figure 58 所示。可在发送第四个 $\overline{DRDY}$ 脉冲时提供稳定的数据。在尝试测量用于起搏信号检测的窄起搏信号脉冲时，必须考虑该建立时间。在每个 $\overline{DRDY}$ 高/低转换时可读取数据，但可以将其忽略。

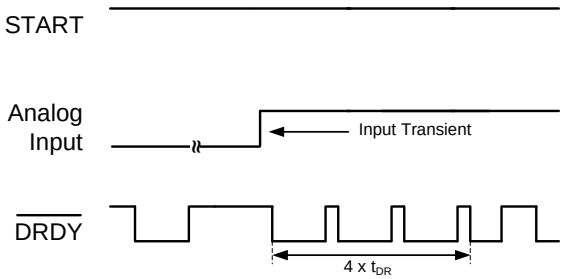


Figure 58. 输入瞬态的建立时间

9.4.1.2 数据就绪引脚 ($\overline{DRDY}$)

$\overline{DRDY}$ 是输出。当 $\overline{DRDY}$ 转换为低电平时，新转换数据就绪。$\overline{CS}$ 信号对数据就绪信号没有任何影响。无论 $\overline{CS}$ 信号的状态如何，SCLK 上的上升沿都会将 $\overline{DRDY}$ 拉至高电平。因此，在 SPI 总线中使用多个器件时，使用 $\overline{CS}$ 来选通 SCLK。$\overline{DRDY}$ 的行为取决于器件是否处于 RDATAC 模式或是否使用 RDATA 命令按需读取数据。有关更多详细信息，请参阅 *RDATAC：连续读取数据* 和 *RDATA：读取数据* 部分。

使用 RDATA 命令读取数据时，读取操作可能与出现的下一个 $\overline{DRDY}$ 重叠，但不会导致数据损坏。

使用 START 引脚或 START 命令将器件置于正常数据捕获模式或脉冲数据捕获模式。

Figure 59 显示了数据检索期间 $\overline{DRDY}$、DOUT 和 SCLK 之间的关系（对于具有可提供 24 位分辨率的选定数据速率的 ADS129x）。DOUT 在 SCLK 的上升沿锁存。无论是从器件检索数据还是通过 DIN 引脚发送命令，器件都会在 SCLK 的第一个下降沿将 $\overline{DRDY}$ 拉为高电平。数据从状态字的 MSB 开始，然后按顺序进入 ADC 通道数据（即通道 1、通道 2、...、通道 *x*）。断电的通道仍然在数据流中有一个位置；但是，数据无效，可以将其忽略。

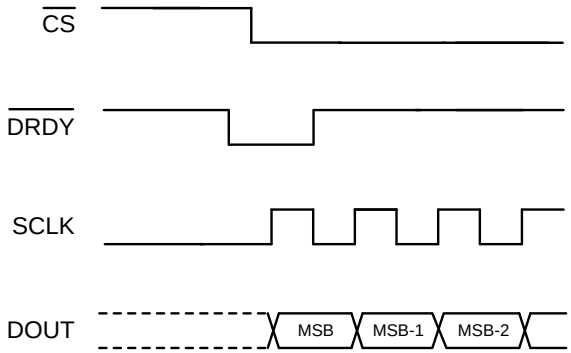


Figure 59. 有数据检索时的 $\overline{DRDY}$ ($\overline{CS}$ = 0)

Copyright © 2010–2015, Texas Instruments Incorporated

无论 $\overline{CS}$ 的状态如何，都会在第一个 SCLK 下降沿清除 $\overline{DRDY}$ 信号。即使没有数据随时钟输出，也仍然会清除 $\overline{DRDY}$ 信号。如果使用 SPI 总线与同一总线上的其他器件进行通信，请考虑此情况。Figure 60 显示了该多路复用的时序图。

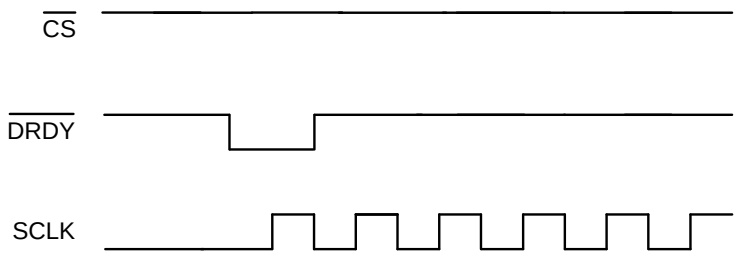


Figure 60. SPI 总线多路复用的 $\overline{DRDY}$ 和 SCLK 行为

9.4.1.3 数据检索

可通过以下两种方法之一完成数据检索：

1. RDATAC：连续读取数据命令设置在不发送操作码的情况下连续读取数据的器件模式。有关更多详细信息，请参阅 *RDATAC：连续读取数据* 部分。
2. RDATA：读取数据命令仅从器件中读取一个数据输出。有关更多详细信息，请参阅 *RDATA：读取数据* 部分。

有关更多详细信息，请参阅 *SPI 命令定义* 部分。

可通过在 DOUT 上移出数据来读取转换数据。DOUT 上数据的 MSB 在第一个 SCLK 上升沿随时钟输出。$\overline{DRDY}$ 会在第一个 SCLK 下降沿返回至高电平。在整个读取操作期间将 DIN 保持为低电平。

9.4.1.3.1 状态字

ADS129x 数据读回之前是一个状态字，用于提供有关 ADC 状态的信息。状态字的长度为 24 位，其中包含 LOFF_STATP、LOFF_STATN 和部分 GPIO 寄存器的值。Figure 61 显示了内容对齐。

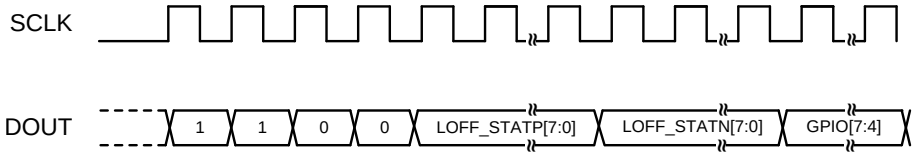


Figure 61. 状态字内容

9.4.1.3.2 读回长度

数据输出中的位数取决于通道数和每个通道的位数。每个通道数据的数据格式是二进制补码，MSB 在前。对于具有 32kSPS 和 64kSPS 数据速率的 ADS129x，数据位数为 24 个状态位 + 每个通道 16 位 × 8 个通道 = 152 位。对于所有其他数据速率，数据位数为 24 个状态位 + 每个通道 24 位 × 8 个通道 = 216 位。使用用户寄存器设置使通道断电时，相应的通道输出会设置为 0。不过，通道输出序列保持不变。ADS1294 输出四个通道的数据，ADS1296 输出六个通道的数据。

ADS129x 还提供多回读功能。将 CONFIG1 寄存器中的 DAISY_IN 位设置为 1 可实现多回读功能。只需提供额外的 SCLK 即可多次读取数据；读取最后一个字节后 MSB 数据字节会重复。

9.4.1.3.3 数据格式

ADS129x 会以二进制补码格式在每个通道输出 24 位的数据，MSB 在前。LSB 具有 $V_{REF}/(2^{23} – 1)$ 的权重。正满标量程输入可生成输出代码 7FFFFFh，负满标量程输入可生成输出代码 800000h。输出在这些代码处针对超出满标量程的信号进行削波。Table 13 总结了不同输入信号的理想输出代码。对于 DR[2:0] = 000 和 001，器件分别仅具有 17 位和 19 位分辨率。可以忽略最后 7 位（17 位模式下）或 5 位（19 位模式下）。

Table 13. 理想输出代码与输入信号间的关系(1)

输入信号，V_{IN} (INxP – INxN)	理想输出代码(2)
≥ V_{REF}	7FFFFFh
$V_{REF}/(2^{23} – 1)$	000001h
0	000000h
$–V_{REF}/(2^{23} – 1)$	FFFFFFh
≤ $–V_{REF}$ $(2^{23}/(2^{23} – 1))$	800000h

(1) 仅对 24 位分辨率数据速率有效（增益 = 1）。
(2) 不包括噪声、线性、偏移和增益误差的影响。

9.4.1.4 单冲模式

可通过将 CONFIG4 寄存器中的 SINGLE_SHOT 位设置为 1 来启用单冲模式。在单冲模式下，当 START 引脚被置于高电平或发送 START 操作码命令时，ADS129x 会执行单次转换。如Figure 62 所示，当转换完成时，$\overline{DRDY}$ 会变为低电平，进一步的转换停止。无论是否读取转换数据，$\overline{DRDY}$ 都保持低电平。要开始新的转换，请将 START 引脚置为低电平，然后再重新置为高电平并至少保持两个 t_{CLK}，或再次发送 START 操作码。从连续转换模式切换到单冲模式时，要确保发送 START 脉冲信号，或发出 STOP 命令并后跟 START 命令。

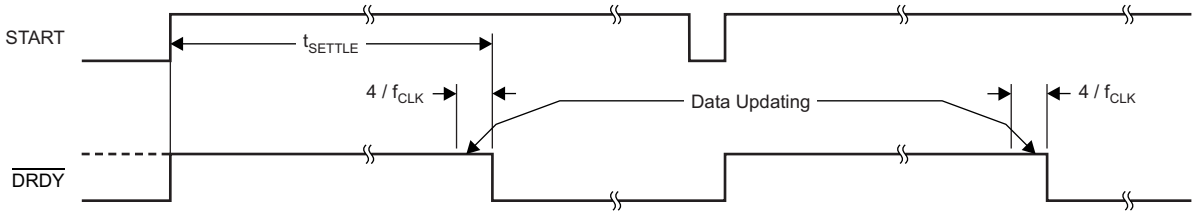


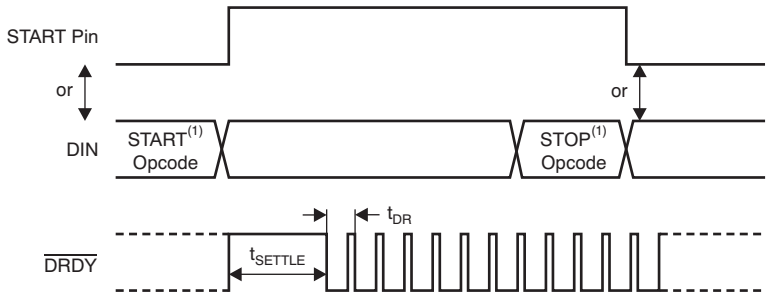
Figure 62. 无数据检索时的 $\overline{DRDY}$（单冲模式）

为需要非标准或非连续数据速率的 应用 提供了单冲转换模式。发出 START 命令或将 START 引脚切换为高电平可重置数字滤波器，从而有效地将数据速率降低为原来的四分之一。该模式使系统更容易受到混叠效应的影响，因此需要更复杂的模拟或数字滤波。主机处理器上的负载会增加，因为它必须切换 START 引脚或发送 START 命令以启动新的转换周期。

Copyright © 2010–2015, Texas Instruments Incorporated

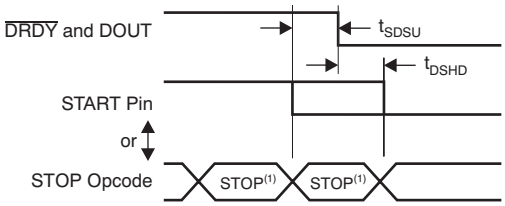
9.4.1.5 连续转换模式

当 START 引脚被置于高电平并至少保持两个 t_{CLK} 或发送 START 操作码命令时，将开始进行转换。如Figure 63 所示，$\overline{DRDY}$ 会在转换开始后变为高电平，并在数据就绪后变为低电平。转换会无限期地持续下去，直到 START 引脚被置为低电平或发送 STOP 操作码命令。当 START 引脚被拉为低电平或发出停止命令时，允许完成正在进行的转换。Figure 64 和Table 14 显示了在该模式下控制转换时 START 引脚以及 START 和 STOP 操作码命令所需的 $\overline{DRDY}$ 时序。要使转换器保持连续运行，应将 START 引脚永久固定在高电平。从单冲模式切换到连续转换模式时，发送 START 脉冲信号，或发出 STOP 命令并后跟 START 命令。该转换模式非常适用于 需要 连续转换结果流的应用。



(1) START 和 STOP 操作码命令会在第七个 SCLK 下降沿生效。

Figure 63. 连续转换模式



(1) START 和 STOP 命令会在操作码传输结束时的第七个 SCLK 下降沿生效。

Figure 64. START 至 $\overline{DRDY}$ 时序

Table 14. Figure 64 的时序要求 (1)

		最小值	最大值	单位
t_{SDSU}	START 引脚置于低电平或向 $\overline{DRDY}$ 发送 STOP 操作码以中止进一步转换的设置时间	16		t_{CLK}
t_{DSHD}	START 引脚置于低电平或发送 STOP 操作码以完成当前转换	16		t_{CLK}

(1) START 和 STOP 命令会在操作码传输结束时的第七个 SCLK 下降沿生效。

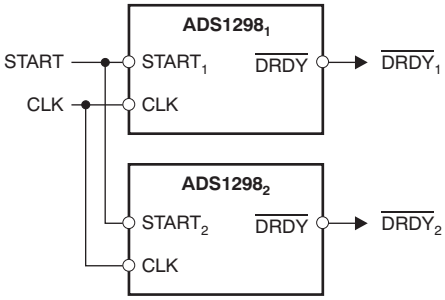
9.4.2 多器件配置

当系统中连接多个器件时，ADS129x 可提供配置灵活性。串行接口通常需要四个信号：DIN、DOUT、SCLK 和 $\overline{CS}$。通过在每个器件上添加一个额外的片选信号，可以将多个器件连接在一起。连接 *n* 个器件所需的信号数量为 3 + *n*。

如 *使用多个器件的 RLD 配置* 部分中所述以菊花链方式连接 RLD 放大器。要以菊花链配置使用内部振荡器，请将其中一个器件设置为时钟源的主器件并启用内部振荡器（CLKSEL 引脚 = 1），并通过将 CLK_EN 寄存器位设置为 1 从器件获取内部振荡器时钟。使用该主器件时钟作为其他器件的外部时钟源。

在使用多个器件时，将这些器件与 START 信号同步。从 START 信号到 $\overline{DRDY}$ 信号的延迟对于固定数据速率是固定的（有关建立时间的更多详细信息，请参阅*启动模式* 部分）。作为一个示例，Figure 65 显示了两个器件与 START 信号同步时的行为。

可使用两种配置以最佳接口引脚数来连接多个器件：级联或菊花链。



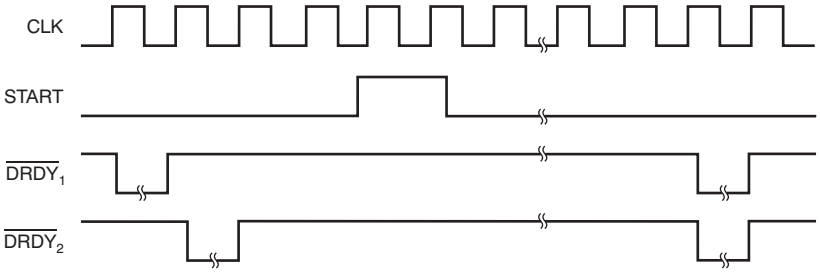


Figure 65. 同步多个转换器

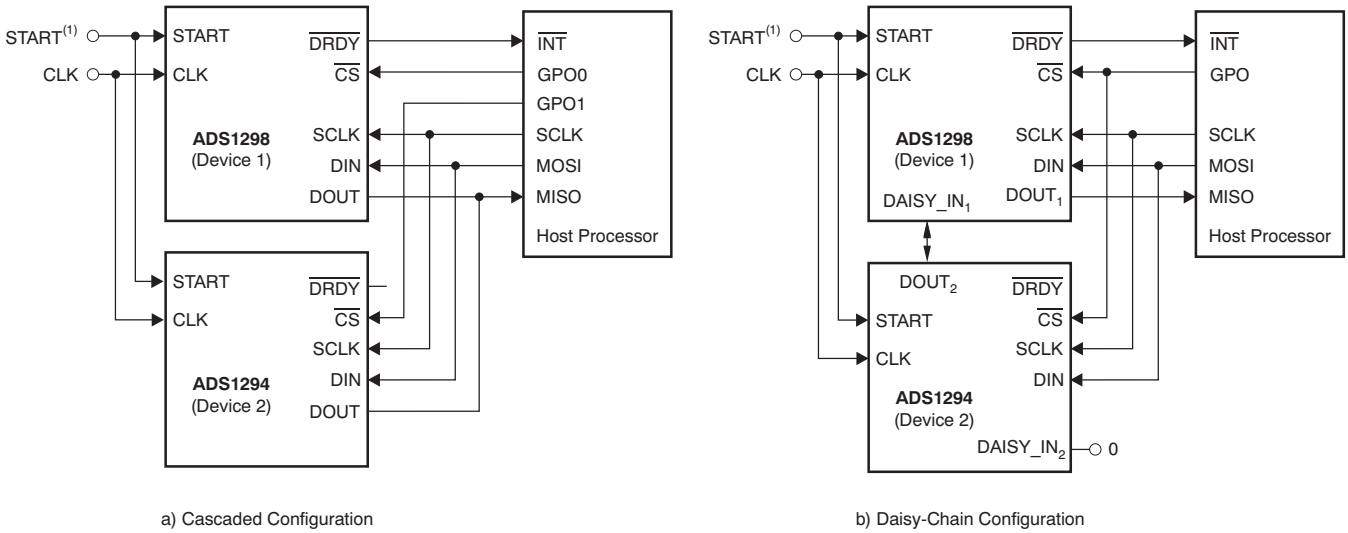
Copyright © 2010–2015, Texas Instruments Incorporated

9.4.2.1 级联配置

Figure 66(a) 显示了两个器件级联在一起的配置。其中一个器件是 ADS1298（八个通道），另一个器件是 ADS1294（四个通道）。它们一起创建了一个具有 12 个通道的系统。DOUT、SCLK 和 DIN 是共享的。每个器件都具有其自己的片选引脚。如果没有选择某个器件（通过将相应的 $\overline{CS}$ 驱动为逻辑 1），则该器件的 DOUT 处于高阻抗。该结构允许其他器件控制 DOUT 总线。该配置方法适用于大多数 应用。

9.4.2.2 菊花链配置

可通过设置 CONFIG1 寄存器中的 $\overline{DAISY_EN}$ 位来启用菊花链模式。Figure 66(b) 显示了菊花链配置。在该配置中，SCLK、DIN 和 $\overline{CS}$ 在多个器件之间共享。将第一个器件的 DOUT 引脚连接到下一个器件的 DAISY_IN 引脚，从而创建一个链。在每个数据集之间发出一个额外的 SCLK。请注意，在使用菊花链模式时，多读回功能不可用。如果未使用 DAISY_IN 引脚，则将其与数字接地短接。Figure 2 介绍了Figure 67 所示的 ADS1298 所需的时序。来自 ADS1298 的数据首先出现在 DOUT 上，然后是*任何*一个位，最后是来自 ADS1294 的状态字和数据字。



(1) 要减少引脚数，请将 START 引脚设置为低电平并使用 START 操作码命令来同步和启动转换。

Figure 66. 多器件配置

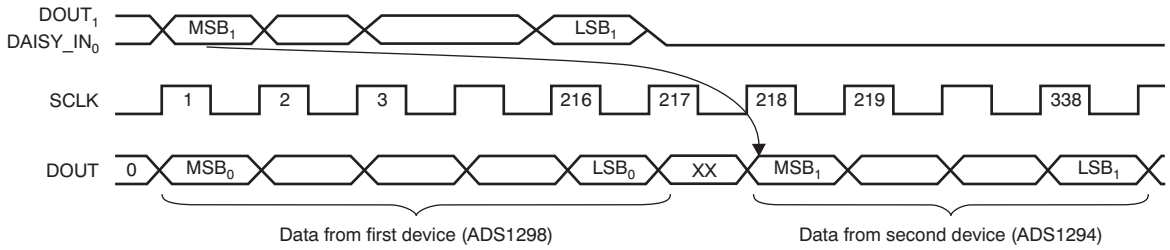


Figure 67. Figure 66(b) 的菊花链时序

使用菊花链模式时的重要提醒：

1. 在每个数据集之间发出一个额外的 SCLK（请参阅Figure 67）。
2. 所有器件都配置为相同的寄存器值，因为 $\overline{CS}$ 是共享的。
3. 器件寄存器读回 (RREG) 仅对菊花链中的器件 0 有效。只能将转换数据从器件 1 读取到器件 *N* 中，其中 *N* 是链中的最后一个器件；无法读取寄存器数据。

如果链中的所有器件都在相同的寄存器设置下运行，则可以共享 DIN，从而将 SPI 通信信号数量减少为 4，无论器件数量如何都是如此。不过，无法对单个器件进行编程；因此，无法在多个器件之间共享 RLD 驱动程序。此外，必须使用外部时钟。

如Figure 2 所示，SCLK 上升沿会在 DOUT 上将数据从 ADS129x 移出。SCLK 上升沿还用于将数据锁存到链中的器件 DAISY_IN 引脚。该架构可实现更快的 SCLK 速率，但它也使接口对板级信号延迟非常敏感。链中的器件越多，遵守设置和保持时间就越具有挑战性。SCLK 与所有器件的星型连接（可最大程度地减小 DOUT 的长度）和其他 PCB 布局技术会有所帮助。在 DOUT 和 DAISY_IN 之间放置缓冲器等延迟电路是另一种应对该挑战的方法。另一种选择是在 DOUT 和 DAISY_IN 之间插入一个 *D* 触发器，该触发器在反相 SCLK 上计时。此外，请注意，菊花链模式需要一些软件开销来重新组合跨字节边界的数据位。

菊花链器件的最大数量取决于器件运行的数据速率。可以使用Equation 6 来估算最大器件数：

$$N_{DEVICES} = \frac{f_{SCLK}}{f_{DR}\,(N_{BITS})(N_{CHANNELS}) + 24}$$

其中

- N_{BITS} = 器件分辨率（取决于数据速率）
- $N_{CHANNELS}$ = 器件中的通道数（4、6 或 8） (6)

例如，当 ADS1298（8 通道，24 位版本）以 2kSPS 数据速率和 4MHz f_{SCLK} 运行时，最多能够以菊花链方式连接 10 个器件。

Copyright © 2010–2015, Texas Instruments Incorporated

9.5 编程

9.5.1 SPI 接口

SPI 兼容串行接口包含四个信号：$\overline{CS}$、SCLK、DIN 和 DOUT。该接口读取转换数据，对寄存器进行读取和写入，并控制 ADS129x 的运行。$\overline{DRDY}$ 输出用作状态信号，以指示数据何时就绪。当新数据可用时，$\overline{DRDY}$ 变为低电平。

9.5.1.1 片选引脚 ($\overline{CS}$)

片选 ($\overline{CS}$) 可选择用于 SPI 通信的 ADS129x 器件。当 $\overline{CS}$ 处于低电平时，串行接口处于活动状态。在整个串行通信过程中，$\overline{CS}$ 必须保持低电平。串行通信完成后，始终等待四个或更多 t_{CLK} 周期，然后再将 $\overline{CS}$ 置于高电平。当 $\overline{CS}$ 置于高电平时，串行接口复位，SCLK 和 DIN 被忽略，DOUT 进入高阻抗状态。无论 $\overline{CS}$ 处于高电平还是低电平，当数据转换完成时，$\overline{DRDY}$ 都会变为有效。

选择 ADS129x 后，器件会尝试每八个串行时钟解码并执行一次命令。如果器件停止执行串行命令，则可能出现了额外的时钟脉冲，使串行接口进入未知状态。要将串行接口重置为已知状态，请将 $\overline{CS}$ 置为高电平，然后再次置为低电平。

9.5.1.2 串行时钟 (SCLK)

SCLK 是串行外设接口 (SPI) 串行时钟。它用于移入命令并从器件中移出数据。串行时钟 (SCLK) 具有 施密特触发器触发的输入并在 DIN 和 DOUT 引脚上按照时钟脉冲将数据移入和移出 ADS129x。尽管输入存在迟滞，仍应尽可能保持 SCLK 的纯净，以防因干扰而意外强制执行时钟事件。*时序要求：串行接口* 表中指定了 SCLK 的绝对最大限制。

选择 ADS129x ($\overline{CS}$ = low) 后，器件会尝试每八个串行时钟解码并执行一次命令。因此，在每次串行传输时提供八个 SCLK 的倍数，以使接口保持正常工作模式。如果接口由于额外的串行时钟而停止工作，则通过将 $\overline{CS}$ 切换为高电平并重新切换为低电平进行复位。

对于单个器件，SCLK 所需的最低速度取决于通道数、分辨率位数和输出数据速率。有关多个级联器件，请参阅*级联配置* 部分。Equation 7 显示了最低 SCLK 速度的计算方法。

$$t_{SCLK} < (t_{DR} - 4t_{CLK})/(N_{BITS} \times N_{CHANNELS} + 24) \quad (7)$$

例如，如果以 500SPS 的数据速率使用 ADS1298（八个通道，24 位分辨率），则最小 SCLK 速度为 110kHz。

可通过将器件置于 RDATAC 模式或针对数据按需发送 RDATA 命令来检索数据。Equation 7 的 SCLK 速率限制也适用于 RDATAC。对于 RDATA 命令，如果必须在两个连续的 $\overline{DRDY}$ 信号之间读取数据，那么该限制适用。Equation 7 假设在数据捕获之间没有发出其他命令。

编程 (continued)

9.5.1.2.1 SCLK 计时方法

如Figure 68 所示，对于多字节命令，可通过两种不同的 SCLK 计时方法来满足Figure 1 中所示的解码时序规格。

对于满足Figure 1 中显示的 $t_{SDECODE}$ 时序要求的 SCLK 速度，当 $\overline{CS}$ 处于低电平时，以连续流方式发送 SCLK。不要将该方法与自由运行的 SCLK 相混淆，SCLK 在 $\overline{CS}$ 为高电平时运行。该器件不支持自由运行的 SCLK 操作。

对于不满足 $t_{SDECODE}$ 时序要求的更快 SCLK 速度，SCLK 以 8 位突发模式传输（突发之间有延迟）。*时序要求：串行接口* 表中指定了绝对最大 SCLK 限制。Figure 68 显示了该器件的两种 SCLK 计时方法之间差异。

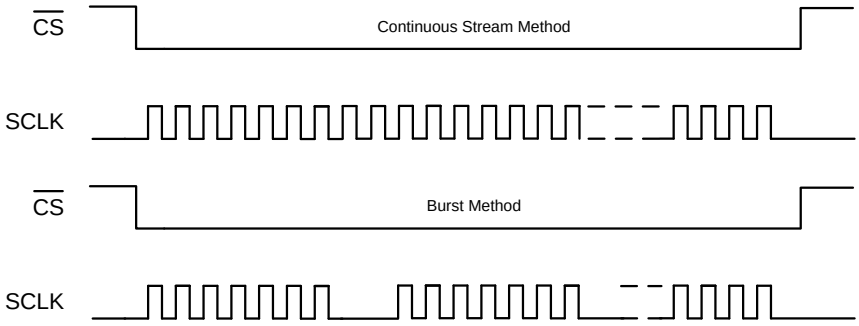


Figure 68. SCLK 计时方法

9.5.1.3 数据输入引脚 (DIN)

数据输入引脚 (DIN) 与 SCLK 一起用于与 ADS129x 通信（操作码命令和寄存器数据）。该器件在 SCLK 的下降沿锁存 DIN 中的数据。

9.5.1.4 数据输出引脚 (DOUT)

数据输出引脚 (DOUT) 与 SCLK 一起用于从 ADS129x 中读取转换和寄存器数据。DOUT 中的数据在 SCLK 的上升沿移出。DOUT 在 $\overline{CS}$ 处于高电平时进入高阻抗状态。在连续读取数据模式（有关更多详细信息，请参阅 *SPI 命令定义* 部分）下，DOUT 输出线路还指示何时有可用的新数据。使用该功能可最大程度地减少器件与系统控制器之间的连接数。

Figure 69 显示了 ADS1298 的数据输出协议。

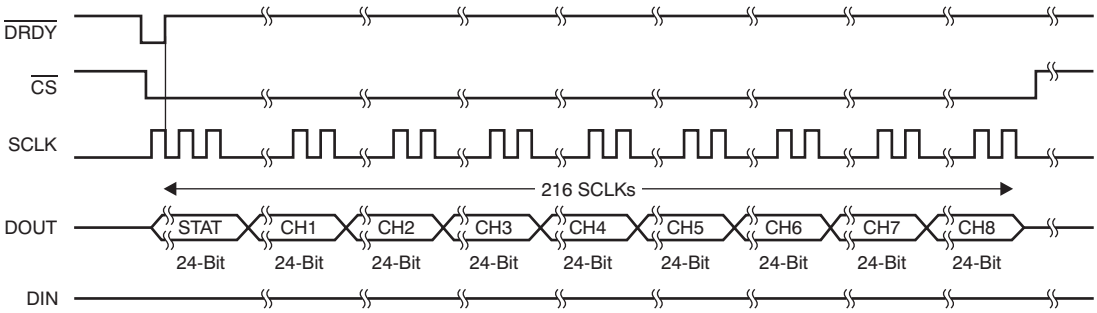


Figure 69. ADS1298 的 SPI 总线数据输出（八个通道）

9.5.2 SPI 命令定义

ADS129x 可提供灵活的配置控制。Table 15 中总结的操作码命令可控制和配置 ADS129x 的运行。操作码命令是独立的，但需要第二个命令字节加数据的寄存器读取和寄存器写入操作除外。可以将 $\overline{CS}$ 在操作码命令之间置于高电平或保持在低电平，但在整个命令操作期间必须保持低电平（尤其是对于多字节命令）。系统操作码命令和 RDATA 命令在 SCLK 的第七个下降沿由 ADS129x 解码。寄存器读取和写入操作码在第八个 SCLK 下降沿进行解码。发出命令后，将 $\overline{CS}$ 拉为高电平时，确保遵循 SPI 时序要求。

Copyright © 2010–2015, Texas Instruments Incorporated

编程 (continued)

Table 15. 操作码命令定义

命令	说明	第一个字节	第二个字节
系统命令			
WAKEUP	从待机模式唤醒	0000 0010 (02h)	—
STANDBY	进入待机模式	0000 0100 (04h)	—
RESET	复位器件	0000 0110 (06h)	—
START	启动/重新启动（同步）转换	0000 1000 (08h)	—
STOP	停止转换	0000 1010 (0Ah)	—
数据读取命令			
RDATAC	启用连续读取数据模式。 该模式是上电时的默认模式。(1)	0001 0000 (10h)	—
SDATAC	停止连续读取数据模式	0001 0001 (11h)	—
RDATA	通过命令读取数据；支持多个读回。	0001 0010 (12h)	—
寄存器读取命令			
RREG	从地址 *r rrrr* 开始读取 *n nnnn* 寄存器	001*r rrrr* (2xh)(2)	000*n nnnn* (2)
WREG	从地址 *r rrrr* 开始写入 *n nnnn* 寄存器	010*r rrrr* (4xh)(2)	000*n nnnn* (2)

(1) 处于 RDATAC 模式时，会忽略 RREG 命令。
(2) *n nnnn* = 要读取/写入的寄存器数量 – 1。例如，要读取/写入三个寄存器，请设置 *n nnnn* = 0 (0010)。*r rrrr* = 读取/写入操作码的起始寄存器地址。

9.5.2.1 WAKEUP：退出待机模式

WAKEUP 操作码可退出低功耗待机模式；请参阅 *STANDBY：进入待机模式* 部分。退出待机模式时需要一些时间（有关详细信息，请参阅*电气特性*）。*对于该命令，SCLK 速率没有限制；可以随时发出该命令。* 必须在 4 个 t_{CLK} 周期后发送任何后续命令。

9.5.2.2 STANDBY：进入待机模式

STANDBY 操作码命令可进入低功耗待机模式。除基准部分外，电路的所有部分都将关闭。*电气特性* 中指定了待机模式功耗。*对于该命令，SCLK 速率没有限制；可以随时发出该命令。* 发送 WAKEUP 命令可使器件恢复至正常运行状态。串行接口处于活动状态；因此，在该模式下允许执行寄存器读取和写入命令。

9.5.2.3 RESET：将寄存器重置为默认值

RESET 命令可重置数字滤波器周期并将所有寄存器设置恢复至相应的默认值。有关更多详细信息，请参阅*复位（RESET 引脚和复位命令）*部分。*对于该命令，SCLK 速率没有限制；可以随时发出该命令。*执行 RESET 命令需要 18 个 t_{CLK} 周期。请勿在此期间发送任何命令。

9.5.2.4 START：开始转换

该操作码可启动数据转换。将 START 引脚保持在低电平可通过命令控制转换。如果转换正在进行，那么该命令无效。STOP 操作码命令用于停止转换。如果 START 命令后紧跟 STOP 命令，那么这两个命令之间必须有 4 个 t_{CLK} 周期的间隔。将 START 操作码发送到器件时，将 START 引脚保持为低电平，直到发出 STOP 命令。（有关更多详细信息，请参阅 *SPI 接口* 部分的*启动模式* 小节。）*对于该命令，SCLK 速率没有限制，可以随时发出该命令。*

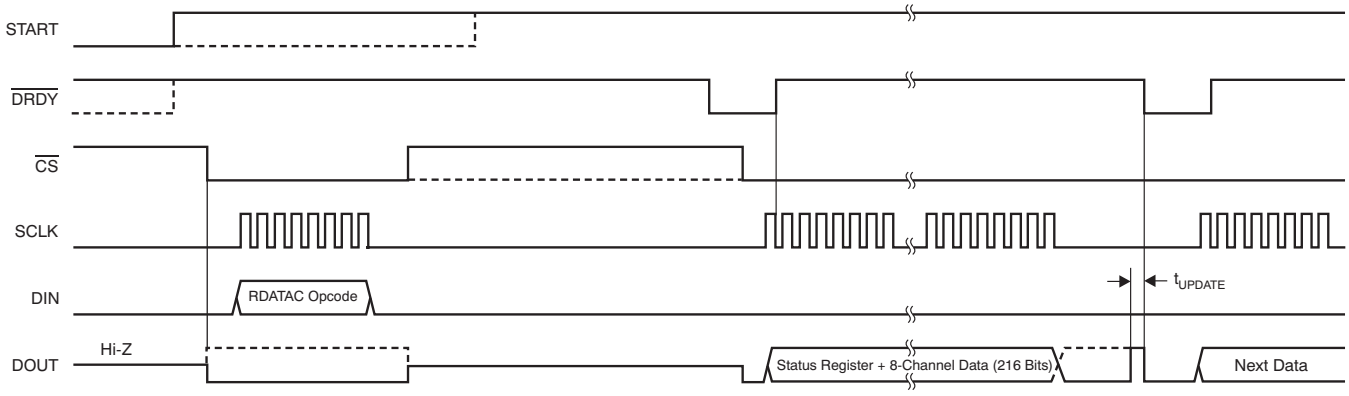
9.5.2.5 STOP：停止转换

STOP 操作码可停止转换。将 START 引脚保持在低电平可通过命令控制转换。发送 STOP 命令后，正在进行的转换将完成，并且进一步的转换也会停止。如果转换已经停止，那么该命令无效。*对于该命令，SCLK 速率没有限制；可以随时发出该命令。*

9.5.2.6 RDATAC：连续读取数据

RDATAC 操作码可以在每个 $\overline{DRDY}$ 上实现转换数据输出，而无需发出后续读取数据操作码。该操作码可将转换数据放置在输出寄存器中，可以直接将其移出。连续读取数据模式是该器件的默认模式，该器件在上电和复位时默认采用该模式。

停止连续读取数据命令 (SDATAC) 可取消 RDATAC 模式。如果器件处于 RDATAC 模式，则必须先发出 SDATAC 命令，然后才能将任何其他命令发送到器件中。对于该命令，SCLK 速率没有限制。不过，后续数据检索 SCLK 或 SDATAC 操作码命令必须至少等待 4 个 t_{CLK} 周期。如Figure 70 所示，RDATAC 的时序说明了 DRDY 周围 4 个 t_{CLK} 周期的*阻止* 区域，此时无法发出该命令。如果没有从器件检索到数据，则 DOUT 和 $\overline{DRDY}$ 在该模式下的行为类似。要在发出 RDATAC 命令后从器件检索数据，请确保 START 引脚处于高电平或发出 START 命令。Figure 70 显示了使用 RDATAC 命令的建议方法。RDATAC 非常适合数据记录器等应用，其中只需设置寄存器一次，无需重新配置。



(1) $t_{UPDATE} = 4/f_{CLK}$（其中 $f_{CLK} = 1/t_{CLK}$）。请勿在此期间读取数据。

Figure 70. RDATAC 用法

Copyright © 2010–2015, Texas Instruments Incorporated

9.5.2.7 SDATAC：停止连续读取数据

该 SDATAC 操作码命令可取消连续读取数据 (RDATAC) 模式。对于该命令，SCLK 速率没有限制，但下一条命令必须等待 4 个 t_{CLK} 周期。

9.5.2.8 RDATA：读取数据

在 $\overline{DRDY}$ 变为低电平后发出 RDATA 命令，以读取转换结果（在 SDATAC 模式下）。对于该命令，SCLK 速率没有限制，后续命令或数据检索 SCLK 不需要等待时间。要在发出 RDATA 命令后从器件检索数据，请确保 START 引脚处于高电平或发出 START 命令。使用 RDATA 命令读取数据时，读取操作可能与出现的下一个 $\overline{DRDY}$ 重叠，但不会导致数据损坏。Figure 71 显示了使用 RDATA 命令的建议方法。RDATA 最适合 ECG 和 EEG 型系统，其中必须经常在转换周期之间读取或更改寄存器设置。

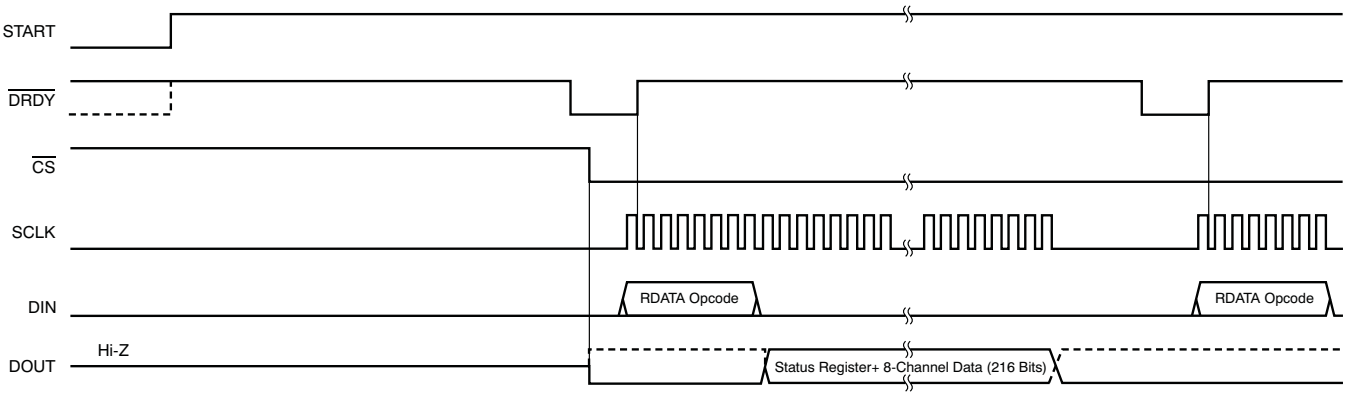


Figure 71. RDATA 用法

9.5.2.9 发送多字节命令

ADS129x 串行接口以字节为单位对命令进行解码，需要 4 个 t_{CLK} 周期进行解码和执行。因此，在发送多字节命令时，4 个 t_{CLK} 周期必须将一个字节（或操作码）的末尾与下一个字节（或操作码）分开。

例如，如果 CLK 为 2.048MHz，那么 $t_{SDECODE}$ (4 × t_{CLK}) 为 1.96µs。当 SCLK 为 16MHz 时，一个字节的最大传输速度为 500ns。该字节传输时间不符合 $t_{SDECODE}$ 规格；因此，必须插入一个延迟，以便第二个字节的末尾在 1.46µs 后到达。不过，如果 SCLK 为 4MHz，那么将在 2µs 后传输一个字节。由于该传输时间超出了 $t_{SDECODE}$ 规格，因此处理器可以无延迟地发送后续字节。在第二种情形下，可以将串行端口编程为使用多字节传输，而不是满足第一种情形的时序所需的单字节传输。

9.5.2.10 RREG：从寄存器进行读取

RREG 操作码命令可读取寄存器数据。RREG 命令是两字节操作码，后跟寄存器数据输出。第一个字节包含命令操作码和寄存器地址。操作码的第二个字节指定要读取的寄存器数量 – 1。

第一个操作码字节：001*r rrrr*，其中 *r rrrr* 是起始寄存器地址。

第二个操作码字节：000*n nnnn*，其中 *n nnnn* 是要读取的寄存器数量 – 1。

运行的第 17 个 SCLK 上升沿输出第一个寄存器的 MSB，如Figure 72 所示。当器件处于连续读数据模式时，必须首先发出 SDATAC 命令，然后才能发出 RREG 命令。可以随时发出 RREG 命令。不过，由于该命令是多字节命令，因此 SCLK 速率受到限制，具体取决于发出 SCLK 的方式。有关更多详细信息，请参阅*串行时钟 (SCLK)* 部分。$\overline{CS}$ 必须在整个命令操作期间处于低电平。

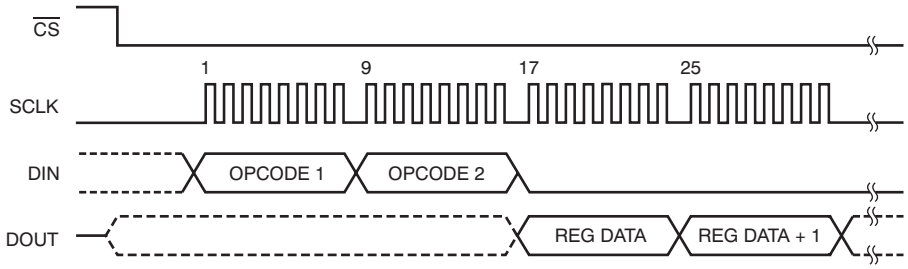


Figure 72. RREG 命令示例：从寄存器 00h（ID 寄存器）开始读取两个寄存器（OPCODE 1 = 0010 0000，OPCODE 2 = 0000 0001）

9.5.2.11 WREG：对寄存器进行写入

WREG 操作码命令可写入寄存器数据。WREG 命令是两字节操作码，后跟寄存器数据输入。第一个字节包含命令操作码和寄存器地址。操作码的第二个字节指定要写入的寄存器数量 – 1。

第一个操作码字节：010*r rrrr*，其中 *r rrrr* 是起始寄存器地址。

第二个操作码字节：000*n nnnn*，其中 *n nnnn* 是要写入的寄存器数量 – 1。

操作码字节后跟寄存器数据（采用 MSB 在前的格式），如Figure 73 所示。可以随时发出 WREG 命令。不过，由于该命令是多字节命令，因此 SCLK 速率受到限制，具体取决于发出 SCLK 的方式。有关更多详细信息，请参阅*串行时钟 (SCLK)* 部分。$\overline{CS}$ 必须在整个命令操作期间处于低电平。

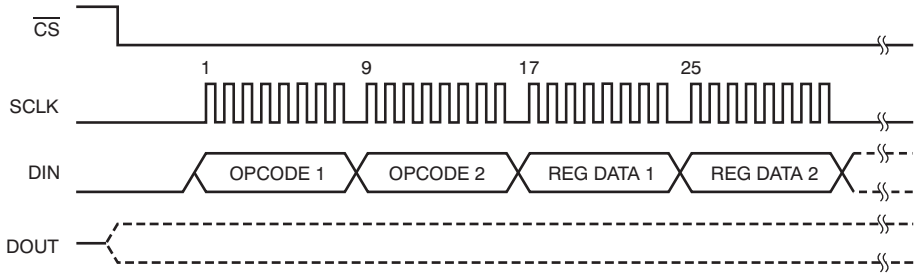


Figure 73. WREG 命令示例：从寄存器 00h（ID 寄存器）开始对两个寄存器进行写入（OPCODE 1 = 0100 0000，OPCODE 2 = 0000 0001）

Copyright © 2010–2015, Texas Instruments Incorporated

9.6 寄存器映射

Table 16 列出里各种 ADS129x 寄存器。

Table 16. 寄存器分配

地址	寄存器	复位值（十六进制）	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
器件设置（只读寄存器）										
00h	ID	xx	DEV_ID7	DEV_ID6	DEV_ID5	1	0	DEV_ID2	DEV_ID1	DEV_ID0
各个通道上的全局设置										
01h	CONFIG1	06	HR	$\overline{\text{DAISY_EN}}$	CLK_EN	0	0	DR2	DR1	DR0
02h	CONFIG2	40	0	0	WCT_CHOP	INT_TEST	0	TEST_AMP	TEST_FREQ1	TEST_FREQ0
03h	CONFIG3	40	$\overline{\text{PD_REFBUF}}$	1	VREF_4V	RLD_MEAS	RLDREF_INT	$\overline{\text{PD_RLD}}$	RLD_LOFF_SENS	RLD_STAT
04h	LOFF	00	COMP_TH2	COMP_TH1	COMP_TH0	VLEAD_OFF_EN	ILEAD_OFF1	ILEAD_OFF0	FLEAD_OFF1	FLEAD_OFF0
特定于通道的设置										
05h	CH1SET	00	PD1	GAIN12	GAIN11	GAIN10	0	MUX12	MUX11	MUX10
06h	CH2SET	00	PD2	GAIN22	GAIN21	GAIN20	0	MUX22	MUX21	MUX20
07h	CH3SET	00	PD3	GAIN32	GAIN31	GAIN30	0	MUX32	MUX31	MUX30
08h	CH4SET	00	PD4	GAIN42	GAIN41	GAIN40	0	MUX42	MUX41	MUX40
09h	CH5SET (1)	00	PD5	GAIN52	GAIN51	GAIN50	0	MUX52	MUX51	MUX50
0Ah	CH6SET (1)	00	PD6	GAIN62	GAIN61	GAIN60	0	MUX62	MUX61	MUX60
0Bh	CH7SET (1)	00	PD7	GAIN72	GAIN71	GAIN70	0	MUX72	MUX71	MUX70
0Ch	CH8SET (1)	00	PD8	GAIN82	GAIN81	GAIN80	0	MUX82	MUX81	MUX80
0Dh	RLD_SENSP (2)	00	RLD8P(1)	RLD7P(1)	RLD6P(1)	RLD5P(1)	RLD4P	RLD3P	RLD2P	RLD1P
0Eh	RLD_SENSN (2)	00	RLD8N(1)	RLD7N(1)	RLD6N(1)	RLD5N(1)	RLD4N	RLD3N	RLD2N	RLD1N
0Fh	LOFF_SENSP (2)	00	LOFF8P	LOFF7P	LOFF6P	LOFF5P	LOFF4P	LOFF3P	LOFF2P	LOFF1P
10h	LOFF_SENSN (2)	00	LOFF8N	LOFF7N	LOFF6N	LOFF5N	LOFF4N	LOFF3N	LOFF2N	LOFF1N
11h	LOFF_FLIP	00	LOFF_FLIP8	LOFF_FLIP7	LOFF_FLIP6	LOFF_FLIP5	LOFF_FLIP4	LOFF_FLIP3	LOFF_FLIP2	LOFF_FLIP1
导联脱落状态寄存器（只读寄存器）										
12h	LOFF_STATP	00	IN8P_OFF	IN7P_OFF	IN6P_OFF	IN5P_OFF	IN4P_OFF	IN3P_OFF	IN2P_OFF	IN1P_OFF
13h	LOFF_STATN	00	IN8N_OFF	IN7N_OFF	IN6N_OFF	IN5N_OFF	IN4N_OFF	IN3N_OFF	IN2N_OFF	IN1N_OFF
GPIO 和其他寄存器										
14h	GPIO	0F	GPIOD4	GPIOD3	GPIOD2	GPIOD1	GPIOC4	GPIOC3	GPIOC2	GPIOC1
15h	PACE	00	0	0	0	PACEE1	PACEE0	PACEO1	PACEO0	$\overline{\text{PD_PACE}}$
16h	RESP	00	RESP_DEMOD_EN1	RESP_MOD_EN1	1	RESP_PH2	RESP_PH1	RESP_PH0	RESP_CTRL1	RESP_CTRL0
17h	CONFIG4	00	RESP_FREQ2	RESP_FREQ1	RESP_FREQ0	0	SINGLE_SHOT	WCT_TO_RLD	$\overline{\text{PD_LOFF_COMP}}$	0
18h	WCT1	00	aVF_CH6	aVL_CH5	aVR_CH7	avR_CH4	$\overline{\text{PD_WCTA}}$	WCTA2	WCTA1	WCTA0
19h	WCT2	00	$\overline{\text{PD_WCTC}}$	$\overline{\text{PD_WCTB}}$	WCTB2	WCTB1	WCTB0	WCTC2	WCTC1	WCTC0

(1) CH5SET 和 CH6SET 不适用于 ADS1294 和 ADS1294R。CH7SET 和 CH8SET 寄存器不适用于 ADS1294、ADS1294R、ADS1296 和 ADS1296R。
(2) RLD_SENSP、PACE_SENSP、LOFF_SENSP、LOFF_SENSN 和 LOFF_FLIP 寄存器位 [5:4] 不适用于 ADS1294 和 ADS1294R。位 [7:6] 不适用于 ADS1294、ADS1296、ADS1294R 和 ADS1296R。

Copyright © 2010–2015, Texas Instruments Incorporated

9.6.1 寄存器说明

在器件制造期间会对只读 ID 控制寄存器进行编程，以指示器件特性。

9.6.1.1 ID：ID 控制寄存器（地址 = 00h）（复位 = xxh）

Figure 74. ID 控制寄存器

7	6	5	4	3	2	1	0
DEV_ID[7:5]			1	0	DEV_ID[2:0]		
R-x			R-2h		R-x		

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值

Table 17. ID 控制寄存器字段说明

位	字段	类型	复位	说明
7:5	DEV_ID[7:5]	R	xh	**器件 ID** 这些位指示器件系列。 000 = 保留 011 = 保留 100 = ADS129x 器件系列 101 = 保留 110 = ADS129xR 器件系列 111 = 保留
4:3	保留	R	2h	**保留** 始终读回 2h
2:0	DEV_ID[2:0]	R	xh	**通道 ID** 这些位指示通道数。 000 = 4 通道 ADS1294 或 ADS1294R 001 = 6 通道 ADS1296 或 ADS1296R 010 = 8 通道 ADS1298 或 ADS1298R 011 = 保留 111 = 保留

Copyright © 2010–2015, Texas Instruments Incorporated

9.6.1.2 CONFIG1：配置寄存器 1（地址 = 01h）（复位 = 06h）

Figure 75. CONFIG1：配置寄存器 1

7	6	5	4	3	2	1	0
HR	$\overline{\text{DAISY_EN}}$	CLK_EN	0	0	DR[2:0]		
R/W-0h	R/W-0h	R/W-0h	R/W-0h		R/W-6h		

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值

Table 18. 配置寄存器 1 字段说明

位	字段	类型	复位	说明
7	HR	R/W	0h	**高分辨率或低功耗模式** 该位决定器件是以低功耗模式运行还是以高分辨率模式运行。 0 = LP 模式 1 = HR 模式
6	$\overline{\text{DAISY_EN}}$	R/W	0h	**菊花链或多读回模式** 该位决定启用哪种模式。 0 = 菊花链模式 1 = 多读回模式
5	CLK_EN	R/W	0h	**CLK 连接**(1) 该位决定当 CLKSEL 引脚 = 1 时内部振荡器信号是否连接到 CLK 引脚。 0 = 禁用振荡器时钟输出 1 = 启用振荡器时钟输出
4:3	保留	R/W	0h	**保留** 始终写入 0h
2:0	DR[2:0]	R/W	6h	**输出数据速率** 对于高分辨率模式，$f_{MOD} = f_{CLK}/4$。低于低功耗模式，$f_{MOD} = f_{CLK}/8$。 这些位决定器件的输出数据速率。 000：$f_{MOD}/16$（HR 模式：32kSPS，LP 模式：16kSPS） 001：$f_{MOD}/32$（HR 模式：16kSPS，LP 模式：8kSPS） 010：$f_{MOD}/64$（HR 模式：8kSPS，LP 模式：4kSPS） 011：$f_{MOD}/128$（HR 模式：4kSPS，LP 模式：2kSPS） 100：$f_{MOD}/256$（HR 模式：2kSPS，LP 模式：1kSPS） 101：$f_{MOD}/512$（HR 模式：1kSPS，LP 模式：500SPS） 110：$f_{MOD}/1024$（HR 模式：500SPS，LP 模式：250SPS） 111：保留（不使用）

(1) 当驱动外部器件时会消耗额外的功率。

9.6.1.3 CONFIG2：配置寄存器 2（地址 = 02h）（复位 = 40h）

配置寄存器 2 可配置测试信号生成。有关更多详细信息，请参阅*输入多路复用器* 部分。

Figure 76. CONFIG2：配置寄存器 2

7	6	5	4	3	2	1	0
0	0	WCT_CHOP	INT_TEST	0	TEST_AMP	TEST_FREQ[1:0]	
R/W-1h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值

Table 19. 配置寄存器 2 字段说明

位	字段	类型	复位	说明
7:6	保留	R/W	1h	**保留** 始终写入 0h
5	WCT_CHOP	R/W	0h	**WCT 斩波方案** 该位决定 WCT 放大器的斩波频率是可变还是固定的。 0 = 斩波频率可变，请参阅Table 7 1 = 斩波频率恒定保持在 $f_{MOD}/16$
4	INT_TEST	R/W	0h	**测试源** 该位决定测试信号源。 0 = 从外部驱动测试信号 1 = 在内部生成测试信号
3	保留	R/W	0h	**保留** 始终写入 0h
2	TEST_AMP	R/W	0h	**测试信号振幅** 这些位决定校准信号振幅。 0 = 1 × –(VREFP – VREFN)/2400V 1 = 2 × –(VREFP – VREFN)/2400V
1:0	TEST_FREQ[1:0]	R/W	0h	**测试信号频率** 这些位决定校准信号频率。 00 = 以 $f_{CLK}/2^{21}$ 的频率发送脉冲信号 01 = 以 $f_{CLK}/2^{20}$ 的频率发送脉冲信号 10 = 未使用 11 = 直流

Copyright © 2010–2015, Texas Instruments Incorporated

9.6.1.4 CONFIG3：配置寄存器 3（地址 = 03h）（复位 = 40h）

配置寄存器 3 可配置多基准和 RLD 操作。

Figure 77. CONFIG3：配置寄存器 3

7	6	5	4	3	2	1	0
$\overline{\text{PD_REFBUF}}$	1	VREF_4V	RLD_MEAS	RLDREF_INT	$\overline{\text{PD_RLD}}$	RLD_LOFF_SENS	RLD_STAT
R/W-0h	R/W-1h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值

Table 20. 配置寄存器 3 字段说明

位	字段	类型	复位	说明
7	$\overline{\text{PD_REFBUF}}$	R/W	0h	**关断基准缓冲器** 该位决定关断基准缓冲器状态。 0 = 关断内部基准缓冲器 1 = 启用内部基准缓冲器
6	保留	R/W	1h	**保留** 始终写入 1h
5	VREF_4V	R/W	0h	**基准电压** 该位决定基准电压 VREFP。 0 = VREFP 设置为 2.4V 1 = VREFP 设置为 4V（仅与 5V 模拟电源配合使用）
4	RLD_MEAS	R/W	0h	**RLD 测量** 该位启用 RLD 测量。可以使用任何通道测量 RLD 信号。 0 = 开路 1 = RLD_IN 信号路由至具有 MUX_Setting *010* (V_{REF}) 的通道
3	RLDREF_INT	R/W	0h	**RLDREF 信号** 该位决定 RLDREF 信号源。 0 = 从外部馈送 RLDREF 信号 1 = 在内部生成 RLDREF 信号 (AVDD – AVSS)/2
2	$\overline{\text{PD_RLD}}$	R/W	0h	**RLD 缓冲器电源** 该位决定 RLD 缓冲器电源状态。 0 = RLD 缓冲器断电 1 = 启用 RLD 缓冲器
1	RLD_LOFF_SENS	R/W	0h	**RLD 感应功能** 该位启用 RLD 感应功能。 0 = 禁用 RLD 感应 1 = 启用 RLD 感应
0	RLD_STAT	R	0h	**RLD 导联脱落状态** 该位决定 RLD 状态。 0 = RLD 已连接 1 = RLD 未连接

Copyright © 2010–2015, Texas Instruments Incorporated

9.6.1.5 LOFF：导联脱落控制寄存器（地址 = 04h）（复位 = 00h）

导联脱落控制寄存器配置导联脱落检测操作。

Figure 78. LOFF：导联脱落控制寄存器

7	6	5	4	3	2	1	0
COMP_TH2[2:0]			VLEAD_OFF_EN	ILEAD_OFF[1:0]		FLEAD_OFF[1:0]	
R/W-0h			R/W-0h	R/W-0h		R/W-0h	

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值

Table 21. 导联脱落控制寄存器字段说明

位	字段	类型	复位	说明
7:5	COMP_TH[2:0]	R/W	0h	**导联脱落比较器阈值** 比较器正极侧 000 = 95% 001 = 92.5% 010 = 90% 011 = 87.5% 100 = 85% 101 = 80% 110 = 75% 111 = 70% 比较器负极侧 000 = 5% 001 = 7.5% 010 = 10% 011 = 12.5% 100 = 15% 101 = 20% 110 = 25% 111 = 30%
4	VLEAD_OFF_EN	R/W	0h	**导联脱落检测模式** 该位决定导联脱落检测模式。 0 = 电流源模式导联脱落 1 = 上拉或下拉电阻器模式导联脱落
3:2	ILEAD_OFF[1:0]	R/W	0h	**导联脱落电流幅度** 这些位决定当前导联脱落模式的电流幅度。 00 = 6nA 01 = 12nA 10 = 18nA 11 = 24nA
1:0	FLEAD_OFF[1:0]	R/W	0h	**导联脱落频率** 这些位决定每个通道的导联脱落检测的频率。 00 = 当 LOFF_SENSP 或 LOFF_SENSN 寄存器的任何位打开时，确保 FLEAD[1:0] 设置为 01 或 11 01 = 以 $f_{DR}/4$ 的频率执行交流导联脱落检测 10 = 不使用 11 = 直流导联脱落检测打开

Copyright © 2010–2015, Texas Instruments Incorporated

9.6.1.6 CHnSET：各个通道设置（n = 1 至 8）（地址 = 05h 至 0Ch）（复位 = 00h）

CH[1:8]SET 控制寄存器配置电源模式、PGA 增益和多路复用器设置通道。有关详细信息，请参阅*输入多路复用器*部分。CH[2:8]SET 与 CH1SET 类似（对应于相应的通道）。

Figure 79. CHnSET：各个通道设置寄存器

7	6	5	4	3	2	1	0
PD*n*	GAIN*n*[2:0]			0	MUX*n*[2:0]		
R/W-0h	R/W-0h			R/W-0h	R/W-0h		

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值

Table 22. 各个通道设置（*n* = 1 至 8）字段说明

位	字段	类型	复位	说明
7	PD*n*	R/W	0h	**断电** 该位决定相应通道的通道电源模式。 0 = 正常运行 1 = 通道断电 在关闭某个通道的电源时，TI 建议通过设置 CHnSET 寄存器的相应 MUXn[2:0] = 001，将该通道设置为输入短路。
6:4	GAIN*n*[2:0]	R/W	0h	**PGA 增益** 这些位决定 PGA 增益设置。 000 = 6 001 = 1 010 = 2 011 = 3 100 = 4 101 = 8 110 = 12
3	保留	R/W	0h	**保留** 始终写入 0h
2:0	MUX*n*[2:0]	R/W	0h	**通道输入** 这些位决定通道输入选择。 000 = 正常电极输入 001 = 输入短路（对于偏移或噪声测量） 010 = 与 RLD_MEAS 位结合使用，以进行 RLD 测量。有关更多详细信息，请参阅 *ECG 专用功能* 部分的*右腿驱动 (RLD) 直流偏置电流* 小节。 011 = MVDD，用于电源测量 100 = 温度传感器 101 = 测试信号 110 = RLD_DRP（正电极是驱动器） 111 = RLD_DRN（负电极是驱动器）

9.6.1.7 RLD_SENSP：RLD 正信号导出寄存器（地址 = 0Dh）（复位 = 00h）

该寄存器控制每个通道的正信号（用于右腿驱动 (RLD)）选择。有关详细信息，请参阅*右腿驱动 (RLD) 直流偏置电流* 部分。

寄存器位 [5:4] 不适用于 ADS1294 或 ADS1294R。位 [7:6] 不适用于 ADS1294、ADS1294R、ADS1296 或 ADS1296R。

Figure 80. RLD_SENSP：RLD 正信号导出寄存器

7	6	5	4	3	2	1	0
RLD8P	RLD7P	RLD6P	RLD5P	RLD4P	RLD3P	RLD2P	RLD1P
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值

Table 23. RLD 正信号导出字段说明

位	字段	类型	复位	说明
7	RLD8P	R/W	0h	**IN8P 至 RLD** 将通道 8 正信号路由到 RLD 导出中 0：禁用 1：启用
6	RLD7P	R/W	0h	**IN7P 至 RLD** 将通道 7 正信号路由到 RLD 导出中 0：禁用 1：启用
5	RLD6P	R/W	0h	**IN6P 至 RLD** 将通道 6 正信号路由到 RLD 导出中 0：禁用 1：启用
4	RLD5P	R/W	0h	**IN5P 至 RLD** 将通道 5 正信号路由到 RLD 导出中 0：禁用 1：启用
3	RLD4P	R/W	0h	**IN4P 至 RLD** 将通道 4 正信号路由到 RLD 导出中 0：禁用 1：启用
2	RLD3P	R/W	0h	**IN3P 至 RLD** 将通道 3 正信号路由到 RLD 导出中 0：禁用 1：启用
1	RLD2P	R/W	0h	**IN2P 至 RLD** 将通道 2 正信号路由到 RLD 通道中 0：禁用 1：启用
0	RLD1P	R/W	0h	**IN1P 至 RLD** 将通道 1 正信号路由到 RLD 通道中 0：禁用 1：启用

Copyright © 2010–2015, Texas Instruments Incorporated

9.6.1.8 RLD_SENSN：RLD 负信号导出寄存器（地址 = 0Eh）（复位 = 00h）

该寄存器控制每个通道的负信号（用于右腿驱动导出）选择。有关详细信息，请参阅*右腿驱动 (RLD) 直流偏置电流*部分。

寄存器位 [5:4] 不适用于 ADS1294 和 ADS1294R。位 [7:6] 不适用于 ADS1294、ADS1294R、ADS1296 或 ADS1296R。

Figure 81. RLD_SENSN：RLD 负信号导出寄存器

7	6	5	4	3	2	1	0
RLD8N	RLD7N	RLD6N	RLD5N	RLD4N	RLD3N	RLD2N	RLD1N
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值

Table 24. RLD 负信号导出字段说明

位	字段	类型	复位	说明
7	RLD8N	R/W	0h	**IN8N 至 RLD** 将通道 8 负信号路由到 RLD 导出中 0：禁用 1：启用
6	RLD7N	R/W	0h	**IN7N 至 RLD** 将通道 7 负信号路由到 RLD 导出中 0：禁用 1：启用
5	RLD6N	R/W	0h	**IN6N 至 RLD** 将通道 6 负信号路由到 RLD 导出中 0：禁用 1：启用
4	RLD5N	R/W	0h	**IN5N 至 RLD** 将通道 5 负信号路由到 RLD 导出中 0：禁用 1：启用
3	RLD4N	R/W	0h	**IN4N 至 RLD** 将通道 4 负信号路由到 RLD 导出中 0：禁用 1：启用
2	RLD3N	R/W	0h	**IN3N 至 RLD** 将通道 3 负信号路由到 RLD 导出中 0：禁用 1：启用
1	RLD2N	R/W	0h	**IN2N 至 RLD** 将通道 2 负信号路由到 RLD 导出中 0：禁用 1：启用
0	RLD1N	R/W	0h	**IN1N 至 RLD** 将通道 1 负信号路由到 RLD 导出中 0：禁用 1：启用

Copyright © 2010–2015, Texas Instruments Incorporated

9.6.1.9 LOFF_SENSP：正信号导联脱落检测寄存器（地址 = 0Fh）（复位 = 00h）

该寄存器选择每个通道的正极侧（用于导联脱落检测）。有关详细信息，请参阅*导联脱落检测* 部分。LOFF_STATP 寄存器位仅在对应的 LOFF_SENSP 位设置为 1 时有效。

寄存器位 [5:4] 不适用于 ADS1294 或 ADS1294R。位 [7:6] 不适用于 ADS1294、ADS1294R、ADS1296 或 ADS1296R。

Figure 82. LOFF_SENSP：正信号导联脱落检测寄存器

7	6	5	4	3	2	1	0
LOFF8P	LOFF7P	LOFF6P	LOFF5P	LOFF4P	LOFF3P	LOFF2P	LOFF1P
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值

Table 25. 正信号导联脱落检测字段说明

位	字段	类型	复位	说明
7	LOFF8P	R/W	0h	**IN8P 导联脱落** 启用 IN8P 上的导联脱落检测 0：禁用 1：启用
6	LOFF7P	R/W	0h	**IN7P 导联脱落** 启用 IN7P 上的导联脱落检测 0：禁用 1：启用
5	LOFF6P	R/W	0h	**IN6P 导联脱落** 启用 IN6P 上的导联脱落检测 0：禁用 1：启用
4	LOFF5P	R/W	0h	**IN5P 导联脱落** 启用 IN5P 上的导联脱落检测 0：禁用 1：启用
3	LOFF4P	R/W	0h	**IN4P 导联脱落** 启用 IN4P 上的导联脱落检测 0：禁用 1：启用
2	LOFF3P	R/W	0h	**IN3P 导联脱落** 启用 IN3P 上的导联脱落检测 0：禁用 1：启用
1	LOFF2P	R/W	0h	**IN2P 导联脱落** 启用 IN2P 上的导联脱落检测 0：禁用 1：启用
0	LOFF1P	R/W	0h	**IN1P 导联脱落** 启用 IN1P 上的导联脱落检测 0：禁用 1：启用

Copyright © 2010–2015, Texas Instruments Incorporated

9.6.1.10 LOFF_SENSN：负信号导联脱落检测寄存器（地址 = 10h）（复位 = 00h）

该寄存器选择每个通道的负极侧（用于导联脱落检测）。有关详细信息，请参阅*导联脱落检测* 部分。LOFF_STATN 寄存器位仅在对应的 LOFF_SENSN 位设置为 1 时有效。

寄存器位 [5:4] 不适用于 ADS1294 或 ADS1294R。位 [7:6] 不适用于 ADS1294、ADS1294R、ADS1296 或 ADS1296R。

Figure 83. LOFF_SENSN：负信号导联脱落检测寄存器

7	6	5	4	3	2	1	0
LOFF8N	LOFF7N	LOFF6N	LOFF5N	LOFF4N	LOFF3N	LOFF2N	LOFF1N
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值

Table 26. 负信号导联脱落检测字段说明

位	字段	类型	复位	说明
7	LOFF8N	R/W	0h	**IN8N 导联脱落** 启用 IN8N 上的导联脱落检测 0：禁用 1：启用
6	LOFF7N	R/W	0h	**IN7N 导联脱落** 启用 IN7N 上的导联脱落检测 0：禁用 1：启用
5	LOFF6N	R/W	0h	**IN6N 导联脱落** 启用 IN6N 上的导联脱落检测 0：禁用 1：启用
4	LOFF5N	R/W	0h	**IN5N 导联脱落** 启用 IN5N 上的导联脱落检测 0：禁用 1：启用
3	LOFF4N	R/W	0h	**IN4N 导联脱落** 启用 IN4N 上的导联脱落检测 0：禁用 1：启用
2	LOFF3N	R/W	0h	**IN3N 导联脱落** 启用 IN3N 上的导联脱落检测 0：禁用 1：启用
1	LOFF2N	R/W	0h	**IN2N 导联脱落** 启用 IN2N 上的导联脱落检测 0：禁用 1：启用
0	LOFF1N	R/W	0h	**IN1N 导联脱落** 启用 IN1N 上的导联脱落检测 0：禁用 1：启用

Copyright © 2010–2015, Texas Instruments Incorporated

9.6.1.11 LOFF_FLIP：导联脱落翻转寄存器（地址 = 11h）（复位 = 00h）

该寄存器控制用于导联脱落导出的电流的方向。有关详细信息，请参阅*导联脱落检测* 部分。

Figure 84. LOFF_FLIP：导联脱落翻转寄存器

7	6	5	4	3	2	1	0
LOFF_FLIP8	LOFF_FLIP7	LOFF_FLIP6	LOFF_FLIP5	LOFF_FLIP4	LOFF_FLIP3	LOFF_FLIP2	LOFF_FLIP1
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值

Table 27. 导联脱落翻转寄存器字段说明

位	字段	类型	复位	说明
7	LOFF_FLIP8	R/W	0h	**通道 8 LOFF 极性翻转** 翻转通道 8 上电流源或电阻器的上拉/下拉极性（用于导联脱落导出）。 0：无翻转：IN8P 拉至 AVDD，IN8N 拉至 AVSS 1：翻转：IN8P 拉至 AVSS，IN8N 拉至 AVDD
6	LOFF_FLIP7	R/W	0h	**通道 7 LOFF 极性翻转** 翻转通道 7 上电流源或电阻器的上拉/下拉极性（用于导联脱落导出）。 0：无翻转：IN7P 拉至 AVDD，IN7N 拉至 AVSS 1：翻转：IN7P 拉至 AVSS，IN7N 拉至 AVDD
5	LOFF_FLIP6	R/W	0h	**通道 6 LOFF 极性翻转** 翻转通道 6 上电流源或电阻器的上拉/下拉极性（用于导联脱落导出）。 0：无翻转：IN6P 拉至 AVDD，IN6N 拉至 AVSS 1：翻转：IN6P 拉至 AVSS，IN6N 拉至 AVDD
4	LOFF_FLIP5	R/W	0h	**通道 5 LOFF 极性翻转** 翻转通道 5 上电流源或电阻器的上拉/下拉极性（用于导联脱落导出）。 0：无翻转：IN5P 拉至 AVDD，IN5N 拉至 AVSS 1：翻转：IN5P 拉至 AVSS，IN5N 拉至 AVDD
3	LOFF_FLIP4	R/W	0h	**通道 4 LOFF 极性翻转** 翻转通道 4 上电流源或电阻器的上拉/下拉极性（用于导联脱落导出）。 0：无翻转：IN4P 拉至 AVDD，IN4N 拉至 AVSS 1：翻转：IN4P 拉至 AVSS，IN4N 拉至 AVDD
2	LOFF_FLIP3	R/W	0h	**通道 3 LOFF 极性翻转** 翻转通道 3 上电流源或电阻器的上拉/下拉极性（用于导联脱落导出）。 0：无翻转：IN3P 拉至 AVDD，IN3N 拉至 AVSS 1：翻转：IN3P 拉至 AVSS，IN3N 拉至 AVDD
1	LOFF_FLIP2	R/W	0h	**通道 2 LOFF 极性翻转** 翻转通道 2 上电流源或电阻器的上拉/下拉极性（用于导联脱落导出）。 0：无翻转：IN2P 拉至 AVDD，IN2N 拉至 AVSS 1：翻转：IN2P 拉至 AVSS，IN2N 拉至 AVDD
0	LOFF_FLIP1	R/W	0h	**通道 1 LOFF 极性翻转** 翻转通道 1 上电流源或电阻器的上拉/下拉极性（用于导联脱落导出）。 0：无翻转：IN1P 拉至 AVDD，IN1N 拉至 AVSS 1：翻转：IN1P 拉至 AVSS，IN1N 拉至 AVDD

Copyright © 2010–2015, Texas Instruments Incorporated

9.6.1.12 LOFF_STATP：导联脱落正信号状态寄存器（地址 = 12h）（复位 = 00h）

该寄存器存储有关每个通道上的正电极是打开还是关闭的状态。有关详细信息，请参阅*导联脱落检测* 部分。如果对应的 LOFF_SENSP 位未设置为 1，则忽略 LOFF_STATP 值。

当 LOFF_SENSEP 位是 0 时，应忽略 LOFF_STATP 位。

Figure 85. LOFF_STATP：导联脱落正信号状态寄存器（只读）

7	6	5	4	3	2	1	0
IN8P_OFF	IN7P_OFF	IN6P_OFF	IN5P_OFF	IN4P_OFF	IN3P_OFF	IN2P_OFF	IN1P_OFF
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值

Table 28. 导联脱落正信号状态字段说明

位	字段	类型	复位	说明
7	IN8P_OFF	R	0h	**通道 8 正通道导联脱落状态** 有关 IN8P 电极是打开还是关闭的状态 0：电极打开 1：电极关闭
6	IN7P_OFF	R	0h	**通道 7 正通道导联脱落状态** 有关 IN7P 电极是打开还是关闭的状态 0：电极打开 1：电极关闭
5	IN6P_OFF	R	0h	**通道 6 正通道导联脱落状态** 有关 IN6P 电极是打开还是关闭的状态 0：电极打开 1：电极关闭
4	IN5P_OFF	R	0h	**通道 5 正通道导联脱落状态** 有关 IN5P 电极是打开还是关闭的状态 0：电极打开 1：电极关闭
3	IN4P_OFF	R	0h	**通道 4 正通道导联脱落状态** 有关 IN4P 电极是打开还是关闭的状态 0：电极打开 1：电极关闭
2	IN3P_OFF	R	0h	**通道 3 正通道导联脱落状态** 有关 IN3P 电极是打开还是关闭的状态 0：电极打开 1：电极关闭
1	IN2P_OFF	R	0h	**通道 2 正通道导联脱落状态** 有关 IN2P 电极是打开还是关闭的状态 0：电极打开 1：电极关闭
0	IN1P_OFF	R	0h	**通道 1 正通道导联脱落状态** 有关 IN1P 电极是打开还是关闭的状态 0：电极打开 1：电极关闭

Copyright © 2010–2015, Texas Instruments Incorporated

9.6.1.13 LOFF_STATN：导联脱落负信号状态寄存器（地址 = 13h）（复位 = 00h）

该寄存器存储有关每个通道上的负电极是打开还是关闭的状态。有关详细信息，请参阅*导联脱落检测* 部分。如果对应的 LOFF_SENSN 位未设置为 1，则忽略 LOFF_STATN 值。

当 LOFF_SENSEN 位是 0 时，应忽略 LOFF_STATP 位。

Figure 86. LOFF_STATN：导联脱落负信号状态寄存器（只读）

7	6	5	4	3	2	1	0
IN8N_OFF	IN7N_OFF	IN6N_OFF	IN5N_OFF	IN4N_OFF	IN3N_OFF	IN2N_OFF	IN1N_OFF
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值

Table 29. 导联脱落负信号状态字段说明

位	字段	类型	复位	说明
7	IN8N_OFF	R	0h	**通道 8 负通道导联脱落状态** 有关 IN8N 电极是打开还是关闭的状态 0：电极打开 1：电极关闭
6	IN7N_OFF	R	0h	**通道 7 负通道导联脱落状态** 有关 IN7N 电极是打开还是关闭的状态 0：电极打开 1：电极关闭
5	IN6N_OFF	R	0h	**通道 6 负通道导联脱落状态** 有关 IN6N 电极是打开还是关闭的状态 0：电极打开 1：电极关闭
4	IN5N_OFF	R	0h	**通道 5 负通道导联脱落状态** 有关 IN5N 电极是打开还是关闭的状态 0：电极打开 1：电极关闭
3	IN4N_OFF	R	0h	**通道 4 负通道导联脱落状态** 有关 IN4N 电极是打开还是关闭的状态 0：电极打开 1：电极关闭
2	IN3N_OFF	R	0h	**通道 3 负通道导联脱落状态** 有关 IN3N 电极是打开还是关闭的状态 0：电极打开 1：电极关闭
1	IN2N_OFF	R	0h	**通道 2 负通道导联脱落状态** 有关 IN2N 电极是打开还是关闭的状态 0：电极打开 1：电极关闭
0	IN1N_OFF	R	0h	**通道 1 负通道导联脱落状态** 有关 IN1N 电极是打开还是关闭的状态 0：电极打开 1：电极关闭

Copyright © 2010–2015, Texas Instruments Incorporated

9.6.1.14 GPIO：通用 I/O 寄存器（地址 = 14h）（复位 = 0Fh）

通用 I/O 寄存器控制三个 GPIO 引脚的操作。当 RESP_CTRL[1:0] 处于模式 01 和 11 时，GPIO2、GPIO3 和 GPIO4 引脚不可用。

Figure 87. GPIO：通用 I/O 寄存器

7	6	5	4	3	2	1	0
GPIOD[4:1]				GPIOC[4:1]			
R/W-0h				R/W-Fh			

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值

Table 30. 通用 I/O 字段说明

位	字段	类型	复位	说明
7:4	GPIOD[4:1]	R/W	0h	**GPIO 数据** 这些位用于从 GPIO 端口读取数据以及向其中写入数据。 在读取寄存器时，返回的数据对应于 GPIO 外部引脚的状态，无论它们是编程为输入还是输出都是如此。作为输出时，对 GPIOD 进行写入可设置输出值。作为输入时，对 GPIOD 进行写入无效。GPIO 在某些呼吸模式下不可用。
3:0	GPIOC[4:1]	R/W	Fh	**GPIO 控制（相应的 GPIOD）** 这些位决定相应的 GPIOD 引脚是输入还是输出。 0 = 输出 1 = 输入

9.6.1.15 PACE：起搏信号检测寄存器（地址 = 15h）（复位 = 00h）

该寄存器提供起搏信号控制，以配置用于馈送外部起搏信号检测电路的通道信号。详细信息，请参阅*起搏信号检测*部分。

Figure 88. PACE：搏信号检测寄存器

7	6	5	4	3	2	1	0
0	0	0	PACEE[1:0]		PACEO[1:0]		$\overline{\text{PD_PACE}}$
R/W-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		R/W-0h

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值

Table 31. 起搏信号检测寄存器字段说明

位	字段	类型	复位	说明
7:5	保留	R/W	0h	**保留** 始终写入 0h
4:3	PACEE[1:0]	R/W	0h	**起搏信号偶数通道** 这些位控制 TEST_PACE_OUT1 上可用的偶数通道选择。任何时候都只能选择一个通道。 00 = 通道 2 01 = 通道 4 10 = 通道 6（ADS1296、ADS1296R、ADS1298、ADS1298R） 11 = 通道 8（ADS1298 和 ADS1298R）
2:1	PACEO[1:0]	R/W	0h	**起搏信号奇数通道** 这些位控制 TEST_PACE_OUT2 上可用的奇数通道选择。任何时候都只能选择一个通道。 00 = 通道 1 01 = 通道 3 10 = 通道 5（ADS1296、ADS1296R、ADS1298、ADS1298R） 11 = 通道 7（ADS1298、ADS1298R）
0	$\overline{\text{PD_PACE}}$	R/W	0h	**起搏信号检测寄存器** 该位用于启用/禁用起搏信号检测缓冲器。 0 = 起搏信号检测缓冲器关闭 1 = 起搏信号检测缓冲器开启

9.6.1.16 RESP：呼吸控制寄存器（地址 = 16h）（复位 = 00h）

该寄存器提供呼吸电路控制；有关详细信息，请参阅*呼吸* 部分。

Figure 89. RESP：呼吸控制寄存器

7	6	5	4	3	2	1	0
RESP_DEMOD_EN1	RESP_MOD_EN1	1	RESP_PH[2:0]			RESP_CTRL[1:0]	
R/W-0h	R/W-0h	R/W-0h	R/W-0h			R/W-0h	

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值

Table 32. 呼吸控制寄存器字段说明

位	字段	类型	复位	说明
7	RESP_DEMOD_EN1	R/W	0h	**启用呼吸解调电路（仅限 ADS129xR；对于 ADS129x，始终写入 0）** 该位启用和禁用通道 1 上的解调电路。 0 = RESP 解调电路关闭 1 = RESP 解调电路开启
6	RESP_MOD_EN1	R/W	0h	**RESP_MOD_EN1：启用呼吸调制电路（仅限 ADS129xR；对于 ADS129x，始终写入 0）** 该位启用和禁用通道 1 上的调制电路。 0 = RESP 调制电路关闭 1 = RESP 调制电路开启
5	保留	R/W	0h	**保留** 始终写入 1h
4:2	RESP_PH[2:0]	R/W	0h	**呼吸相位**(1) 000 = 22.5° 001 = 45° 010 = 67.5° 011 = 90° 100 = 112.5° 101 = 135° 110 = 157.5° 111 = 不适用
1:0	RESP_CTRL[1:0]	R/W	0h	**呼吸控制** 这些位设置呼吸电路的模式。 00 = 无呼吸 01= 外部呼吸 10 = 具有内部信号的内部呼吸 11 = 具有用户生成的信号的内部呼吸

(1) 当 CONFIG4.RESP_FREQ[2:0] 寄存器位为 000b 或 001b 时，RESP_PH[2:0] 相位控制位仅用于内部呼 (RESP_CTRL = 10) 和外部呼吸 (RESP_CTRL = 01) 模式。

Copyright © 2010–2015, Texas Instruments Incorporated

9.6.1.17 CONFIG4：配置寄存器 4（地址 = 17h）（复位 = 00h）

Figure 90. CONFIG4：配置寄存器 4

7	6	5	4	3	2	1	0
RESP_FREQ[2:0]			0	SINGLE_SHOT	WCT_TO_RLD	$\overline{\text{PD_LOFF_COMP}}$	0
R/W-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值

Table 33. 配置寄存器 4 字段说明

位	字段	类型	复位	说明
7:5	RESP_FREQ[2:0]	R/W	0h	**呼吸调制频率** 当 RESP_CTRL[1:0] = 10 或 RESP_CTRL[1:0] = 10 时，这些位控制呼吸控制频率(1)。 000 = 64kHz 调制时钟 001 = 32kHz 调制时钟 010 = GPIO3 和 GPIO04 上的 16kHz 方波。GPIO4 上的输出与 GPIO3 的相位相差 180 度。 011 = GPIO3 和 GPIO04 上的 8kHz 方波。GPIO4 上的输出与 GPIO3 的相位相差 180 度。 100 = GPIO3 和 GPIO04 上的 4kHz 方波。GPIO4 上的输出与 GPIO3 的相位相差 180 度。 101 = GPIO3 和 GPIO04 上的 2kHz 方波。GPIO4 上的输出与 GPIO3 的相位相差 180 度。 110 = GPIO3 和 GPIO04 上的 1kHz 方波。GPIO4 上的输出与 GPIO3 的相位相差 180 度。 111 = GPIO3 和 GPIO04 上的 500Hz 方波。GPIO4 上的输出与 GPIO3 的相位相差 180 度。 模式 000 和 001 是内部和外部呼吸模式下的调制频率。在内部呼吸模式下，控制信号出现在 RESP_MODP 和 RESP_MODN 端子上。所有其他位设置如上所述在 GPIO4 和 GPIO3 上生成方波。
4	保留	R/W	0h	**保留** 始终写入 0h
3	SINGLE_SHOT	R/W	0h	**单冲转换** 该位设置转换模式。 0 = 连续转换模式 1 = 单冲模式
2	WCT_TO_RLD	R/W	0h	**将 WCT 连接到 RLD** 该位将 WCT 连接到 RLD。 0 = WCT 到 RLD 的连接关闭 1 = WCT 到 RLD 的连接开启
1	$\overline{\text{PD_LOFF_COMP}}$	R/W	0h	**导联脱落比较器断电** 该位使导联脱落比较器断电。 0 = 禁用导联脱落比较器 1 = 启用导联脱落比较器
0	保留	R/W	0h	**保留** 始终写入 0h

(1) 这些频率假设 f_{CLK} = 2.048MHz。

9.6.1.18 WCT1：威尔逊中心端子和增强导联控制寄存器（地址 = 18h）（复位 = 00h）

WCT1 控制寄存器配置器件 WCT 电路通道选择和增强导联。

Figure 91. WCT1：威尔逊中心端子和增强导联控制寄存器

7	6	5	4	3	2	1	0
aVF_CH6	aVL_CH5	aVR_CH7	aVR_CH4	$\overline{\text{PD_WCTA}}$	WCTA[2:0]		
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h		

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值

Table 34. 威尔逊中心端子和增强导联控制字段说明

位	字段	类型	复位	说明
7	aVF_CH6	R/W	0h	**使 (WCTA + WCTB)/2 成为通道 6（ADS1296、ADS1296R、ADS1298 和 ADS1298R）的负输入** 0 = 禁用 1 = 启用
6	aVL_CH5	R/W	0h	**使 (WCTA + WCTC)/2 成为通道 5（ADS1296、ADS1296R、ADS1298 和 ADS1298R）的负输入** 0 = 禁用 1 = 启用
5	aVR_CH7	R/W	0h	**使 (WCTB + WCTC)/2 成为通道 7（ADS1298 和 ADS1298R）的负输入** 0 = 禁用 1 = 启用
4	aVR_CH4	R/W	0h	**使 (WCTB + WCTC)/2 成为通道 4 的负输入** 0 = 禁用 1 = 启用
3	$\overline{\text{PD_WCTA}}$	R/W	0h	**使 WCTA 断电** 0 = 断电 1 = 上电
2:0	WCTA[2:0]	R/W	0h	**WCT 放大器 A 通道选择，通常连接到 RA 电极** 这些位选择通道 1 至 4 的八个电极输入之一。 000 = 通道 1 正输入连接到 WCTA 放大器 001 = 通道 1 负输入连接到 WCTA 放大器 010 = 通道 2 正输入连接到 WCTA 放大器 011 = 通道 2 负输入连接到 WCTA 放大器 100 = 通道 3 正输入连接到 WCTA 放大器 101 = 通道 3 负输入连接到 WCTA 放大器 110 = 通道 4 正输入连接到 WCTA 放大器 111 = 通道 4 负输入连接到 WCTA 放大器

Copyright © 2010–2015, Texas Instruments Incorporated

9.6.1.19 WCT2：威尔逊中心端子控制寄存器（地址 = 18h）（复位 = 00h）

WCT2 配置寄存器配置器件 WCT 电路通道选择。

Figure 92. WCT2：威尔逊中心端子控制寄存器

7	6	5	4	3	2	1	0
$\overline{\text{PD_WCTC}}$	$\overline{\text{PD_WCTB}}$	WCTB[2:0]			WCTC[2:0]		
R/W-0h	R/W-0h	R/W-0h			R/W-0h		

图例：R/W = 读取/写入；R = 只读；-n = 复位后的值

Table 35. 威尔逊中心端子控制字段说明

位	字段	类型	复位	说明
7	$\overline{\text{PD_WCTC}}$	R/W	0h	**使 WCTC 断电** 0 = 断电 1 = 上电
6	$\overline{\text{PD_WCTB}}$	R/W	0h	**使 WCTB 断电** 0 = 断电 1 = 上电
5:3	WCTB[2:0]	R/W	0h	**WCT 放大器 B 通道选择，通常连接到 LA 电极。** 这些位选择通道 1 至 4 的八个电极输入之一。 000 = 通道 1 正输入连接到 WCTB 放大器 001 = 通道 1 负输入连接到 WCTB 放大器 010 = 通道 2 正输入连接到 WCTB 放大器 011 = 通道 2 负输入连接到 WCTB 放大器 100 = 通道 3 正输入连接到 WCTB 放大器 101 = 通道 3 负输入连接到 WCTB 放大器 110 = 通道 4 正输入连接到 WCTB 放大器 111 = 通道 4 负输入连接到 WCTB 放大器
2:0	WCTC[2:0]	R/W	0h	**WCT 放大器 C 通道选择，通常连接到 LL 电极。** 这些位选择通道 1 至 4 的八个电极输入之一。 000 = 通道 1 正输入连接到 WCTC 放大器 001 = 通道 1 负输入连接到 WCTC 放大器 010 = 通道 2 正输入连接到 WCTC 放大器 011 = 通道 2 负输入连接到 WCTC 放大器 100 = 通道 3 正输入连接到 WCTC 放大器 101 = 通道 3 负输入连接到 WCTC 放大器 110 = 通道 4 正输入连接到 WCTC 放大器 111 = 通道 4 负输入连接到 WCTC 放大器

Copyright © 2010–2015, Texas Instruments Incorporated

10 应用和实现

NOTE

以下 应用 部分中的信息不属于 TI 组件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

10.1 应用信息

10.1.1 设置器件以进行基本数据采集

Figure 93 概述了在基本状态下配置器件和采集数据的流程。该流程将器件置于与*规格* 部分中列出的参数匹配的配置中，以检查器件是否在用户系统中正常工作。请在开始时遵循此流程，直到熟悉器件设置。验证此流程后，可以根据需要配置器件。有关命令时序的详细信息，请参阅数据表中的相应章节。为 ECG 专用功能添加了示例编程代码。

Copyright © 2010–2015, Texas Instruments Incorporated

应用信息 (continued)

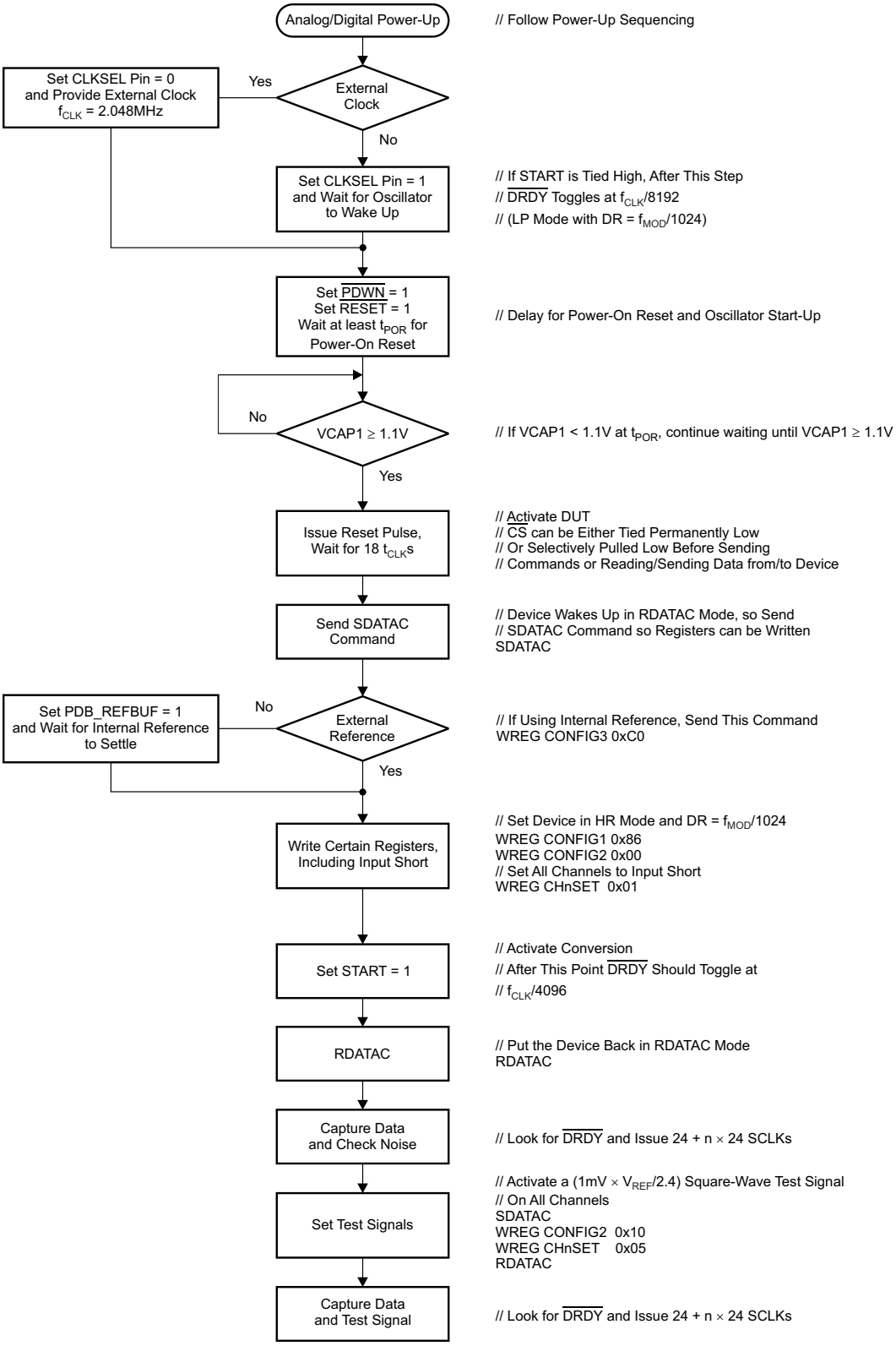


Figure 93. 上电时的初始流程

应用信息 (continued)

10.1.1.1 导联脱落

所有通道上使用上拉或下拉电阻器设置直流导联脱落的示例代码：

```
WREG LOFF 0x13       // Comparator threshold at 95% and 5%, pullup or pulldown resistor
                     // dc lead-off
WREG CONFIG4    0x02 // Turn on dc lead-off comparators
WREG LOFF_SENSP 0xFF // Turn on the P-side of all channels for lead-off sensing
WREG LOFF_SENSN 0xFF // Turn on the N-side of all channels for lead-off sensing
```

观察输出数据流的状态位，以监视导联脱落状态。

10.1.1.2 右腿驱动

选择 RLD 作为前三个通道平均值的示例代码。

```
WREG RLD_SENSP 0x07        // Select channel 1-3 P-side for RLD sensing
WREG RLD_SENSN 0x07        // Select channel 1-3 N-side for RLD sensing
WREG CONFIG3   b’x1xx 1100 // Turn on RLD amplifier, set internal RLDREF voltage
```

通过通道 4 N 侧路由 RLD_OUT 信号并使用通道 5 测量 RLD 的示例代码。确保芯片 RLDOUT 的外侧连接到 RLDIN。

```
WREG CONFIG3 b’xxx1 1100  // Turn on RLD amp, set internal RLDREF voltage, set RLD measurement bit
WREG CH4SET  b’1xxx 0111  // Route RLDIN to channel 4 N-side
WREG CH5SET  b’1xxx 0010  // Route RLDIN to be measured at channel 5 w.r.t RLDREF
```

10.1.1.3 起搏信号检测

为起搏信号选择通道 5 和 6 输出的示例代码：

```
WREG PACE b’0001 0101 // Power-up pace amplifier and select channel 5 and 6 for pace out
```

10.1.2 建立输入共模

ADS129x 测量全差分信号，其中共模电压点是正负模拟输入的中点。由于操作所需的裕量，内部 PGA 限制了共模输入范围。人体容易发生共模漂移，因为与天线相类似，噪声很容易耦合到人体上。这些共模漂移可能会将 ADS129x 输入共模电压推出 ADC 的可测量范围。

如果系统使用患者驱动电极，ADS129x 包含一个连接到患者驱动电极的片上右腿驱动 (RLD) 放大器。RLD 放大器功能是对患者进行偏置，以将其他电极共模电压维持在有效范围内。上电后，放大器使用模拟中间电源电压或 RLDREF 引脚上的电压作为基准输入，以稳定接近于该电压的输出。

Copyright © 2010–2015, Texas Instruments Incorporated

应用信息 (continued)

ADS129x 提供了使用输入电极电压作为放大器反馈的选项，通过设置 RLD_SENSP 和 RLD_SENSN 寄存器中的相应位，更有效地稳定到放大器基准电压的输出。有关利用此技术的三电极系统的示例，请参阅Figure 94。

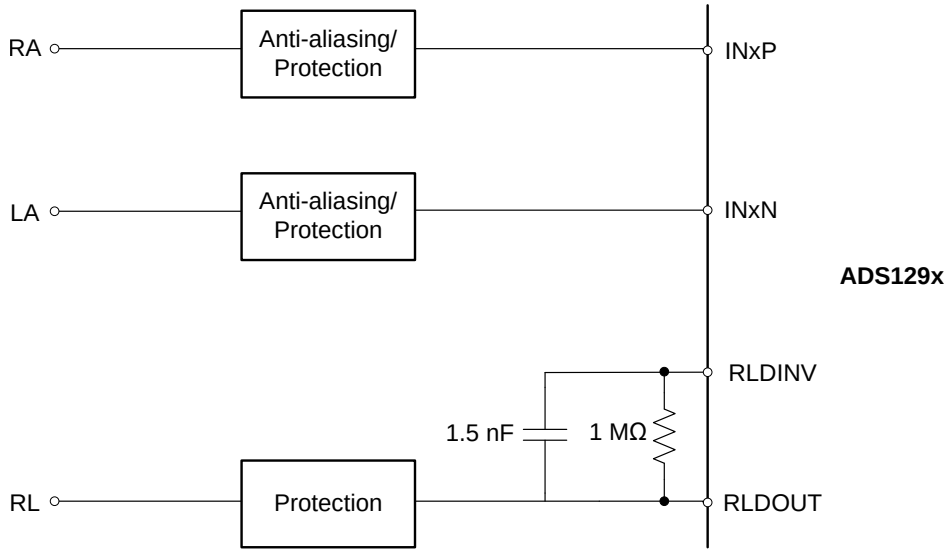


Figure 94. 使用 RLD 电极设置共模

保持有效共模电压的第二种策略是对模拟输入进行交流耦合，这在未使用患者驱动电极时尤其有用。直流阻断电容器与模拟电源之间的分压器或上拉电阻器相结合，可将直流偏置设置为已知点，从而有效地确保直流共模电压不会漂移。不使用 患者驱动电极的应用仍然可以使用 ADS129x 上的 RLD 放大器作为经缓冲的中间电源电压来偏置输入。选择无源元件时要小心，因为电容器和电阻器会形成 RC 高通滤波器。如果不正确地选择无源元件，则滤波器会使信号频带下端的频率不合期望地衰减。Figure 95 显示了该配置的示例。

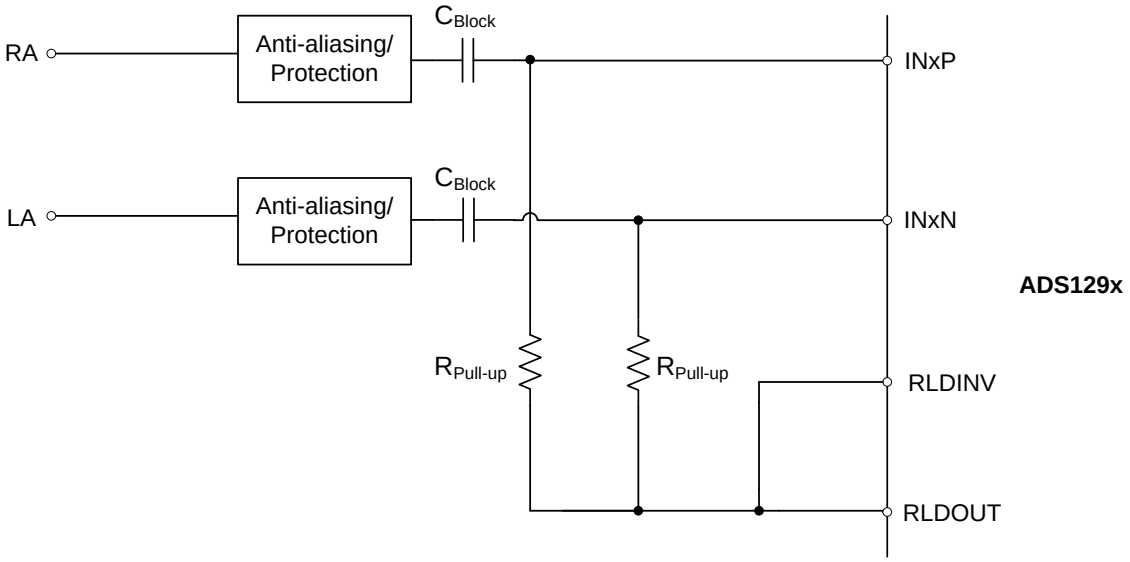


Figure 95. 在不使用 RLD 电极的情况下设置共模

应用信息 (continued)

10.1.3 抗混叠

与所有模数系统一样，应注意防止意外的混叠效应。ADS129x 调制器以 256kHz 或 512kHz 的频率对输入进行采样，具体分别取决于器件处于低功耗 (LP) 模式还是高分辨率 (HR) 模式。与所有数字滤波器的情况一样，ADS129x 上的片上数字抽取滤波器的响应以调制器频率的整数倍重复。使用 Δ-Σ 架构的好处是数字抽取滤波器会使信号频带与调制器频率附近信号频带的混叠之间的频率显著地衰减。这种衰减与 PGA 的有限带宽（请参阅 Table 5）相结合，使对模拟抗混叠滤波器响应的陡度要求不那么严格。在许多情况下，调制器频率的可接受衰减由单极或双极 RC 低通滤波器提供。

选择抗混叠组件时也要小心。由于元件不匹配（包括抗混叠元件），共模到差模的转换会导致共模抑制性能下降。Figure 96 显示了典型的前端配置。

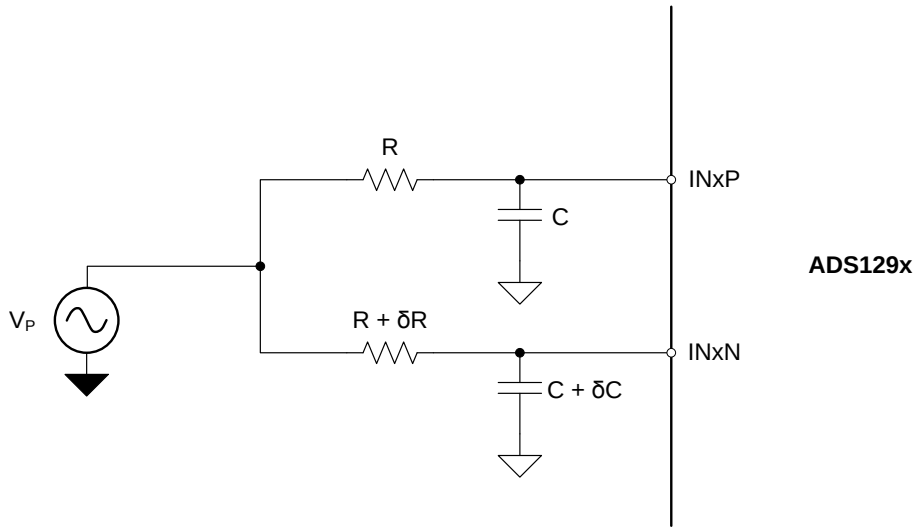


Figure 96. 典型的前端配置

V_P 是系统的共模信号。如果在差分信号中建模的 R 和 C 的值完全匹配，则系统表现出非常大的 CMR。如果电阻器 R 和电容器 C 中的 δR 和 δC 分别不匹配，则整个系统的 CMR 近似于Equation 8。

$$CMR = 20\log\left(\frac{\delta R}{R} + \frac{\delta C}{C}\right) + 20\log\left(\frac{f}{f_c}\right) \quad (8)$$

其中

- f_C 是 RC 滤波器的 –3dB 频率。

如果使用 1% 精度的外部元件并且 RC 滤波器的带宽约为 6kHz，则系统在 60Hz 时仅具有 74dB 的 CMR。在现实世界中，ECG 的前端不仅包含一阶 RC 滤波器，还包括电极、电缆和二阶或三阶 RC 滤波器。考虑到所有这些组件，不匹配很容易累积，因此会贡献高达 20% 或更多的信号。在频率为 60Hz 时，这种不匹配程度会使系统的 CMR 降低到 60dB 以下。因此，必须考虑采用不同的技术来改善 CMR。

在调制器前面放置抗混叠滤波器的带宽时存在折衷。考虑到分立元件之间的不匹配，最好选择较大的带宽；带宽的上限由调制器的采样频率决定。有关防止共模抑制的方法的更多信息，请参阅*《使用右腿驱动放大器改善共模抑制》*，SBAA188。

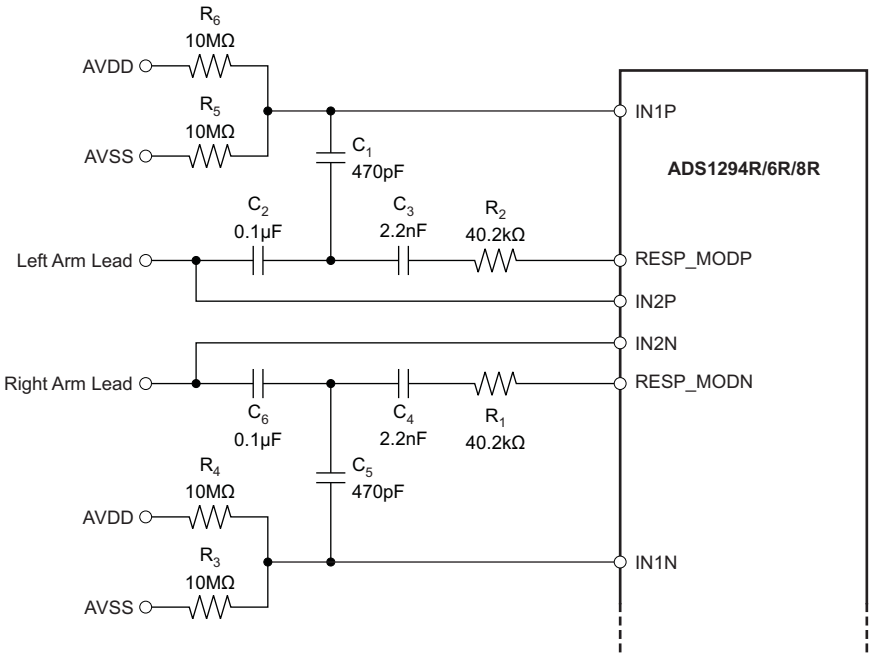
10.2 典型 应用

10.2.1 使用内部调制电路的 ADS129xR 呼吸测量

ADS129xR 上的呼吸测量电路采用带外振幅调制和解调来测量与呼吸相对应的胸阻抗变化。当启用呼吸模式时，通道 1 不能用于采集 ECG 信号，因为内部解调电路对于该通道是唯一的。如果 ECG 信号还连接到另一个通道，则仍然可以使用用于呼吸测量的相同电极来获取 ECG 信号。请注意Figure 97 中显示的配置。

Copyright © 2010–2015, Texas Instruments Incorporated

典型 应用 (continued)



注意：未显示患者和输入保护电路。

Figure 97. 典型的呼吸电路

10.2.1.1 设计要求

Table 36 显示了Figure 97 中所示的组件设计要求。

Table 36. 呼吸设计要求

设计参数	值
调制频率	32kHz 或 64kHz
输入高通滤波器截止频率	≈ 68Hz
ADC 基准电压	2.4V
最大交流人体电流	100µA
最小电阻 $R_1 + R_2$	24kΩ

10.2.1.2 详细设计流程

要将 ADS129xR 配置为使用其内部调制电路，请设置 RESP 寄存器位 [6:7]，以启用内部调制和解调电路。RESP 寄存器位 [4:2] 决定解调阻塞信号的相位。要将器件配置为使用内部生成的信号进行内部呼吸测量，请将 RESP 寄存器位 [1:0] 配置为 10b。

当配置为使用内部电路时，RESP_MODP 和 RESP_MODN 引脚会产生 32kHz 或 64kHz 方波，具体取决于 CONFIG4 寄存器位 [7:5]。REP_MODP 和 RESP_MODN 引脚电压在指定频率的相反相位在 VREFP 和 VREFN 之间切换。

选择 R_1 和 R_2 时首先要识别该电路的理想行为。理想情况下，所有串联电容器都表现为对高频调制信号短路，并且电路中的任何位置都没有不理想的并联电容。Figure 98 显示了代表这些假设的等效电路。

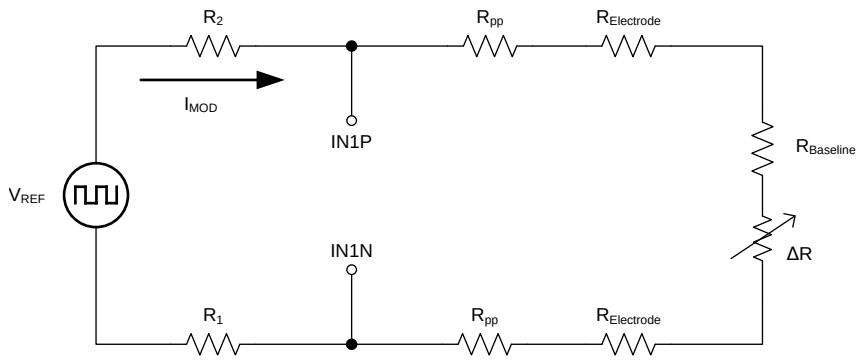


Figure 98. 呼吸调制电路的理想行为。

出现在通道 1 输入端的电压由电路中的电阻器形成的分压器设置。电阻器 R_{PP} 表示电缆中的任何患者保护电阻；$R_{Electrode}$ 表示电极与人体之间的界面电阻；$R_{Baseline}$ 表示基准人体阻抗；ΔR 是呼吸引起的胸阻抗变化。假设 R_1 和 R_2 明显大于电路中的所有其他电阻器，然后将 RESP_MOD 引脚近似看作具有幅度 I_{MOD}（根据Equation 9）的交流电流源的端子：

$$I_{MOD} \approx \frac{V_{REF}}{R_1 + R_2}$$

其中

- V_{REF} 是在 RESP_MOD 引脚上产生的振幅为 VREFP – VREFN 的方波。 (9)

根据 IEC60601，频率为 32kHz 的患者电流必须限制在 100µA 以下；该限制将最小值置于 R_1 和 R_2 的组合上。

为了获得最佳性能，ADS129xR 的输入必须交流耦合并偏置到中间电源。执行该功能的组件对应于Figure 97 中的 C1、C5、R3、R4、R5 和 R6。ECG 干扰可能会耦合到通道 1 中。由于这种可能性，建议使这些组件的高通滤波器截止频率足够大，从而使 ECG 带宽显著衰减。相反，如果将截止频率设置为较高的值，那么载波信号可能衰减。

出现在通道 1 输入端的信号由 PGA 放大，然后馈送到内部解调模块。解调块从输入中移除方波，仅留下由呼吸引起的对应于 ΔR 的极低频波形，以及由 R_{PP}、$R_{Electrode}$ 和 $R_{Baseline}$ 引起的偏移。Equation 10 描述了与人体阻抗变化相对应的调制器输出电压。

$$V_{RESP} = I_{MOD} \times \Delta R \times G_{PGA} \quad (10)$$

可通过使用由 ΔR 导致的 V_{RESP} 振荡周期来测量呼吸率。确保 V_{RESP} 的幅度始终大于 ADS129x 的无噪声分辨率。该幅度对 R_1 和 R_2 以及电缆阻抗 R_{PP} 的大小施加了上限，并要求电极与体之间的连接具有高质量。

寄生并联电容通常会使高频率衰减，来自 PGA 的输出受到放大器带宽的限制。结果是载波的方形边缘成为圆形。为了更正该错误，ADS129xR 允许配置 RESP 寄存器中的 RESP_PH[2:0] 位。这些位控制解调相位，该解调相位会在调制和解调时钟之间引入相位延迟，以消除由电路中的低通元件引入的延迟。

最佳相位选择取决于系统特性。由输入路径中的电阻和电缆电容引入的时间常数是影响最佳呼吸率测量所需的相位量的系统级特性的示例。

Figure 99 显示了呼吸测试电路。Figure 100 和Figure 101 绘制了扫描基准阻抗、增益和相位时 ADS129xR 的通道 1 上的噪声。x 轴是基准阻抗，标准化为 29µA 调制电流（请参阅Equation 11）。

Copyright © 2010–2015, Texas Instruments Incorporated

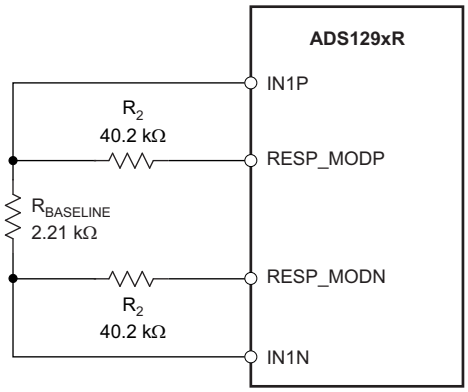


Figure 99. 呼吸噪声测试电路

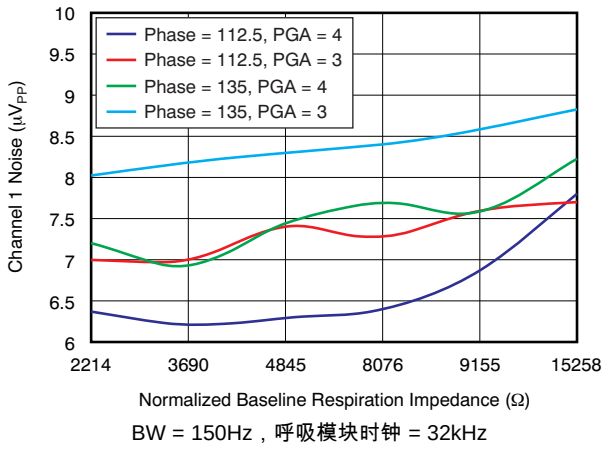


Figure 100. 通道 1 噪声与 32kHz 调制时钟和相位的阻抗间的关系

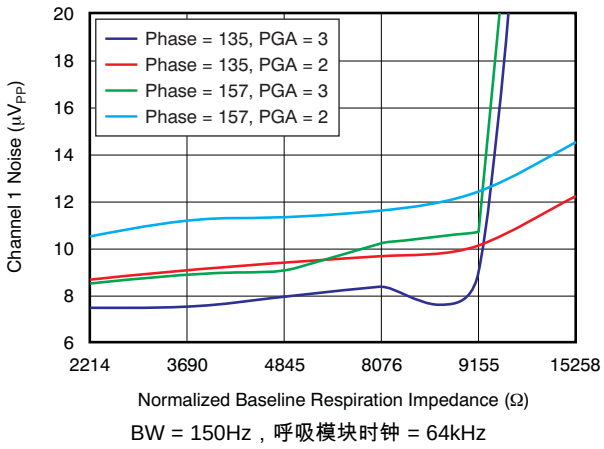


Figure 101. 通道 1 噪声与 64kHz 调制时钟和相位的阻抗间的关系

$$R_{NORMALIZED} = \frac{R_{ACTUAL} \times I_{ACTUAL}}{29\mu A} \tag{11}$$

其中

- R_{ACTUAL} 是基准人体阻抗。
- I_{ACTUAL} 是调制电流，通过由 (VREFP – VREFN) 除以调制电路的阻抗计算得出。

例如，假设：

- 调制频率 = 32kHz
- R_{ACTUAL} = 3kΩ
- I_{ACTUAL} = 50µA
- $R_{NORMALIZED}$ = (3kΩ × 50µA)/29µA = 5.1kΩ

参阅Figure 100 和Figure 101 可知，在 6.4µV_{PP} 下，增益 = 4 和相位 = 112.5° 可实现最佳性能。使用高阶 2Hz 截止频率对此信号进行低通滤波可将噪声降低至 600nV_{PP} 以下。阻抗分辨率是 600nV_{PP}/29µA = 20mΩ。当调制频率为 32kHz 时，使用增益 3 和 4 以及相位 112.5° 和 135°，以实现最佳性能。当调制频率为 64kHz 时，使用增益 2 和 3 以及相位 135° 和 157°，以实现最佳性能。

10.2.1.3 应用曲线

Figure 102 显示了使用 Fluke medSim 300b 通过 ADS1298RECGFE-PDK 获取的呼吸数据。然后对数据进行低通滤波，以使目标频带之外的噪声衰减。调制频率
32kHz 与 PGA 增益 3 和 RESP_PH 设置 112.5° 一起使用。

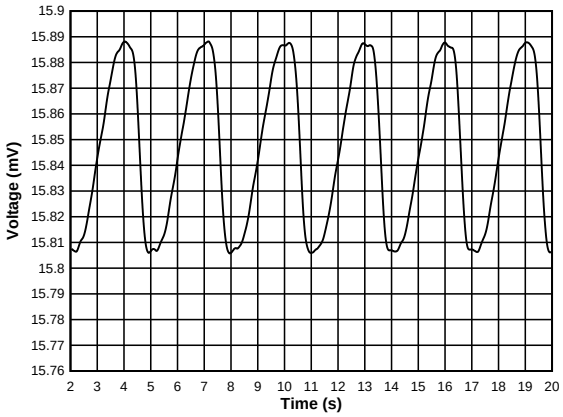


Figure 102. 使用 ADS1298R 获得的呼吸阻抗

Copyright © 2010–2015, Texas Instruments Incorporated

10.2.2 使用 ADS129x 上的 PACEOUT 引脚进行基于软件的人工起搏器检测

由人工起搏器产生的电脉冲用于调节心脏的跳动，并且在其他生物电势信号量表上测量时具有非常小的持续时间（宽度）。根据 AAMI EC11 中列出的标准，医疗仪器必须能够捕获持续时间窄至 0.5ms 的起搏器脉冲。ADS129x 能够以 32kSPS 的速率捕获数据；理想情况下，该速率足以捕获最窄的脉冲。不过，ADS129x 上的数据速率设置是所有通道的全局设置。使用 ADS129x 以足够快的速度对输入通道进行数字化，以便进行稳定可靠的起搏器检测，这意味着所有通道必须尽快转换；可能不合需要的条件。

替代拓扑是使用 ADS129x 内部起搏信号缓冲器将任何特定通道输入的单端版本向外路由到快速采样 SAR ADC，以单独对检测通道信号进行数字化。然后在数字域中执行起搏器脉冲检测。有关该架构的基本方框图，请参阅 Figure 103。示例 采用 了 OPA320 和 ADS7042 的组合。OPA320 用于驱动 ADS7042 的输入采样结构，但提供了必然的灵活性，可在起搏信号输出数字化之前添加另一个增益级和有源抗混叠滤波。

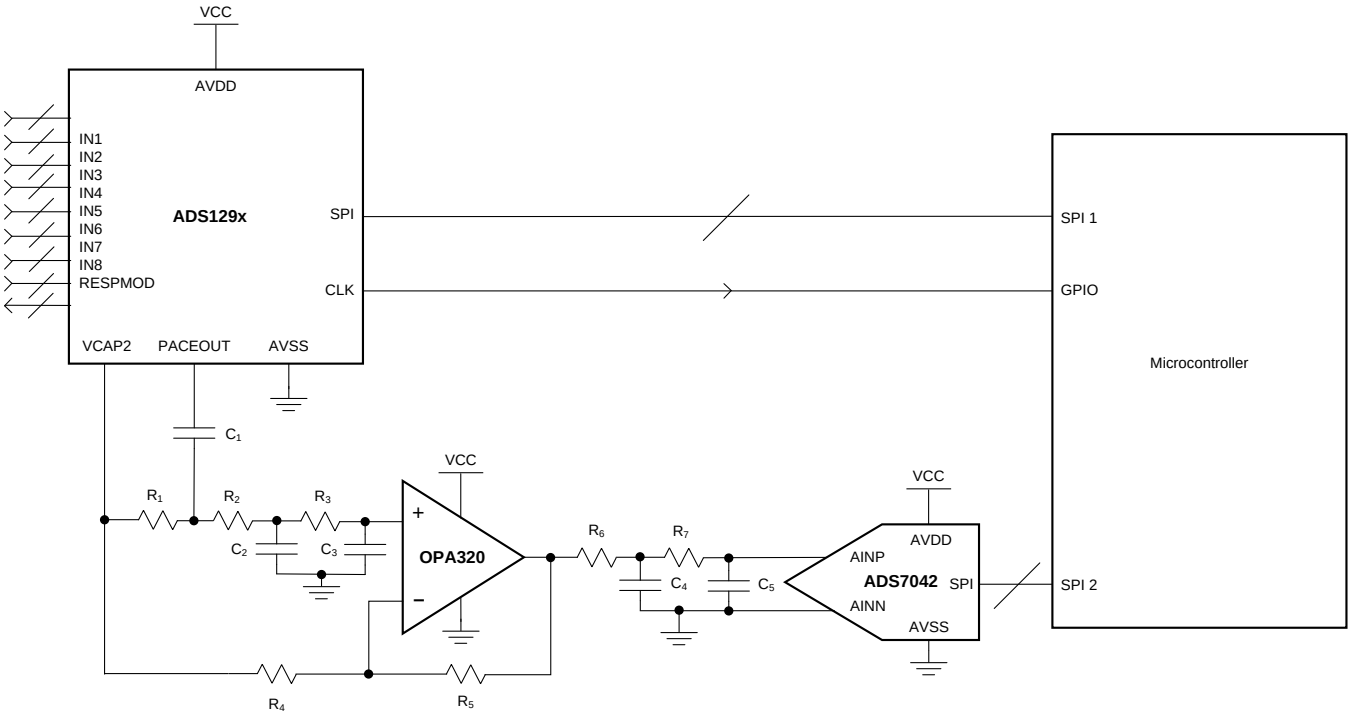


Figure 103. 软件起搏器检测拓扑的方框图

10.2.2.1 设计要求

Table 37 显示了Figure 103 中所示的组件设计要求。

Table 37. 软件起搏信号设计要求

设计参数	值
模拟电源电压	3.3V
最小起搏器信号带宽	0.5ms
最小起搏器信号振幅	2mV
反馈网络 $R_4 + R_5$（非单位增益）	≈ 100kΩ

10.2.2.2 详细设计流程

ADS129x 上的起搏信号放大器提供差分到单端的转换，任何电压的 0.4V/V 振幅会显示在用于路由起搏信号放大器的通道 PGA 的输出端。选择将哪些通道路由到起搏信号放大器是在 ADS129x 的起搏信号检测寄存器中执行的。显示在起搏信号放大器输出端的电压将相对于模拟中间电源得出。

在 ADS7042 转换信号之前，信号必须由高速运算放大器进行缓冲，因为 ADS7042 的输入代表开关电容器类型的负载。由于低输入偏置电流和 20MHz 单位增益带宽，OPA320 非常适用于执行该功能。运算放大器还可以灵活地在 SAR ADC 之前提供额外的增益级，隔离滤波器级或提供简单的缓冲。C_1 和 R_1 的作用是提供与起搏器检测信号的交流耦合。这种耦合可能是必要的，因为电极偏移和起搏器脉冲在某些情况下都可能高达几百毫伏。

需要使用主动驱动的信号接地将运算放大器的直流偏置设置在中间电源。可以使用在 ADS129x 上的 VCAP2 上提供的电压作为经缓冲的中间电源电压。VCAP2 引脚上的电压可能有噪声，但使用它来驱动运算放大器的反相和同相输入的共模电压会导致运算放大器显著地消除该噪声，因为它是两个输入所共用的。

运算放大器反馈电阻器 R_4 和 R_5 设置 OPA320 的增益。该配置的传递函数是Equation 12 中所示的同相运算放大器配置的传递函数。

$$v_o = v_i(1+\frac{R_3}{R_2}) \tag{12}$$

选择了电阻器 R_4 和 R_5 来设置所需的增益。串联组合约为 100kΩ，因此反馈电流均限制在 ADS129x VCAP2 内部稳压器驱动强度范围内，并且电阻器的约翰逊-奈奎斯特噪声仍然可以忽略不计。

如果 OPA320 仅用作缓冲器，则移除 R_4 以提供单位增益。如果不需要交流耦合，为了获得最佳性能，应使用 0Ω 电阻器代替 C_1 并取消装配 R_1。

包含 R_2、C_2、R_3、C_3、R_6、C_4、R_7 和 C_5 的 RC 网络形成了 SAR ADC 的隔离式双极 RC 抗混叠滤波器。该滤波器的元件值设置为在 ADC 采样频率下提供显著的衰减，但仍提供足够的带宽来检测起搏器脉冲。大于 2kHz 的带宽足以捕获 0.5ms 的窄起搏器脉冲。

在实时系统中，必须通过每个传入样本为起搏器收集和分析数据。对通过 ADS7042 收集的数据进行数字滤波，以消除带外噪声。与 Δ-Σ 转换器不同，SAR 转换器在将数据发送到主机之前不会对数据应用过滤器。有许多因素推动了数字滤波器实施决策。其中一些因素包括响应的陡度、相位线性度和抽头数量。将此采用 ADS129xR 器件的拓扑与呼吸测量电路同时使用时，请特别注意消除呼吸调制电路产生的噪声。

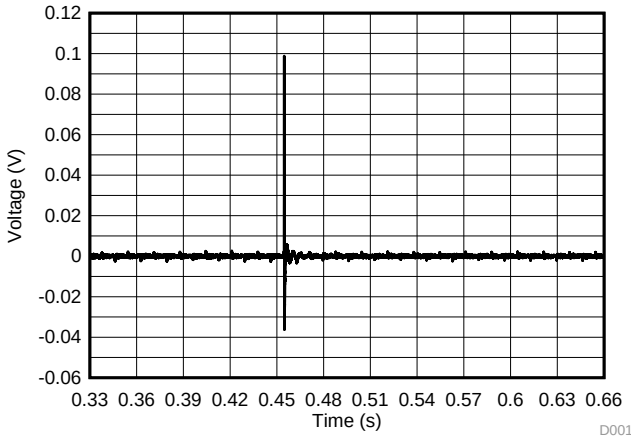
检测起搏器脉冲的关键是检测输入电压的急剧转变。要测量输入电压转换的幅度，请应用数字微分器算法。该算法测量跨几个样本的电压幅度变化，并将该变化与触发检测所需的阈值进行比较。以下伪代码举例说明了使用该拓扑时所需的一些处理步骤：

```
newDataPoint = collectFromADS7042( );            // Collect data from the ADS7042
                                                 // Apply combined low-pass filter and differentiator
inputRateOfChange = LPFandDifferentiator( newDataPoint );
if( abs( inputRateOfChange ) > thresholdValue )  // Check if a quick edge occurred
{
pacemakerFlag = true;                            // Edge detected
}
```


Copyright © 2010–2015, Texas Instruments Incorporated

10.2.2.3 应用曲线

Figure 104 显示了通过 ADS1298R 的 PACEOUT 引脚（使用 OPA320 和 ADS7042）进行收集，然后进行滤波的数据。可以清楚地识别起搏器脉冲。



注意：为了便于说明，未实时处理绘图数据。由于该特定的配置中缺少屏蔽，因此还对数据进行了高通滤波以使效用噪声。

Figure 104. 针对起搏器脉冲的经滤波的 ADS7042 输出数据

11 电源建议

ADS129x 具有三个电源：AVDD、AVDD1 和 DVDD。为了获得最佳性能，AVDD 和 AVDD1 的噪声必须尽可能低。AVDD1 为电荷泵模块提供电源，并具有频率为 f_{CLK} 的瞬变。因此，应以星型方式将 AVDD1 和 AVSS1 连接到 AVDD 和 AVSS。消除来自 AVDD 和 AVDD1（与 ADS129x 的运行不同步）的噪声非常重要。使用 1μF 和 0.1μF 固态陶瓷电容器旁路每个 ADS129x 电源。为了获得最佳性能，请将数字电路（DSP、微控制器、FPGA 等）放置到系统中，以使这些器件上的返回电流不会穿过 ADS129x 的模拟返回路径。使用单极或双极电源为 ADS129x 供电。

使用表面贴装、低成本、薄型、多层陶瓷型电容器进行去耦。在大多数情况下，VCAP1 电容器也是多层陶瓷；但是，在电路板受到高频或低频振动的系统中，应安装非铁电电容器，如钽电容器或 1 类电容器（C0G 或 NPO）。EIA 2 类和 3 类电介质（如 X7R、X5R、X8R 等）是铁电型的。这些电容器的压电特性可以表现为来自电容器的电噪声。使用内部基准时，VCAP1 节点上的噪声会导致性能下降。

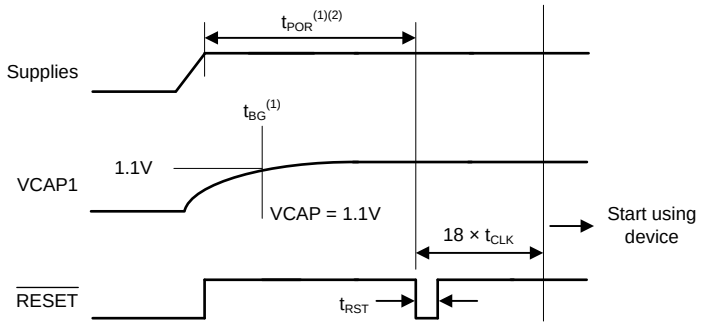
11.1 上电排序

在器件上电之前，所有数字和模拟输入必须处于低电平。上电时，将所有这些信号保持在低电平，直到电源稳定为止，如Figure 105 所示。

留出时间让电源电压达到其最终值，然后开始向 CLK 引脚提供主时钟信号。等待时间 t_{POR}，然后使用 $\overline{RESET}$ 引脚或 RESET 命令发送复位脉冲，以初始化芯片的数字部分。在 t_{POR} 之后或 VCAP1 电压大于 1.1V 之后（以较长的时间为准）发出复位命令。注意：

- Table 38 中介绍了 t_{POR}。
- VCAP1 引脚充电时间由 RC 时间常数设置；请参阅Figure 31。

释放 $\overline{RESET}$ 引脚后，对配置寄存器进行编程；有关详细信息，请参阅 *CONFIG1：配置寄存器 1（地址 = 01h）（复位 = 06h）*部分。Table 38 中显示了上电序列时序。



(1) 复位脉冲的时间是 t_{POR} 或 t_{BG} 之后，以较长的时间为准。
(2) 使用外部时钟时，t_{POR} 计时在 CLK 有效后才会启动。

Figure 105. 上电时序图

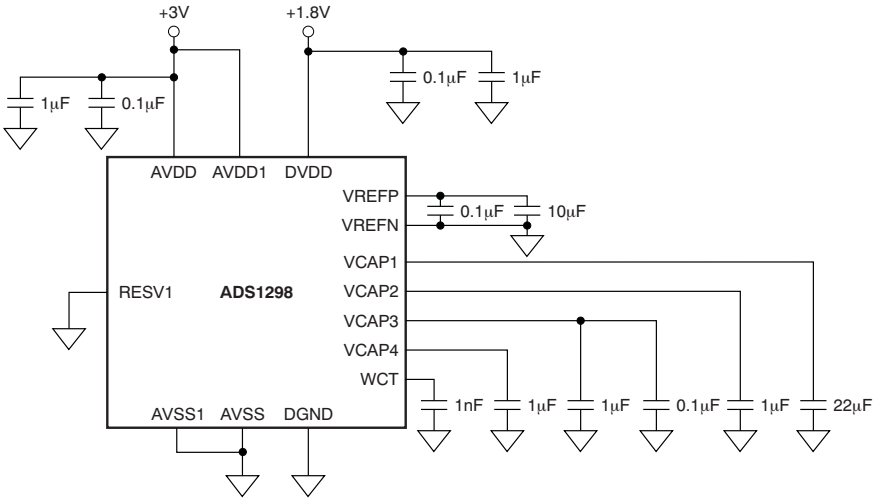
Table 38. Figure 105 的时序要求

		最小值	最大值	单位
t_{POR}	在上电后等待，直到复位	2^{18}		t_{CLK}
t_{RST}	复位处于低电平的持续时间	2		t_{CLK}

Copyright © 2010–2015, Texas Instruments Incorporated

11.2 连接到单极（3V 或 1.8V）电源

Figure 106 说明了连接到单极电源的 ADS129x。在该示例中，模拟电源 (AVDD) 以模拟接地 (AVSS) 为基准，数字电源 (DVDD) 以数字接地 (DGND) 为基准。

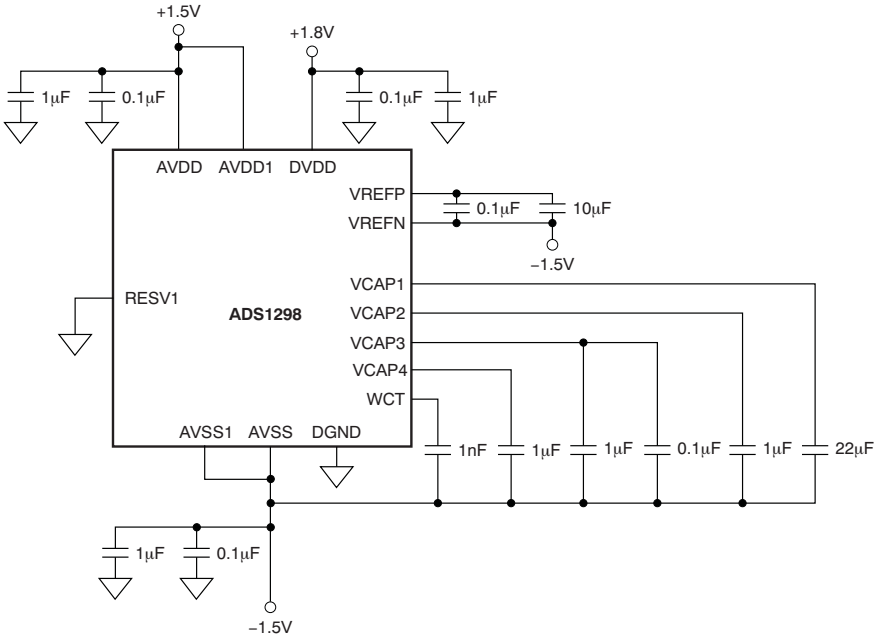


注意：应将电源、基准、WCT 和 VCAP1 至 VCAP4 的电容器尽可能靠近封装放置。

Figure 106. 单电源供电

11.3 连接到双极（±1.5V 或 ±1.8V）电源

Figure 107 说明了连接到双极电源的 ADS129x。在该示例中，模拟电源连接到器件模拟电源 (AVDD)。该电源以器件模拟回路 (AVSS) 为基准，数字电源 (DVDD) 以器件数字接地回路 (DGND) 为基准。



注意：应将电源、基准、WCT 和 VCAP1 至 VCAP4 的电容器尽可能靠近封装放置。

Figure 107. 双极电源供电

12 布局

12.1 布局指南

针对接地使用低阻抗连接，以便返回电流不受干扰地流回到各自的源。为了获得最佳性能，请将一个完整的 PCB 层专用于接地平面，在该层上不路由任何其他信号迹线。保持与接地平面的连接尽可能短且直。使用通孔连接到接地层时，请使用多个平行的通孔，以减少接地阻抗。

混合信号布局有时包含在一个位置连接在一起的独立模拟和数字接地平面；但是，当正确放置模拟、数字和电源组件后，不需要分离接地平面。正确放置元件可将模拟、数字和电源电路划分为不同的 PCB 区域，以防止数字返回电流耦合到敏感的模拟电路中。如果需要进行接地平面分离，则在 ADC 处进行连接。在多个位置连接各个接地层会产生接地环路，因此不建议这样做。模拟和数字的单个接地平面可避免接地环路。

使用低 ESR 陶瓷电容器旁路电源引脚。必须使用短且直的迹线将旁路电容器尽可能靠近电源引脚放置。为获得最佳性能，旁路电容器的接地侧连接也必须是低阻抗连接。电源电流首先流过旁路电容器引脚，然后流到电源引脚，使旁路最有效（也称为开尔文连接）。如果多个 ADC 位于同一 PCB 上，请使用宽电源迹线或专用的电源平面，以最大限度地降低 ADC 之间发生串扰的可能性。

如果将外部滤波用于模拟输入，请尽可能使用 C0G 型陶瓷电容器。C0G 电容器具有稳定的特性和低噪声特性。理想情况下，将差分信号路由成多个对，以最大程度地减小迹线之间的环路面积。路由数字电路迹线（如时钟信号）时使其远离所有模拟引脚。请注意，内部基准输出回路与 AVSS 电源共用相同的引脚。为了最大限度地减少电源迹线和基准回路迹线之间的耦合，请分别路由两条迹线；理想情况下，在 AVSS 引脚处采用星型连接。

必须在模拟输入线上进行短且直的互连，并避免杂散布线电容，尤其是在模拟输入引脚和 AVSS 之间。这些模拟输入引脚具有高阻抗，对外部噪声非常敏感。将 AVSS 引脚视为敏感的模拟信号，并通过适当的屏蔽直接连接到电源接地。如果未实现屏蔽，PCB 迹线之间的泄漏电流可能会超过 ADS129x 的输入偏置电流。尽可能使数字信号远离 PCB 上的模拟输入信号。

串行接口的 SCLK 输入应该没有噪声和干扰，这一点很重要。即使采用相对慢的 SCLK 频率，短数字信号上升和下降时间也可能导致过度振铃和噪声。为了获得最佳性能，请根据需要使用终端电阻器来保持数字信号迹线短路，并确保所有数字信号都直接在接地平面上方路由，而使用最少的通孔。

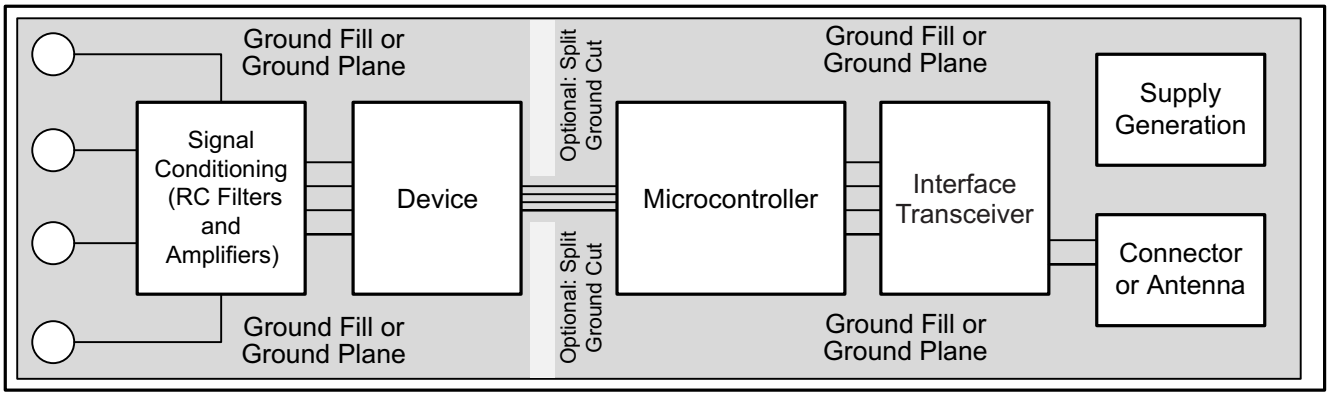


Figure 108. 系统组件放置

12.2 布局示例

Figure 109 是 ADS129x 的示例布局，需要至少两个 PCB 层。显示的示例电路适用于单个模拟电源或双极电源连接。在该示例中，多边形覆铜用作器件周围的电源连接。如果使用三层或四层 PCB，则额外的内层可专用于路由电源迹线。该 PCB 分为从左侧路由的模拟信号、路由到右侧的数字信号以及在器件上方和下方路由的电源。

Copyright © 2010–2015, Texas Instruments Incorporated

布局示例 (continued)

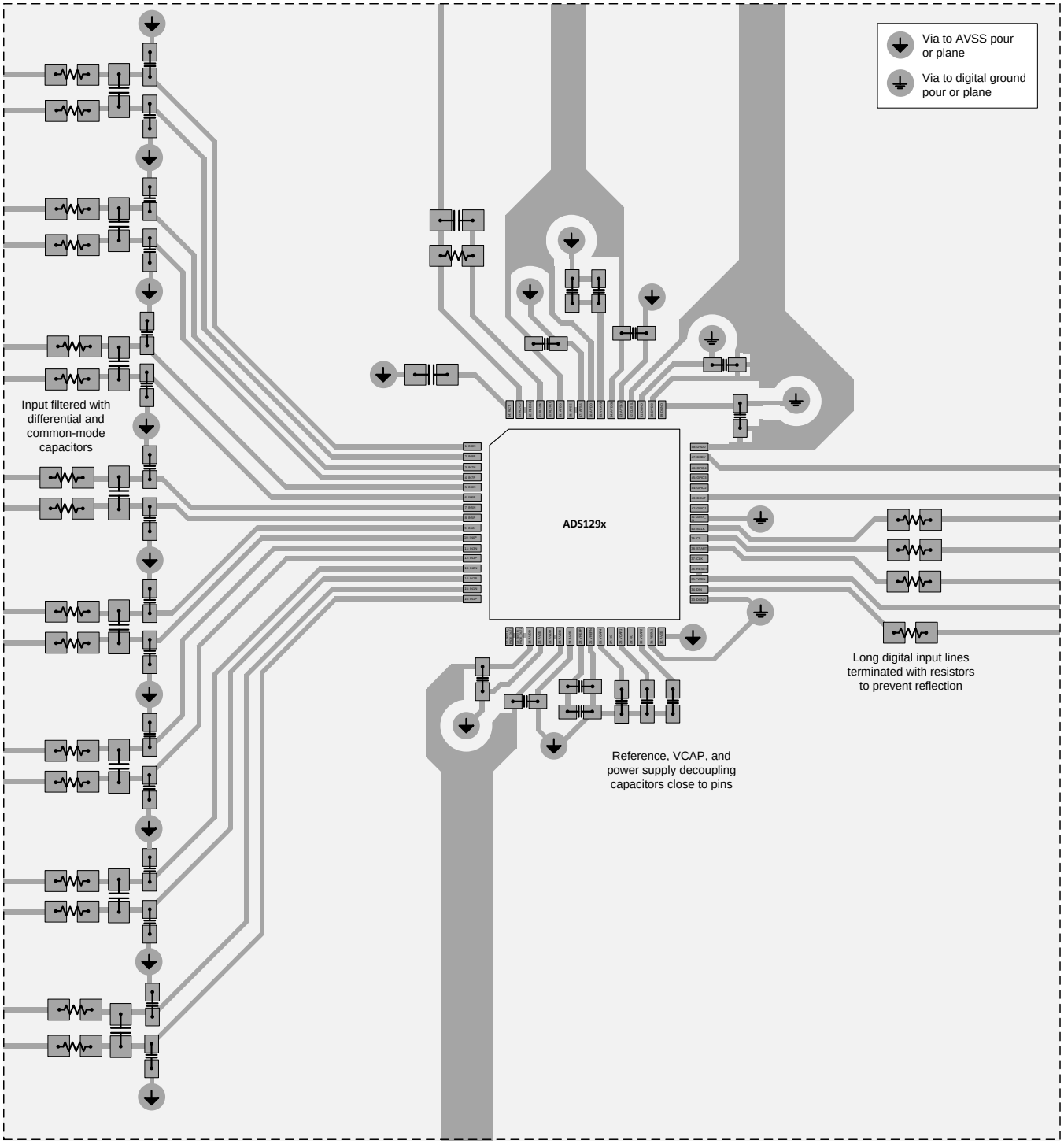


Figure 109. ADS129x 布局示例

13 器件和文档支持

13.1 相关链接

表 39 列出了快速访问链接。类别包括技术文档、支持与社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 **39.** 相关链接

器件	产品文件夹	样片与购买	技术文档	工具与软件	支持和社区
ADS1294	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
ADS1294R	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
ADS1296	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
ADS1296R	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
ADS1298	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
ADS1298R	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

13.2 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。***此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 ***TI 参考设计支持*** 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

13.3 商标

E2E is a trademark of Texas Instruments.
SPI is a trademark of Motorola Inc.
All other trademarks are the property of their respective owners.

13.4 静电放电警告

这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

13.5 术语表

SLYZ022 — *TI 术语表*。

这份术语表列出并解释术语、缩写和定义。

14 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

版权 © 2010–2015, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
ADS1294CZXGR	ACTIVE	NFBGA	ZXG	64	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	0 to 70	ADS1294	Samples
ADS1294CZXGT	ACTIVE	NFBGA	ZXG	64	250	RoHS & Green	SNAGCU	Level-3-260C-168 HR	0 to 70	ADS1294	Samples
ADS1294IPAG	ACTIVE	TQFP	PAG	64	160	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	ADS1294	Samples
ADS1294IPAGR	ACTIVE	TQFP	PAG	64	1500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	ADS1294	Samples
ADS1294RIZXGR	ACTIVE	NFBGA	ZXG	64	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	ADS1294R	Samples
ADS1294RIZXGT	ACTIVE	NFBGA	ZXG	64	250	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	ADS1294R	Samples
ADS1296CZXGR	ACTIVE	NFBGA	ZXG	64	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	0 to 70	ADS1296	Samples
ADS1296CZXGT	ACTIVE	NFBGA	ZXG	64	250	RoHS & Green	SNAGCU	Level-3-260C-168 HR	0 to 70	ADS1296	Samples
ADS1296IPAG	ACTIVE	TQFP	PAG	64	160	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	ADS1296	Samples
ADS1296IPAGR	ACTIVE	TQFP	PAG	64	1500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	ADS1296	Samples
ADS1296RIZXGR	ACTIVE	NFBGA	ZXG	64	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	ADS1296R	Samples
ADS1296RIZXGT	ACTIVE	NFBGA	ZXG	64	250	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	ADS1296R	Samples
ADS1298CZXGR	ACTIVE	NFBGA	ZXG	64	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	0 to 70	ADS1298	Samples
ADS1298CZXGT	ACTIVE	NFBGA	ZXG	64	250	RoHS & Green	SNAGCU	Level-3-260C-168 HR	0 to 70	ADS1298	Samples
ADS1298IPAG	ACTIVE	TQFP	PAG	64	160	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	ADS1298	Samples
ADS1298IPAGR	ACTIVE	TQFP	PAG	64	1500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	ADS1298	Samples
ADS1298RIZXGR	ACTIVE	NFBGA	ZXG	64	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	ADS1298R	Samples
ADS1298RIZXGT	ACTIVE	NFBGA	ZXG	64	250	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	ADS1298R	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

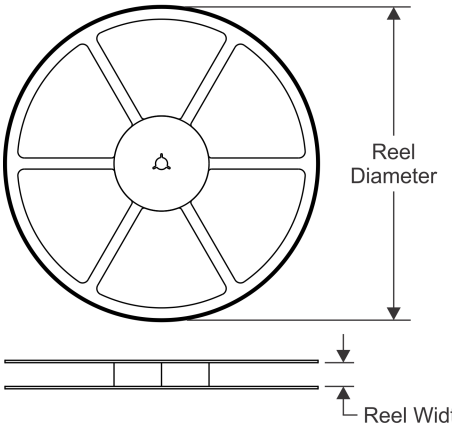
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

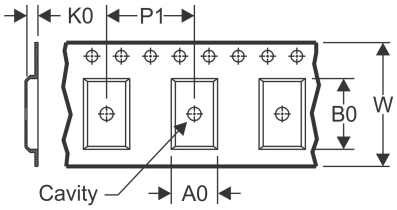
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

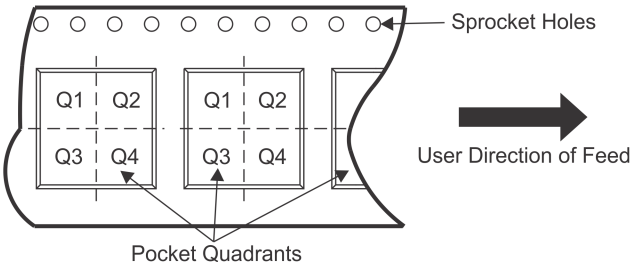


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

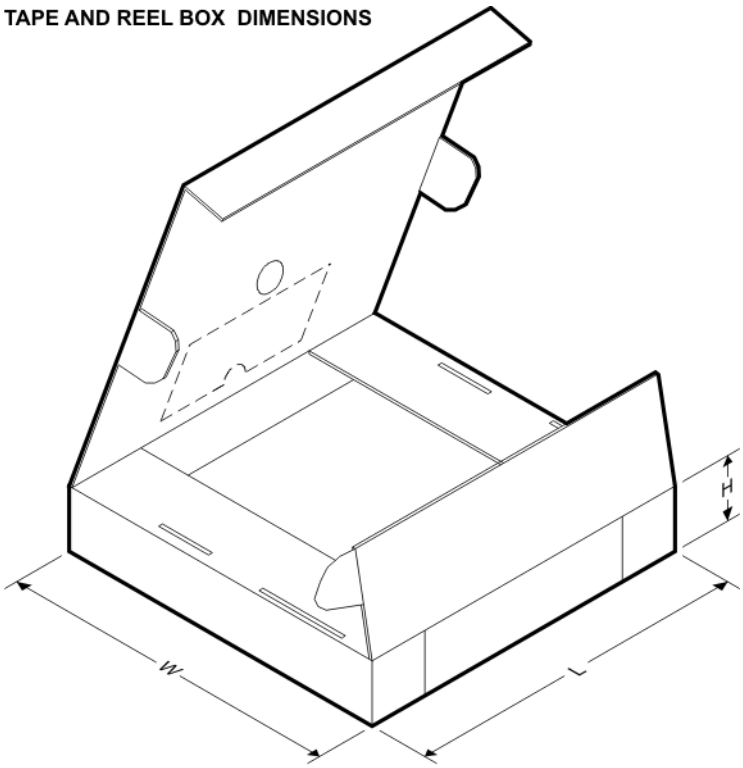
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS1294CZXGR	NFBGA	ZXG	64	1000	330.0	16.4	8.3	8.3	2.25	12.0	16.0	Q1
ADS1294RIZXGR	NFBGA	ZXG	64	1000	330.0	16.4	8.3	8.3	2.25	12.0	16.0	Q1
ADS1296CZXGR	NFBGA	ZXG	64	1000	330.0	16.4	8.3	8.3	2.25	12.0	16.0	Q1
ADS1296RIZXGR	NFBGA	ZXG	64	1000	330.0	16.4	8.3	8.3	2.25	12.0	16.0	Q1
ADS1298CZXGR	NFBGA	ZXG	64	1000	330.0	16.4	8.3	8.3	2.25	12.0	16.0	Q1
ADS1298RIZXGR	NFBGA	ZXG	64	1000	330.0	16.4	8.3	8.3	2.25	12.0	16.0	Q1

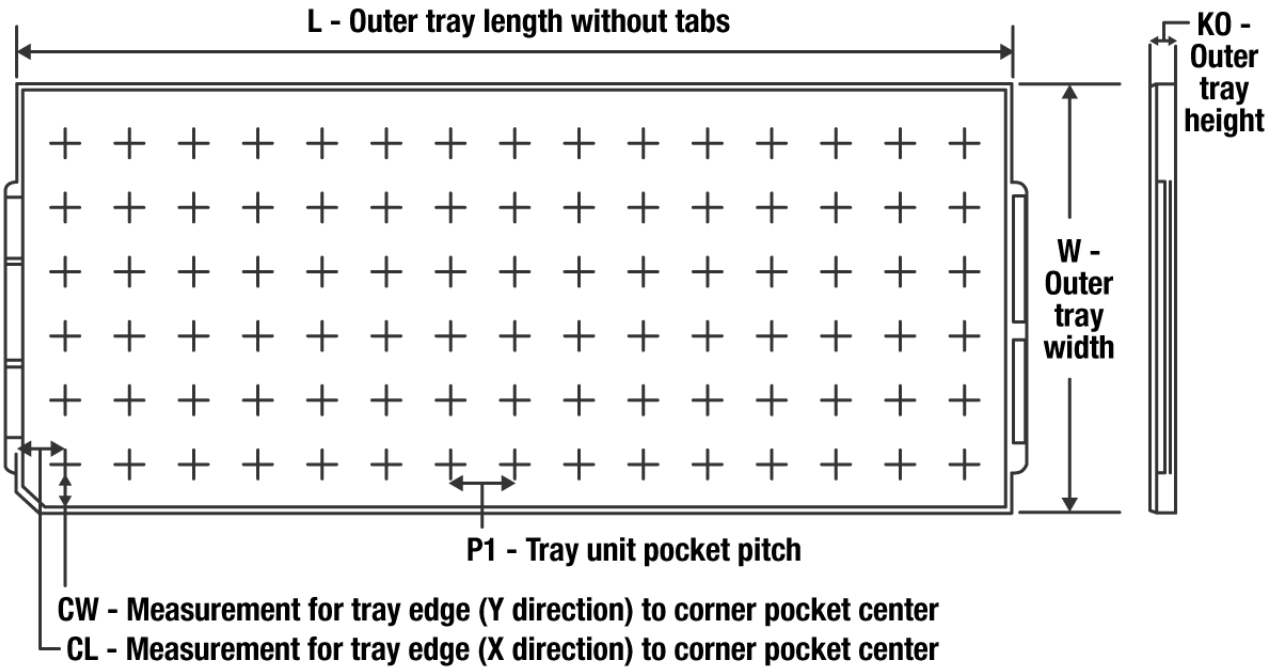
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS1294CZXGR	NFBGA	ZXG	64	1000	350.0	350.0	43.0
ADS1294RIZXGR	NFBGA	ZXG	64	1000	350.0	350.0	43.0
ADS1296CZXGR	NFBGA	ZXG	64	1000	350.0	350.0	43.0
ADS1296RIZXGR	NFBGA	ZXG	64	1000	350.0	350.0	43.0
ADS1298CZXGR	NFBGA	ZXG	64	1000	350.0	350.0	43.0
ADS1298RIZXGR	NFBGA	ZXG	64	1000	350.0	350.0	43.0

TRAY

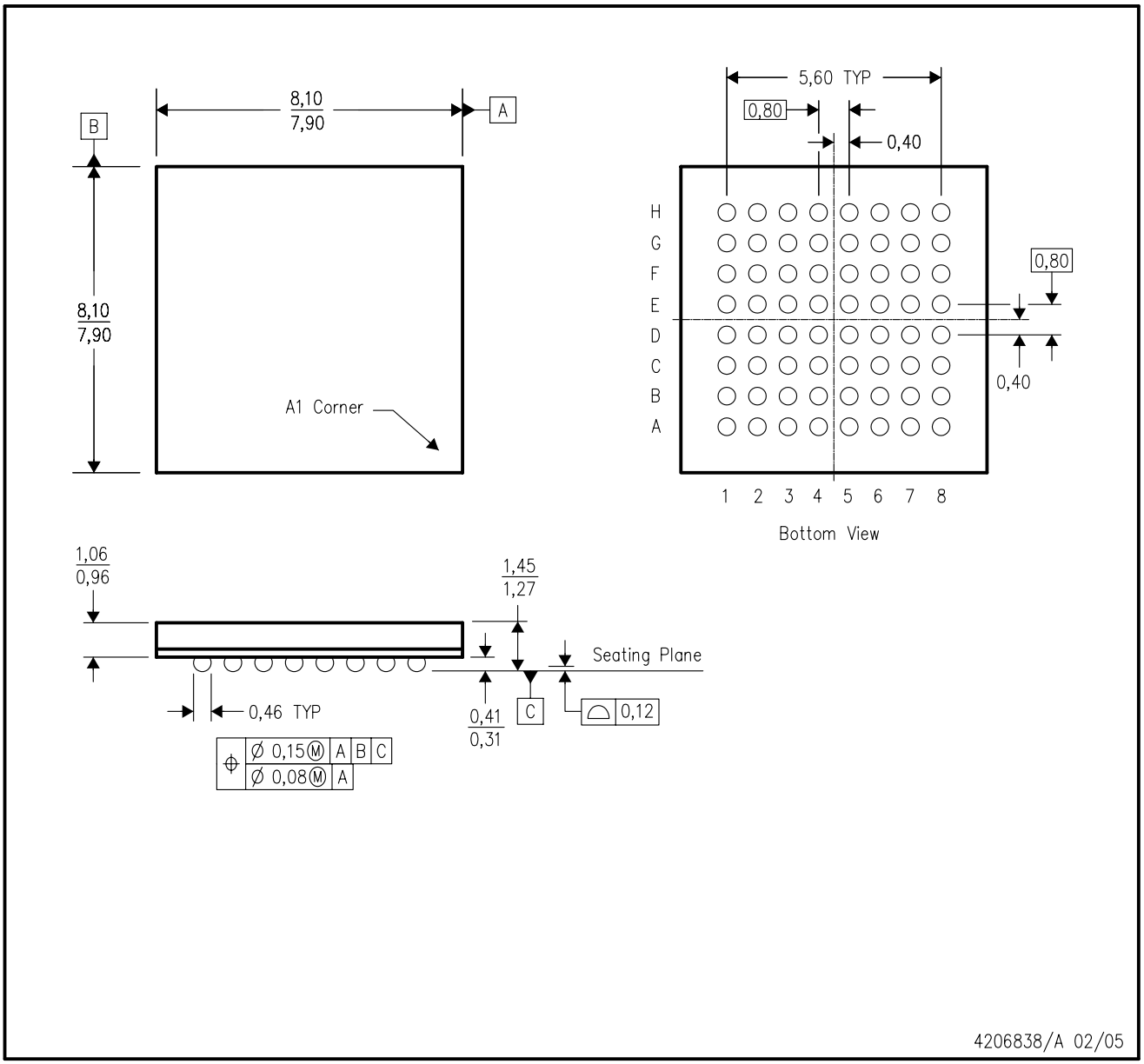


Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

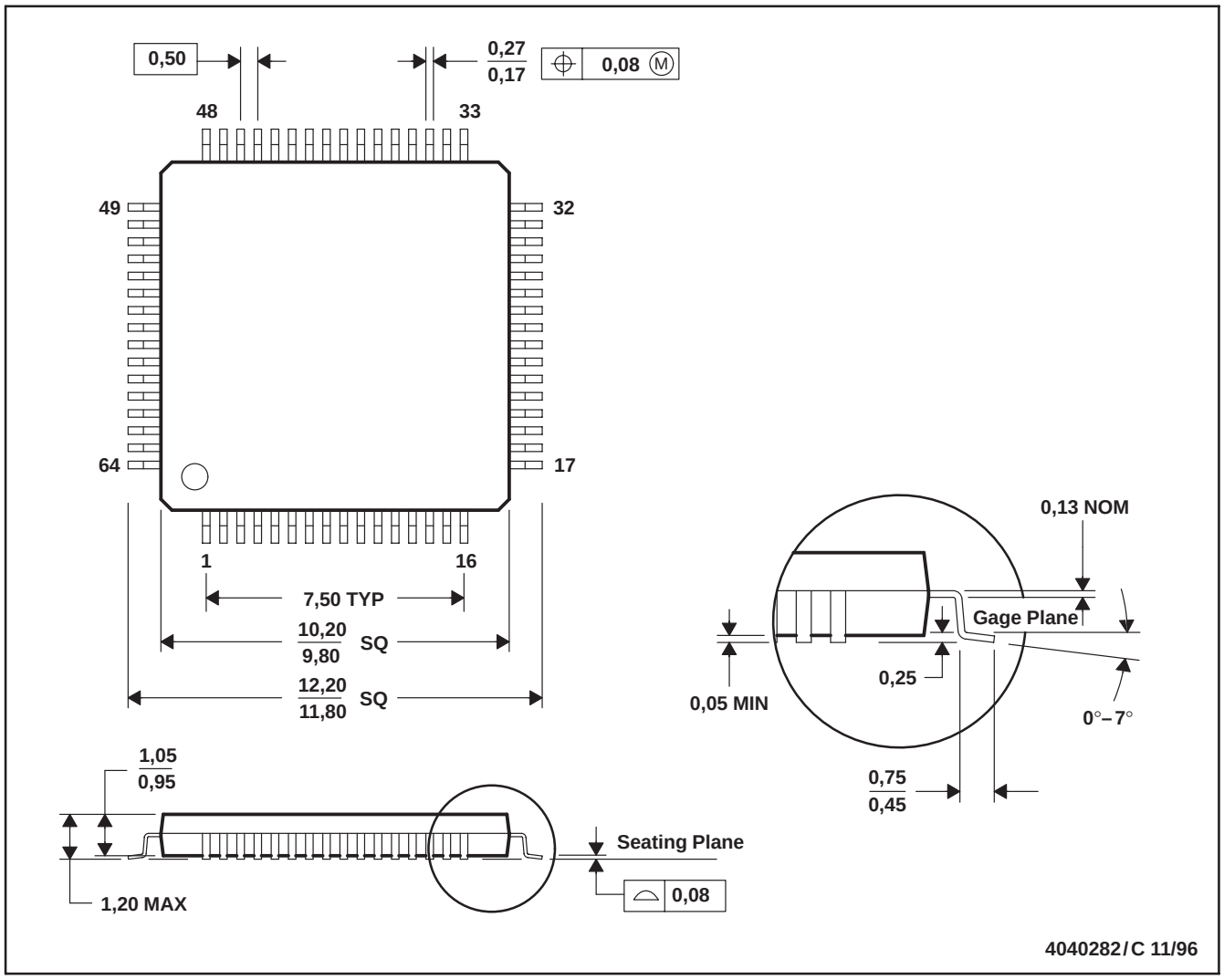
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
ADS1294IPAG	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
ADS1296IPAG	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
ADS1298IPAG	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13

ZXG (S–PBGA–N64) PLASTIC BALL GRID ARRAY



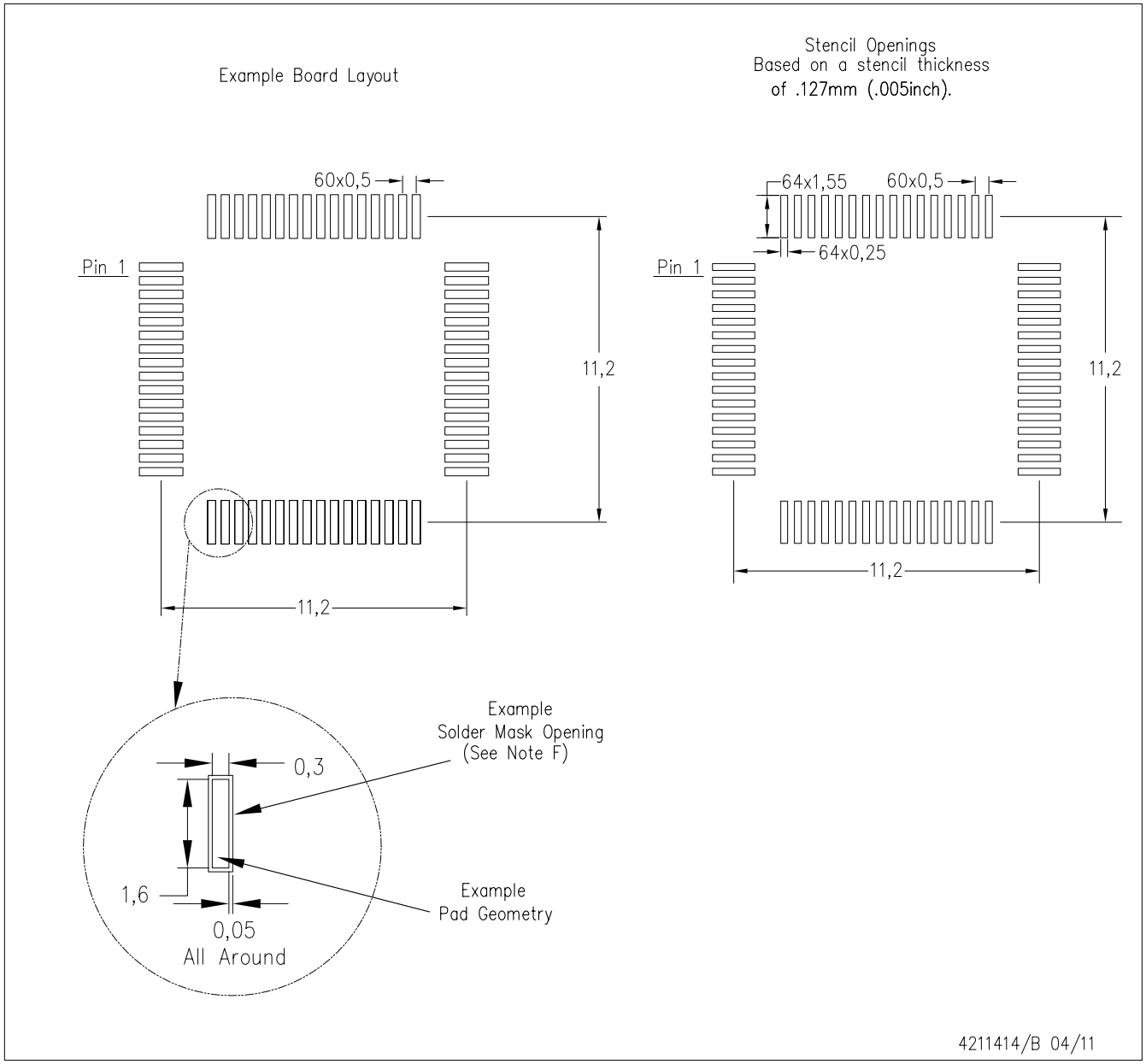
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. This package is lead–free.

PAG (S-PQFP-G64) **PLASTIC QUAD FLATPACK**



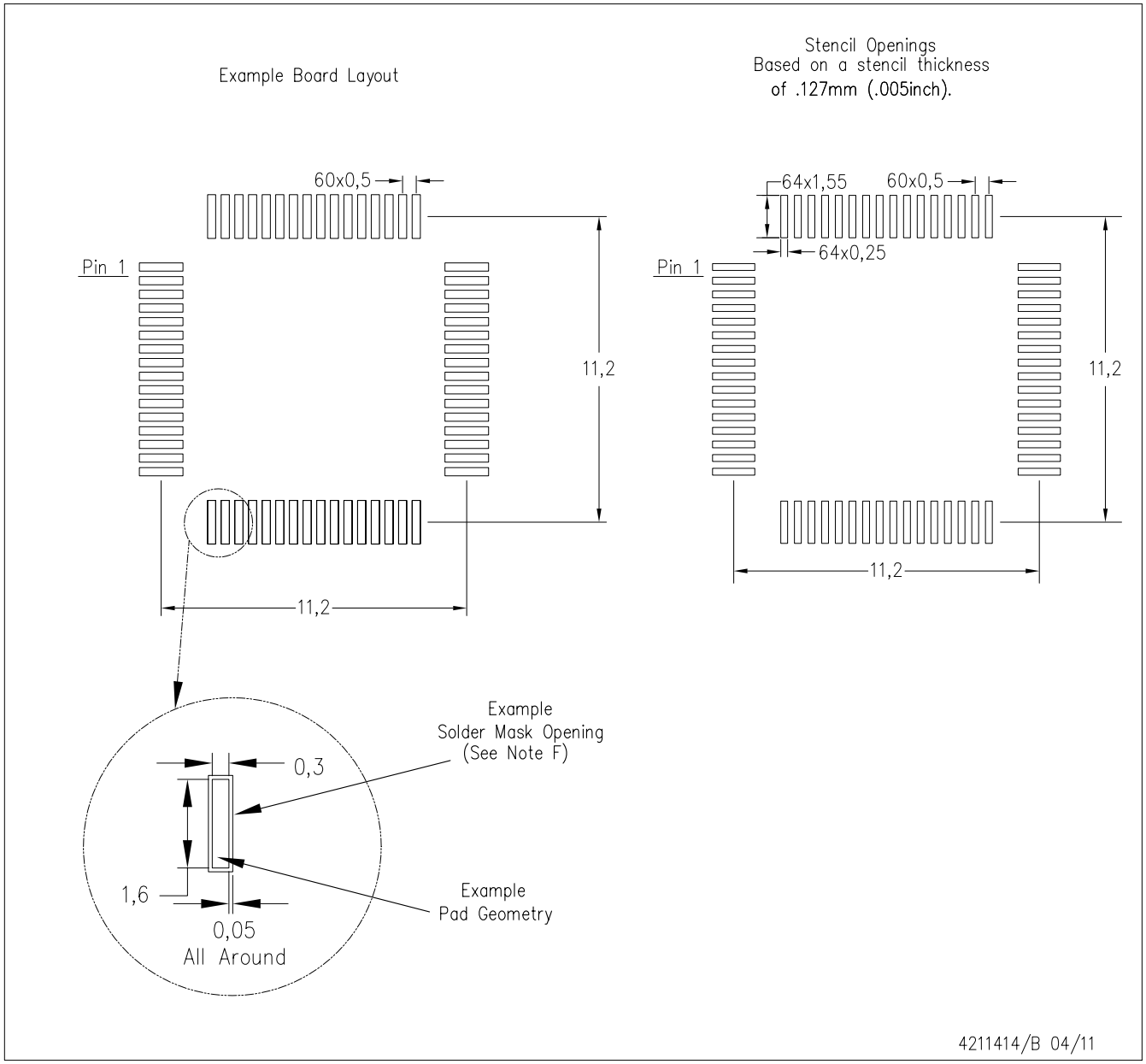
NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS-026

PAG (S–PQFP–G64) PLASTIC QUAD FLATPACK



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC–7525 for other stencil recommendations.
D. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PAG (S–PQFP–G64) PLASTIC QUAD FLATPACK



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC–7525 for other stencil recommendations.
D. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2022，德州仪器 (TI) 公司