

OPA207 低功率、高精度、低噪声、轨至轨输出运算放大器

1 特性

- 超低失调电压：150 μ V（最大值）
- 超低温漂： $\pm 1\mu$ V/ $^{\circ}$ C（最大值）
- 增益带宽：1MHz（典型值）
- 压摆率：3.6V/ μ s（典型值）
- 高开环增益：130dB（最小值）
- 高共模抑制：115dB（最小值）
- 高电源抑制比：5 μ V/V（最大值）
- 低偏置电流：2.8nA（最大值）
- 宽电源电压范围： ± 2.25 V 至 ± 18 V
- 低静态电流：375 μ A（最大值）
- OP-07、OP-77 和 OP-177 的升级换代设计

2 应用

- 工厂自动化与控制 - 模拟 I/O
- 测试和测量 - 电池测试仪
- 数据采集 - 传感器放大器
- 桥式放大器
- 温度测量
- 应变仪放大器
- 电池供电的仪器

3 说明

OPA207 精密运算放大器取代了业界标准的 OP-07、OP-77 和 OP-177 放大器。OPA207 的噪音更小，输出电压摆幅更宽，速度增加一倍，但静态电流是当前业界标准同类产品的一半。特性 包括超低的输入失调电压和温漂、低输入偏置电流、高共模抑制比以及高电源抑制比。

OPA207 运算放大器可在 ± 2.25 V 至 ± 18 V 的宽电源电压范围内运行，同时提供出色性能。在放大器的摆幅接近其额定限值时，仍可保持高性能。

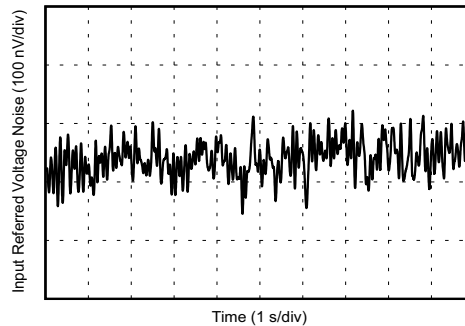
OPA207 运算放大器易于使用，而且不存在其他某些运算放大器中会出现的反相和过载问题。OPA207 运算放大器是单位增益稳定型放大器，且可在宽负载条件下提供出色的动态行为。

器件信息⁽¹⁾

器件型号	封装	封装尺寸（标称值）
OPA207	SOIC (8)	4.90mm $\times$ 3.91mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

0.1Hz 至 10Hz 超低噪声



目录

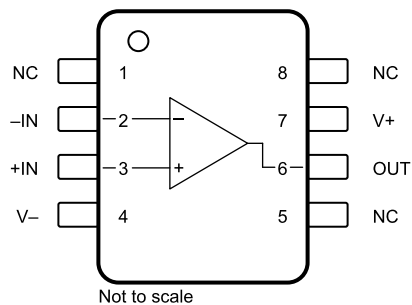
1	特性	1	8	应用和实现	19
2	应用	1	8.1	应用信息	19
3	说明	1	8.2	典型应用	19
4	修订历史记录	2	8.3	其他 应用	20
5	引脚配置和功能	3	9	电源建议	22
6	规格	4	10	布局	22
6.1	绝对最大额定值	4	10.1	布局指南	22
6.2	ESD 额定值	4	10.2	布局示例	23
6.3	建议运行条件	4	11	器件和文档支持	24
6.4	热性能信息	4	11.1	器件支持	24
6.5	电气特性	5	11.2	文档支持	24
6.6	典型特性	7	11.3	接收文档更新通知	24
7	详细 说明	13	11.4	社区资源	24
7.1	概述	13	11.5	商标	25
7.2	功能框图	13	11.6	静电放电警告	25
7.3	特性 说明	13	12	机械、封装和可订购信息	25
7.4	器件功能模式	18			

4 修订历史记录

日期	修订版本	说明
2017 年 12 月	*	初始发行版

5 引脚配置和功能

**D 封装
8 引脚 SOIC
俯视图**



SOT-23 的

引脚		I/O	说明
编号	名称		
1	NC	—	无内部连接 (可以悬空或接地)
2	-In	I	反相输入
3	+In	I	同相输入
4	V-	—	负电源 (最低)
5	NC	—	无内部连接 (可以悬空或接地)
6	OUT	O	Output
7	V+	—	正电源 (最高)
8	NC	—	无内部连接 (可以悬空或接地)

6 规格

6.1 绝对最大额定值

在自然通风温度范围内测得（除非另有说明）⁽¹⁾

	最小值	最大值	单位
电源电压, $V_S = (V^+) - (V^-)$		36	V
输入电压 - 共模 ⁽²⁾	(V-) -0.7	(V+) +0.7	V
输入电压 - 差分	-1	1	V
输出短路 ⁽³⁾	持续		
工作温度	-55	125	°C
额定温度范围	-40	125	°C
结温		150	°C
贮存温度, T_{stg}	-65	150	°C

(1) 应力超出绝对最大额定值下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是极端条件下的应力额定值，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 必须将输入电流限制为 10mA。

(3) 接地短路，每个封装一个放大器。

6.2 ESD 额定值

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	2000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	1000	

(1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风温度范围内测得（除非另有说明）

	最小值	标称值	最大值	单位
电源电压, $V_S = (V^+) - (V^-)$	4.5 (± 2.25)	30 (± 15)	36 (± 18)	V
额定温度范围	-40		+125	°C

6.4 热性能信息

热指标 ⁽¹⁾		OPA207	单位
		D (SOIC)	
		8 引脚	
$R_{\theta JA}$	结至环境热阻	121.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	64.3	°C/W
$R_{\theta JB}$	结至电路板热阻	65.0	°C/W
Ψ_{JT}	结至顶部特征参数	18.2	°C/W
Ψ_{JB}	结至电路板特征参数	64.3	°C/W

(1) 有关传统热指标和新热指标的更多信息，请参阅应用报告《[半导体和 IC 封装热指标](#)》。

6.5 电气特性

在 $V_S = \pm 15V$, $T_A = 25^\circ C$, $R_L = 2k\Omega$ (连接到 $V_S/2$, $V_{CM} = V_S/2$ 且 $V_{OUT} = V_S/2$ 的条件下测得 (除非另有说明) 。

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V _{OS}	输入失调电压			15	±100	μV
		T _A = −40°C 至 85°C			±150	μV
		T _A = −40°C 至 125°C			±200	μV
dV _{OS} /dT	输入失调电压漂移	T _A = −40°C 至 85°C		±0.2	±0.8	μV/°C
		T _A = −40°C 至 125°C		±0.2	±0.8	μV/°C
PSRR	输入失调电压与电源间的关系	V _S = ±2.25V 至 ±18V		±0.5	±3	μV/V
		V _S = ±2.25V 至 ±18V , T _A = −40°C 至 +85°C			±4.2	μV/V
		V _S = ±2.25V 至 ±18V , T _A = −40°C 至 125°C			±5	μV/V
输入偏置电流						
I _B	输入偏置电流			±0.2	±1.5	nA
		T _A = −40°C 至 85°C			±2	nA
		T _A = −40°C 至 125°C			±7	nA
I _{OS}	输入失调电流			±0.13	±1.5	nA
		T _A = −40°C 至 85°C			±2	nA
		T _A = −40°C 至 125°C			±7	nA
噪声						
	输入电压噪声	f = 0.1Hz 至 10Hz		0.16		μV _{PP}
				0.024		μV _{RMS}
e _N	输入电压噪声密度	f = 1Hz		9.5		nV/√Hz
		f = 10Hz		7.5		
		f = 100Hz		7.5		
		f = 1kHz		7.5		
i _N	输入电流噪声	f = 1kHz		0.18		pA/√Hz
输入电压范围						
V _{CM}	共模电压范围		(V−) + 1.25		(V+) − 1.25	V
CMRR	共模抑制比	(V−) + 1.25V < V _{CM} < (V+) − 1.25V	120	140		dB
		(V−) + 1.25V < V _{CM} < (V+) − 1.25V , T _A = −40°C 至 125°C	115	140		dB
输入电容						
Z _{ID}	差分			3 14		MΩ pF
Z _{ICM}	共模			1 1		GΩ pF
开环增益						
A _{OL}	开环电压增益	(V−) + 200mV < V _O < (V+) − 200mV , R _L = 10kΩ		130	140	dB
			T _A = −40°C 至 125°C		126	
		(V−) + 200mV < V _O < (V+) − 200 mV , R _L = 2kΩ		120	140	dB
			T _A = −40°C 至 125°C		114	

电气特性 (continued)

在 $V_S = \pm 15V$, $T_A = 25^\circ C$, $R_L = 2k\Omega$ (连接到 $V_S/2$, $V_{CM} = V_S/2$ 且 $V_{OUT} = V_S/2$ 的条件下测得 (除非另有说明) 。

参数	测试条件	最小值	典型值	最大值	单位
频率响应					
GBW	增益带宽积		1.3		MHz
SR	压摆率	10V 阶跃, $G = 1$	2.7		V/ μs
t_S	建立时间	到 0.1%, 10V 阶跃, $G = 1$	4.8		μs
		到 0.01%, 10V 阶跃, $G = 1$	5.4		μs
		到 0.001%, 10V 阶跃, $G = 1$	8.1		μs
	过载恢复时间	$V_{IN} \times \text{增益} > V_S$	1.1		μs
	总谐波失真 + 噪声 (THD+N)	$V_O = 3V_{RMS}$, $G = 1$, $f = 1kHz$, $R_L = 10k\Omega$	-114		dB
输出					
相对于电源轨的电压输出摆幅	$T_A = 25^\circ C$, 空载		15	30	mV
	$T_A = 25^\circ C$, $R_L = 10k\Omega$		40	50	mV
	$T_A = 25^\circ C$, $R_L = 2k\Omega$		80	125	mV
	$T_A = -40^\circ C$ 至 $125^\circ C$, $R_L = 10k\Omega$		75	200	mV
I_{SC}	灌电流		-40		mA
	源电流		40		mA
C_{LOAD}	容性负载驱动		200		pf
R_O	开环输出阻抗	$f = 1MHz$	45		Ω
电源					
V_S	额定电压范围	单电源	4.5	36	V
		双电源	± 2.25	± 18	V
I_Q	每个放大器的静态电流	$I_O = 0A$	350	375	μA
		$I_O = 0A$, $T_A = -40^\circ C$ 至 $125^\circ C$		450	μA
	导通时间	$T_A = 25^\circ C$, $V_S = 36V$, V_S 斜坡速率 $> 0.3V/\mu s$	27		μs
温度					
	额定温度范围		-40	125	$^\circ C$
	工作范围		-40	150	$^\circ C$

6.6 典型特性

$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, 且 $R_L = 2\text{k}\Omega$ (除非另有说明)。

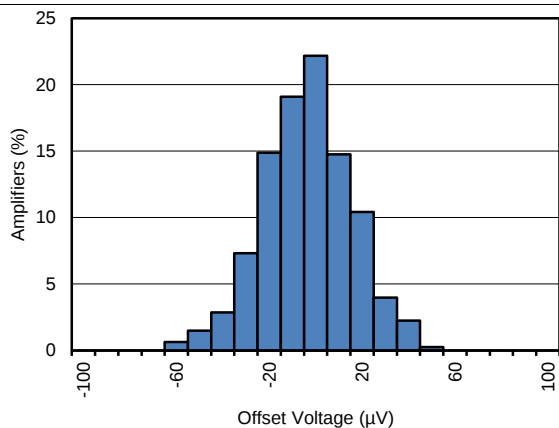


图 1. 输入参考偏移电压分布

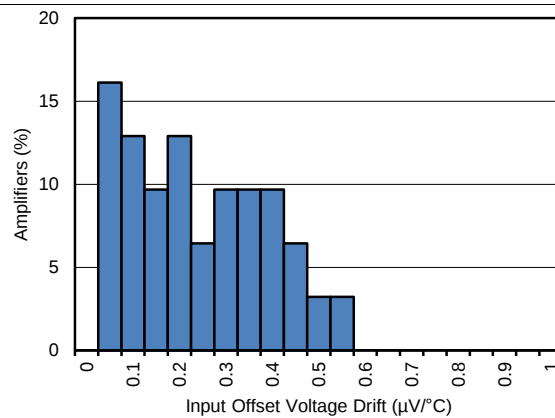


图 2. 输入参考偏移电压漂移分布

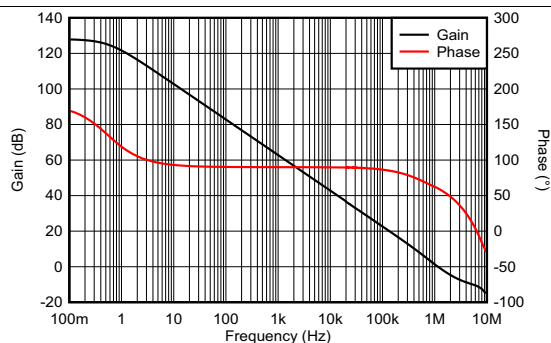


图 3. 开环增益和相位与频率间的关系

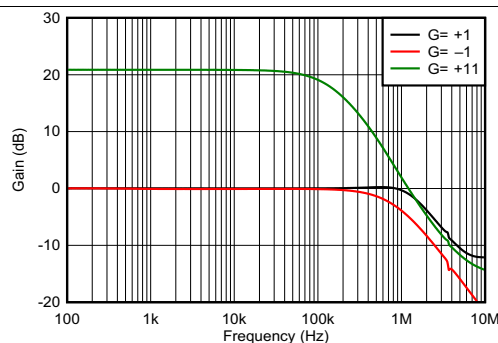


图 4. 闭环增益与频率间的关系

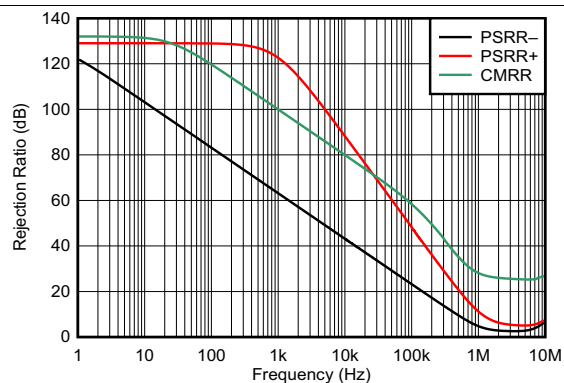


图 5. 电源抑制比和共模抑制比与频率间的关系

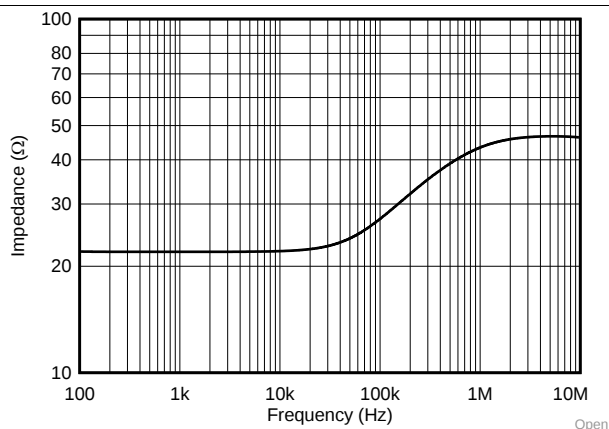


图 6. 开环输出阻抗与频率间的关系

典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, 且 $R_L = 2\text{k}\Omega$ (除非另有说明)。

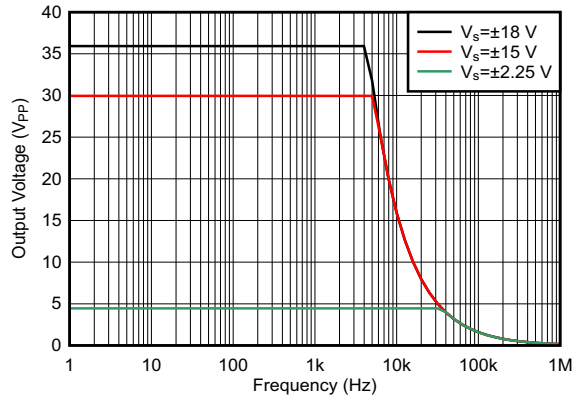


图 7. 全功率带宽

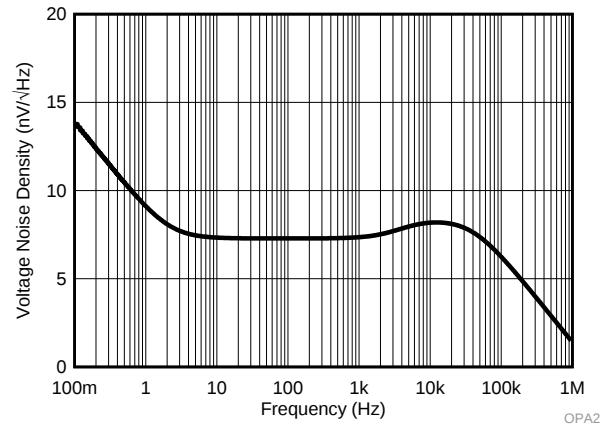


图 8. 输入电压噪声频谱密度与频率间的关系

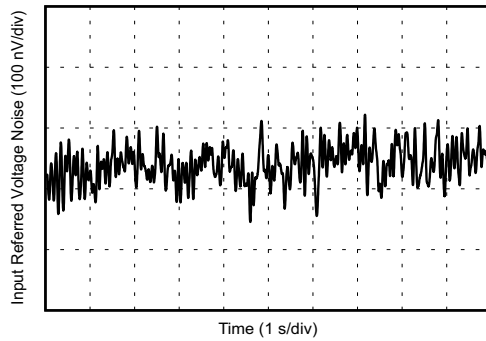


图 9. 0.1Hz 至 10Hz 噪声电压

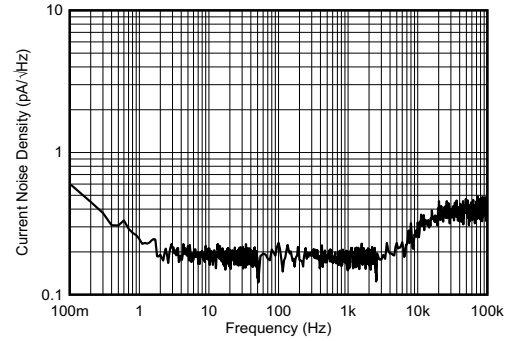


图 10. 输入电流噪声与频率间的关系

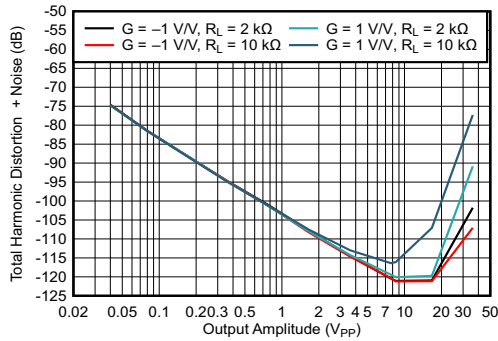
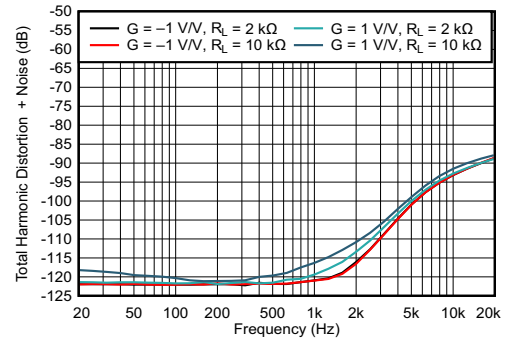


图 11. 总谐波失真 + 噪声与输出振幅间的关系



$$V_{OUT} = 3V_{RMS}$$

图 12. 总谐波失真 + 噪声与频率间的关系

典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, 且 $R_L = 2\text{k}\Omega$ (除非另有说明)。

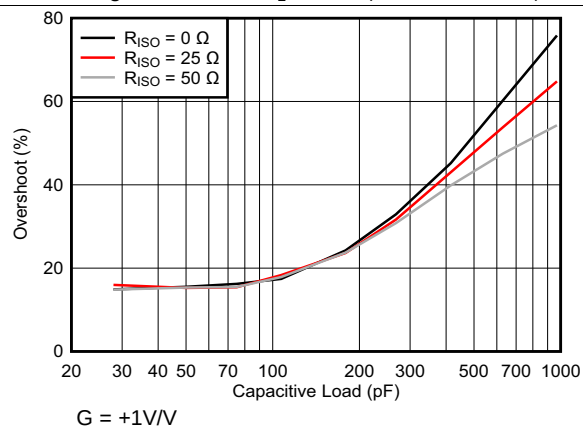


图 13. 过冲与电容负载间的关系

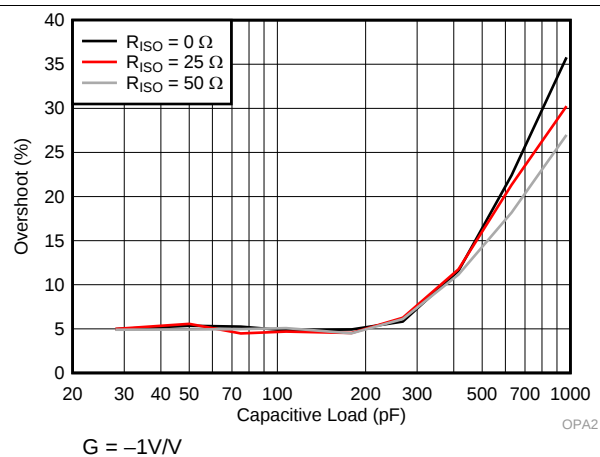


图 14. 过冲与电容负载间的关系

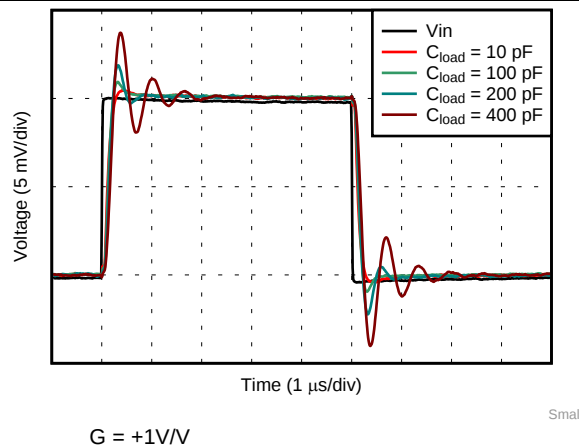


图 15. 小信号阶跃响应

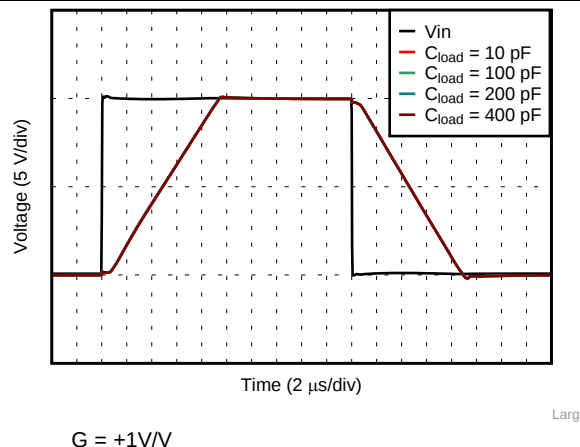


图 16. 大信号阶跃响应

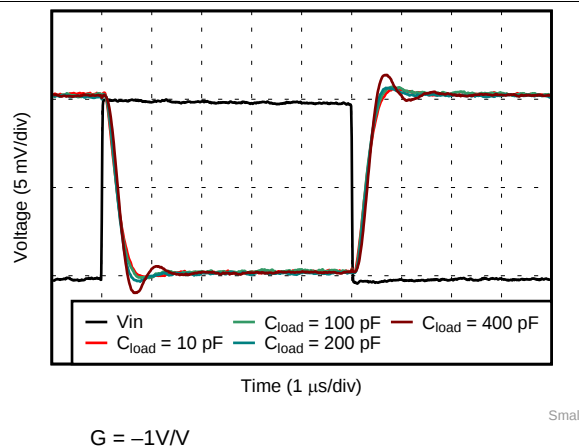


图 17. 小信号阶跃响应

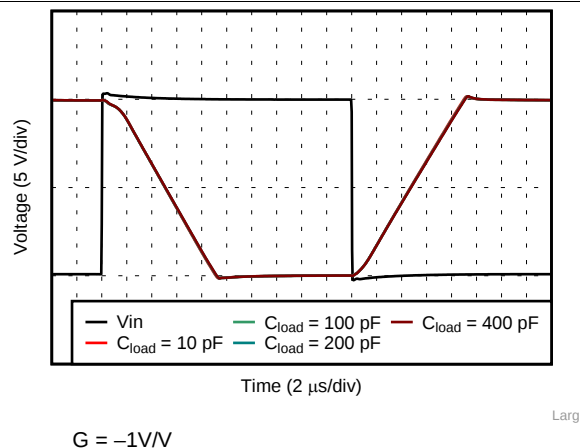


图 18. 大信号阶跃响应

典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, 且 $R_L = 2\text{k}\Omega$ (除非另有说明)。

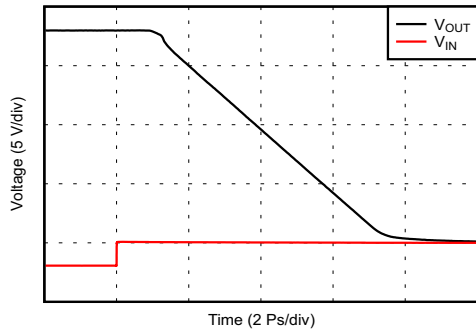


图 19. 正过载恢复

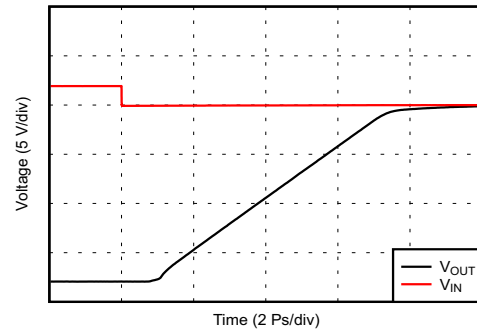


图 20. 负过载恢复

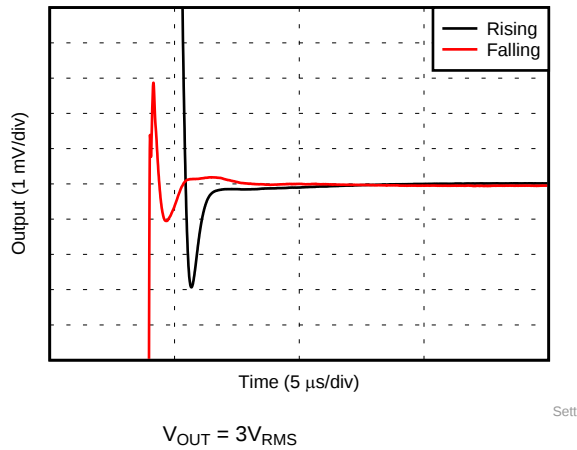


图 21. 趋稳时间

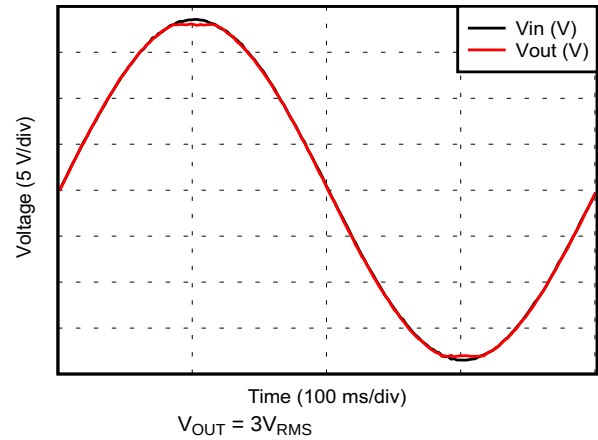


图 22. 无相位反转

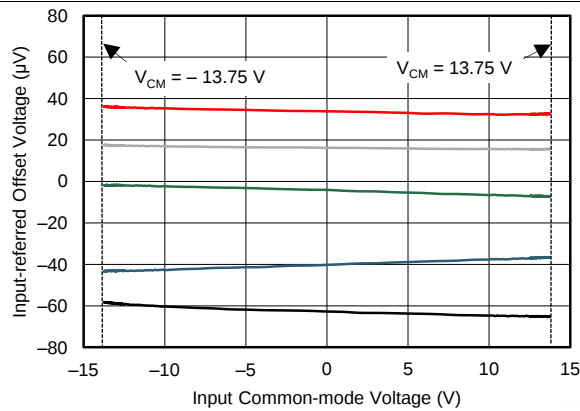


图 23. 输入偏移电压与输入共模电压间的关系

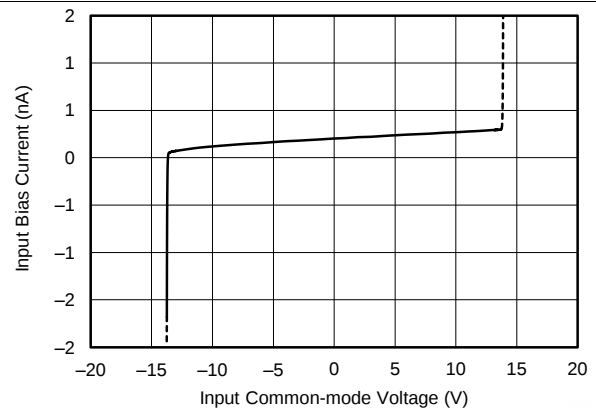


图 24. 输入偏置电流与输入共模电压间的关系

典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, 且 $R_L = 2\text{k}\Omega$ (除非另有说明)。

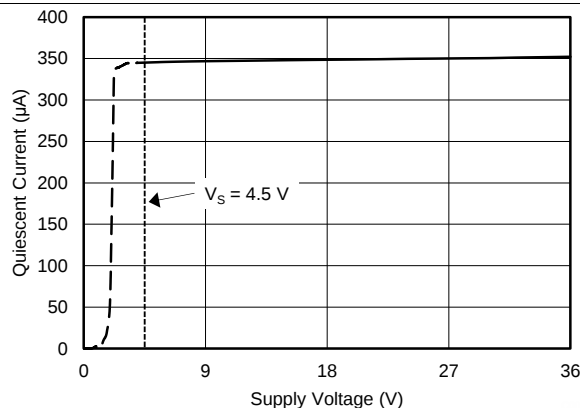


图 25. 静态电流与电源电压间的关系

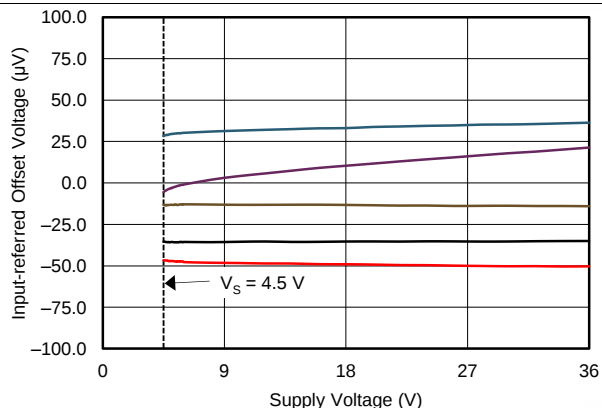


图 26. 输入偏移电压与电源电压间的关系

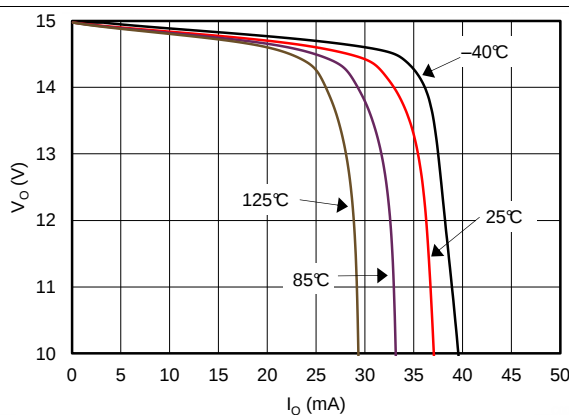


图 27. 输出电压与输出电流 (拉电流) 间的关系

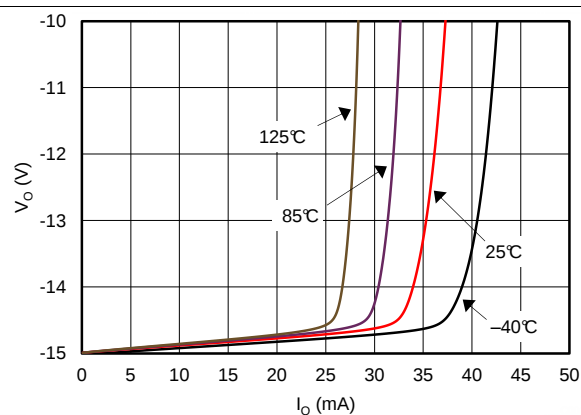


图 28. 输出电压与输出电流 (灌电流) 间的关系

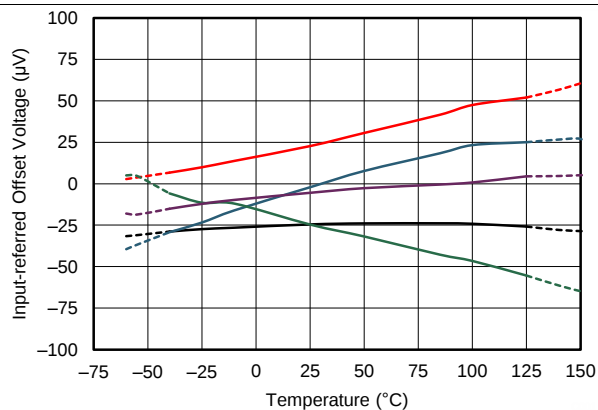


图 29. 输入偏移电压与温度间的关系

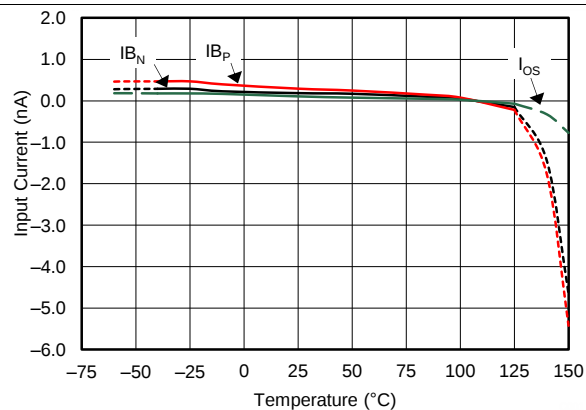


图 30. 输入偏置电流与温度间的关系

典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, 且 $R_L = 2\text{k}\Omega$ (除非另有说明)。

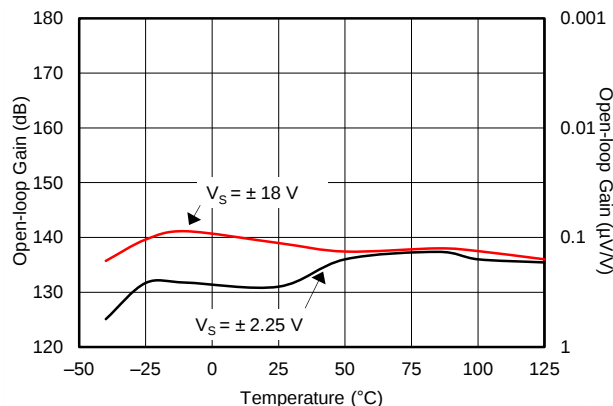


图 31. 开环增益与温度间的关系

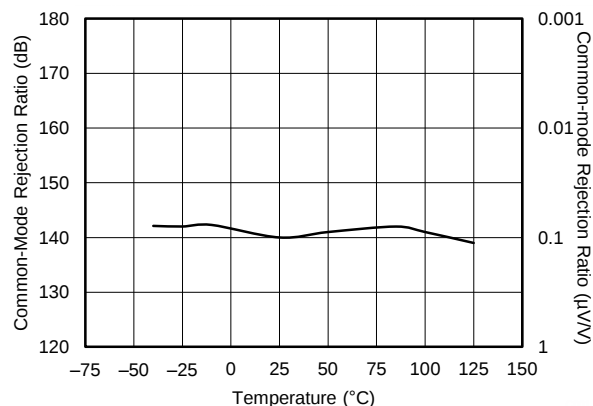


图 32. 共模抑制比与温度间的关系

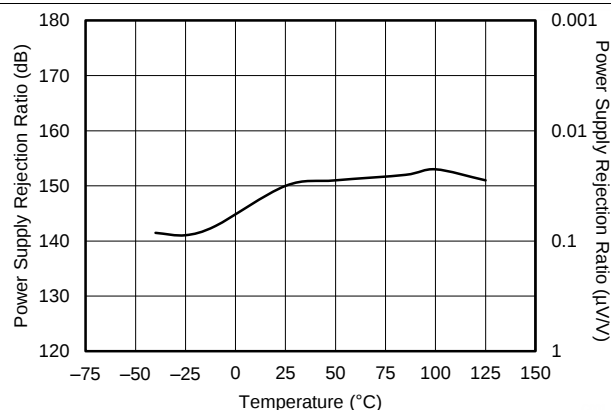


图 33. 电源抑制比与温度间的关系

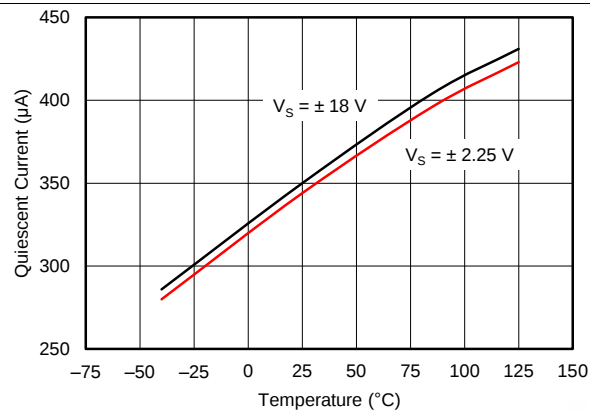


图 34. 静态电流与温度间的关系

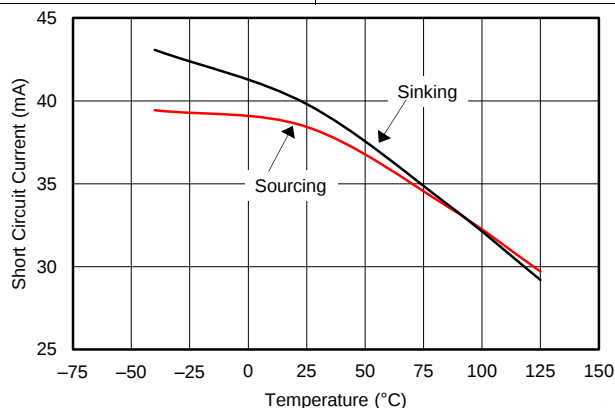


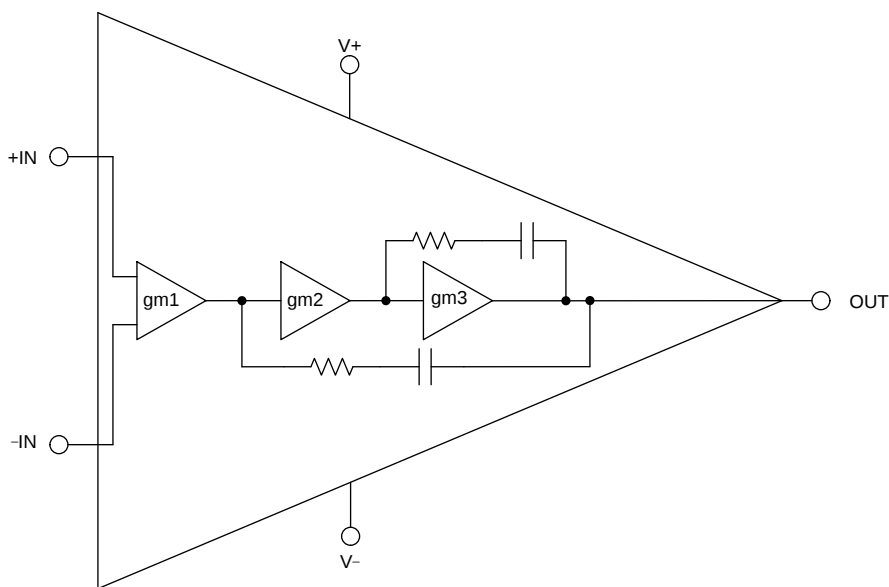
图 35. 输出短路电流与温度间的关系

7 详细 说明

7.1 概述

OPA207 精密运算放大器取代了行业标准型 OP-177。与 OP-177 相比，OPA207 噪声更小，输出电压摆幅更宽，带宽得以加倍，转换率是该器件的十倍，并且消耗的静态电流是该器件的一半。其他 功能 其他特性包括超低的偏移电压和漂移、较低的偏置电流、较高的共模抑制比以及较高的电源抑制比。

7.2 功能框图



Copyright © 2017, Texas Instruments Incorporated

7.3 特性 说明

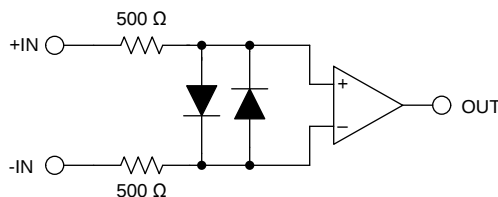
OPA207 具有单位增益稳定特性，并且不会出现意外的输出相位反转，因此可轻松用于各种应用。应用。应用 采用高噪声电源或高阻抗电源的应用中，可能需要将解耦电容器靠近器件引脚。大多数情况下，0.1 μ F 电容器已足够满足需求。

7.3.1 工作电压

OPA207 由 $\pm 2.25\text{V}$ 至 $\pm 18\text{V}$ 的电源供电，具有出色的性能。主要参数是在额定工作温度范围 (-40°C 至 125°C) 内确定的。大多数行为在整个工作电压范围 ($\pm 2.25\text{V}$ 至 $\pm 18\text{V}$) 内保持不变。典型特性 中显示了随工作电压或温度的变化而显著变化的参数。

7.3.2 输入保护

OPA207 的输入级在内部受到与二极管钳位串联的电阻器的保护，如图 36 所示。输入可以承受 $\pm 10\text{V}$ 的差分输入而不会损坏，最大输入电流应限制为 10mA 或更低。当输入过载时（例如在运算放大器输出转换时），保护二极管会传导电流。这可能会干扰单位增益跟随器应用的转换 行为，但不会损坏运算放大器。



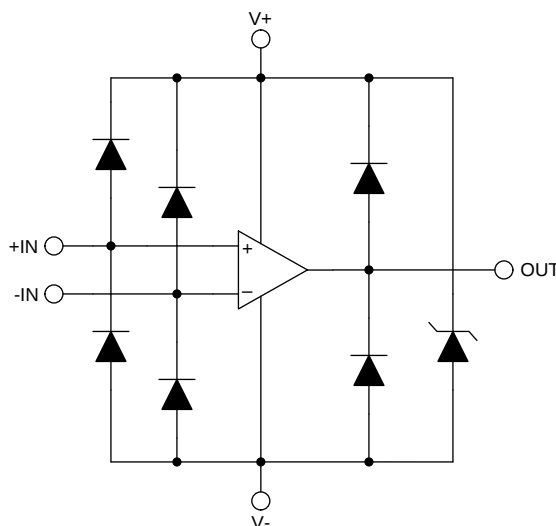
Copyright © 2017, Texas Instruments Incorporated

图 36. 简化的 OPA207 输入保护电路

特性说明 (接下页)

7.3.3 ESD 保护

OPA207 在内部具有 ESD 事件（可能在制造、处理或印刷电路板组装期间发生）保护。当 OPA207 在功率不足的情况下运行时，内部 ESD 保护二极管不会在正常运行期间对该器件进行保护。如果可能将输入或输出驱动至高于正电源或低于负电源，则必须注意将流过内部二极管的电流限制在 10mA 或更低。在严苛的电路环境下，可能需要使用外部保护电路，该电路依赖于应用要求和环境条件。

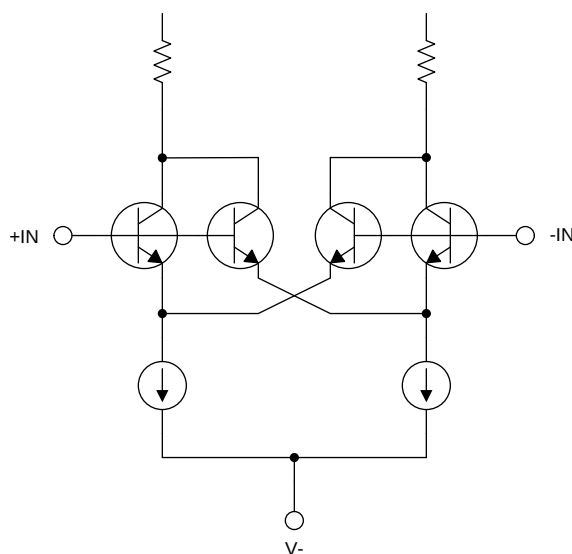


Copyright © 2017, Texas Instruments Incorporated

图 37. 简化的 OPA207 ESD 保护电路

7.3.4 输入级线性化

OPA207 使用线性化技术来降低总谐波失真。图 38 说明了线性化概念，图 38 说明了 OPA207 的总谐波失真性能。



Copyright © 2017, Texas Instruments Incorporated

图 38. 简化的输入级线性化电路

特性 说明 (接下页)

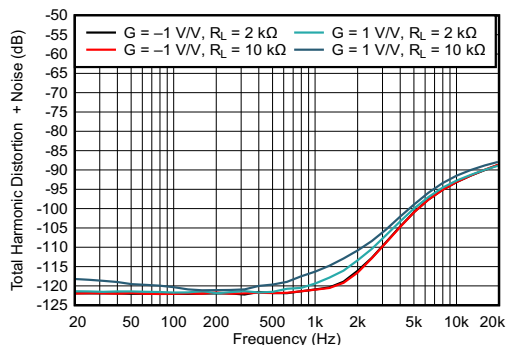
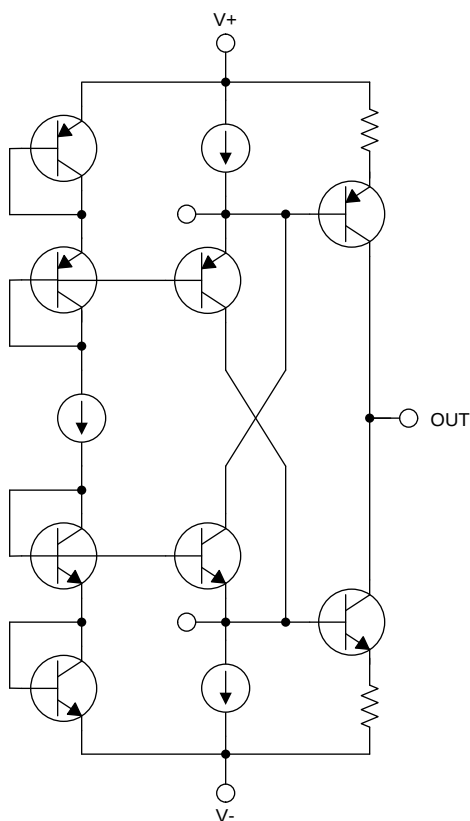


图 39. 总谐波失真

7.3.5 轨至轨输出

OPA207 使用轨至轨输出级，该输出级能够在距任一电源轨几毫伏的范围内摆动，同时保持高开环增益。图 40 显示了简化的输出级电路图。与每个输出晶体管串联的电阻器可确保稳定的输出电流限制。通过这种方法限制输出电路可确保 OPA207 在短路情况下可靠运行，并且能够对敏感负载进行保护，使其不会因电流过大而受损。图 41 和图 42 说明了 OPA207 在各种温度下可以提供的最大输出电流。



Copyright © 2017, Texas Instruments Incorporated

图 40. 简化的轨至轨输出级电路

特性 说明 (接下页)

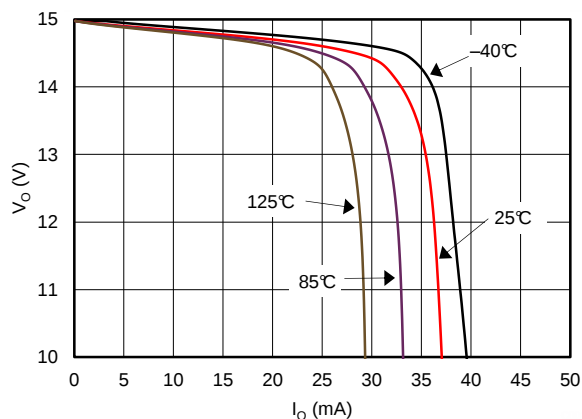


图 41. 相对于电源轨的输出摆幅 (拉电流)

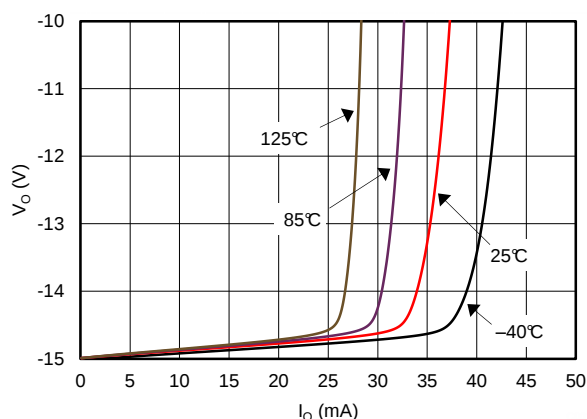


图 42. 相对于电源轨的输出摆幅 (灌电流)

7.3.6 低输入偏置电流

OPA207 使用超 β 双极晶体管并采用输入偏置电流消除技术。该组合可导致极低的输入偏置电流，该电流能够在 -40°C 至 +125°C 的整个额定温度范围内保持较低的值，这一点与 CMOS 或 JFET 放大器不同，这些放大器的输入偏置电流通常每 10°C 就会加倍，并且在 125°C 时变得极高。图 43 展示了 OPA207 与典型的 CMOS 或 JFET 放大器之间的比较。

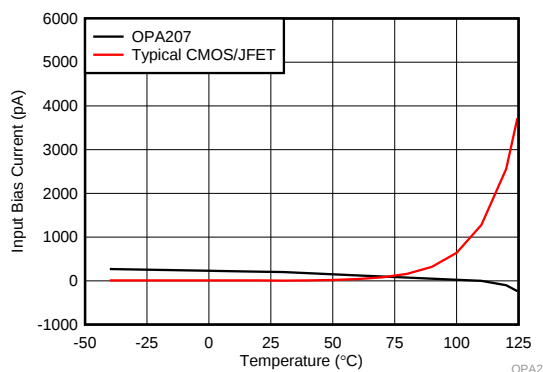
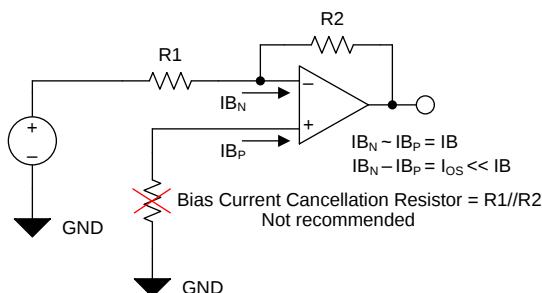


图 43. 输入偏置电流与温度间的关系

特性 说明 (接下页)

放置一个偏置电流消除电阻器是常见的做法，如图 42 所示。该方法非常适合未采用内部输入偏置电流消除技术的放大器。由于 OPA207 采用了内部偏置电流消除技术，因此 TI 不建议使用偏置消除电阻器。



Copyright © 2017, Texas Instruments Incorporated

图 44. 偏置电流消除电阻器 - 不建议使用

7.3.7 转换增强

OPA207 采用了新型的内部转换增强技术。凭借该方法，OPA207 可以具有极低的功耗，同时仍能实现 3.6V/μs 的高转换率。这使得 OPA207 成为 要求 低噪声和高输出电压摆幅的应用的理想之选，在这些应用中，必须具有高转换率才能实现较短的趋稳时间。

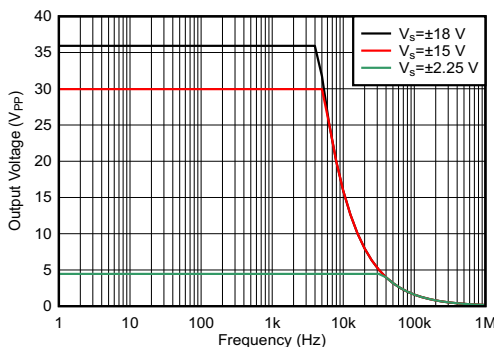


图 45. 全功率带宽

7.3.8 EMI 抑制比 (EMIRR)

电磁干扰 (EMI) 抑制比 (EMIRR) 描述了运算放大器的 EMI 抗扰性。许多运算放大器常见的不利影响是由射频信号整流引起的失调电压变化。如果一个运算放大器能更有效地抑制由 EMI 引起的失调电压变化，该放大器会具有较高的 EMIRR 并由分贝值量化。测量 EMIRR 可用多种方法来完成，但该报告提供了 EMIRR IN+，当射频信号施加到运算放大器的同相输入引脚时，可使用该指标来具体描述 EMIRR 性能。一般情况下，仅出于以下三点原因对同相输入进行 EMIRR 的测试：

1. 众所周知，运算放大器输入引脚对 EMI 最为敏感，通常比电源引脚或输出引脚能更好地校正射频信号。
2. 同相和反相运算放大器输入具有对称的物理布局，并表现出近乎匹配的 EMIRR 性能。
3. 在同相引脚上测量 EMIRR 比在其他引脚上测量更容易，因为在印刷电路板 (PCB) 上可以隔离同相输入端子。这种隔离使得射频信号可以直接施加到同相输入端子上，而不会与其他组件或连接性 PCB 迹线发生复杂的相互作用。

有关 EMIRR IN+ 定义和测试方法的更正式的讨论，请参阅 TI 应用报告《运算放大器的 EMI 抑制比》，可从 www.ti.com 下载该文档。OPA207 的 EMIRR IN+ 与频率间的关系图如图 46 所示。

特性 说明 (接下页)

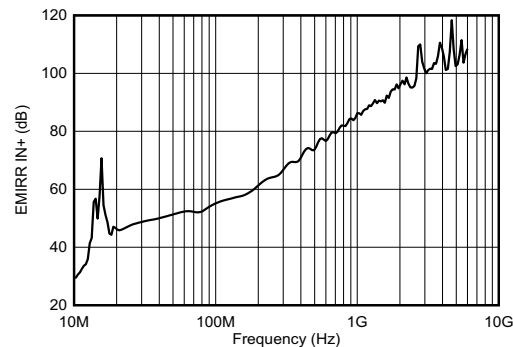


图 46. OPA207 EMIRR IN+ 与频率间的关系

任何双路和四路运算放大器器件版本（如果可用）具有几乎相似的 EMIRR IN+ 性能。OPA207 单位增益带宽为 1MHz。低于该频率的 EMIRR 性能表示存在位于运算放大器带宽内的干扰信号。

表 1 显示了 OPA207 在实际应用中常见的特定频率下的 EMIRR IN+ 值。应用。在表 1 中列出的应用可在下图给出的特定频率或其近似频率下运行。该信息对于在这些类型的应用中从事相关设计的人员或者在其他可能遇到各种射频干扰（如工业、科学和医疗 (ISM) 无线电频带）的领域工作的设计人员可能特别有用。

表 1. OPA207 在目标频率下的 EMIRR IN+

频率	应用/分配	EMIRR IN+
400MHz	移动无线电、移动卫星/太空操作、气象、雷达、UHF	72dB
900MHz	GSM、无线电通信/导航/GPS（高达 1.6GHz）、ISM、航空移动、UHF	83dB
1.8GHz	GSM、个人移动通信宽带、卫星、L 波段	95dB
2.4GHz	802.11b/g/n、蓝牙®、个人移动通信、ISM、业余无线电/卫星、S 波段	94dB
3.6GHz	无线电定位、航空通信/导航、卫星、移动、S 波段	103dB
5GHz	802.11a/n、航空通信/导航、移动通信、太空/卫星操作、C 波段	102dB

7.4 器件功能模式

OPA207 具有单一功能模式，可在电源电压大于 4.5V ($\pm 2.25V$) 时正常工作。OPA207 的最大电源电压为 36V ($\pm 18V$)。

8 应用和实现

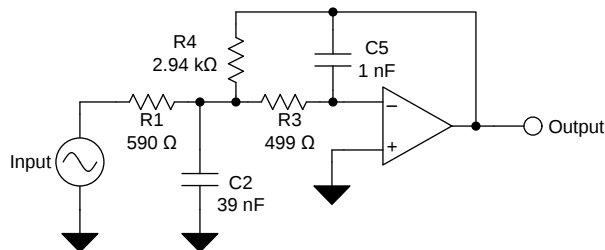
注

以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

低通滤波器通常用于在信号处理 应用 中降低噪声并防止混叠。OPA207 专为构建高精度有源滤波器而设计。图 47 展示了信号处理应用中经常遇到的二阶低通 滤波器供电的绝佳器件。

8.2 典型应用



Copyright © 2016, Texas Instruments Incorporated

图 47. 典型的 OPA207 应用原理图

8.2.1 设计要求

本设计示例使用以下参数：

- 增益 = 5V/V (反相增益)
- 低通截止频率 = 25kHz
- 通带中增益峰值为 3dB 的二阶切比雪夫滤波器响应

8.2.2 详细设计流程

图 47 展示了用于低通网络功能的无限增益多反馈电路。使用公式 1 计算电压传递函数。

$$\frac{\text{Output}}{\text{Input}}(s) = \frac{-1/R_1 R_3 C_2 C_5}{s^2 + (s/C_2)(1/R_1 + 1/R_3 + 1/R_4) + 1/R_3 R_4 C_2 C_5} \quad (1)$$

该电路将产生信号反转。对于该电路，使用公式 2 计算直流增益和低通截止频率：

$$\text{Gain} = \frac{R_4}{R_1}$$

$$f_c = \frac{1}{2\pi} \sqrt{(1/R_3 R_4 C_2 C_5)} \quad (2)$$

可使用现成的软件工具来简化滤波器设计。WEBENCH® 滤波器设计器是一款简单、功能强大且易于使用的有源滤波器设计程序。借助 WEBENCH 滤波器设计器，设计人员可使用精选 TI 运算放大器和 TI 供应商合作伙伴提供的无源组件来创建最佳的滤波器设计。

WEBENCH® 设计中心以基于网络的工具形式提供 WEBENCH® 滤波器设计器，可利用该工具在数分钟内完成整个多级有源滤波器解决方案的设计、优化和仿真。

典型应用 (接下页)

8.2.3 应用曲线

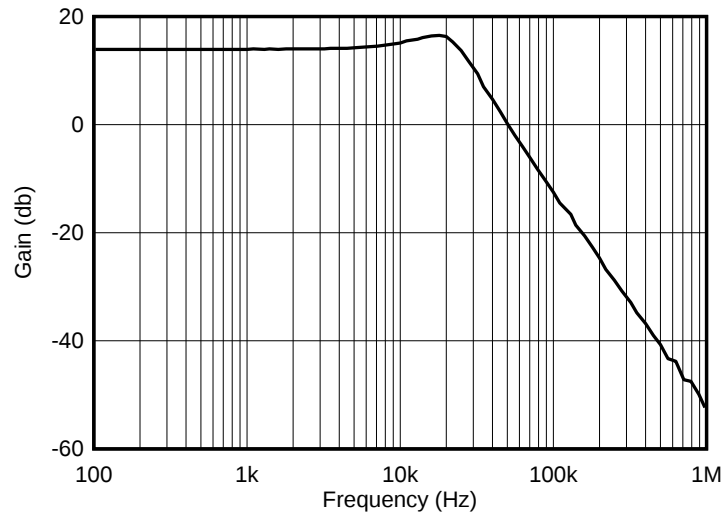
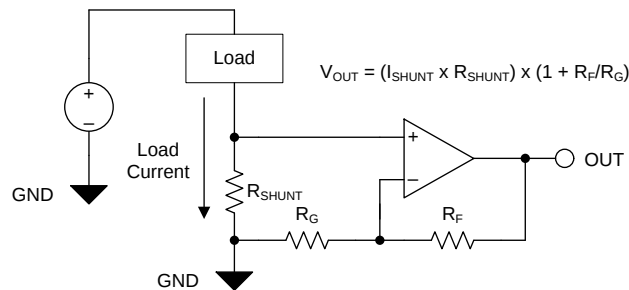


图 48. 低通滤波器传递函数

8.3 其他应用

8.3.1 精密低侧电流感应

OPA207 具有低偏移电压和较低的相对于时间和温度的偏移电压漂移，因此非常适合精密低侧电流感应应用，如图 49 所示。



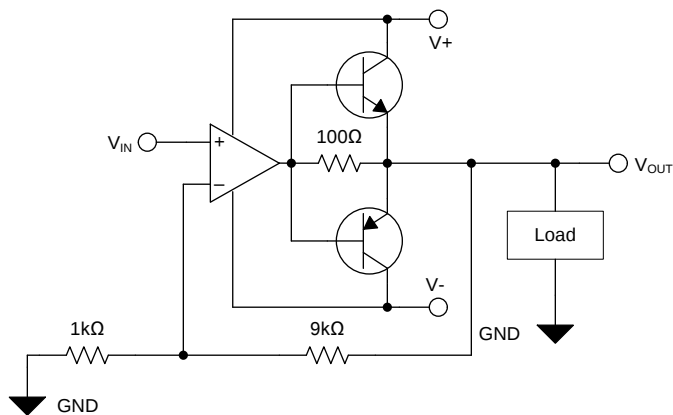
Copyright © 2017, Texas Instruments Incorporated

图 49. 精密低侧电流感应

8.3.2 具有更大输出电流的精密缓冲器

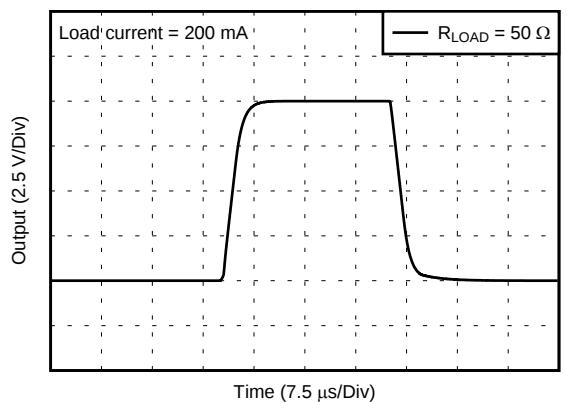
可以如图 50 中所示对 OPA207 进行配置，以驱动低阻抗负载。在图 50 中，OPA207 配置为具有 +10 V/V 的增益，并使用 NPN (2N2904) 和 PNP (2N2906) 双极晶体管增大输出电流。对于低输出电压，OPA207 通过 100Ω 电阻器直接提供负载电流。当 100Ω 电阻器上的电压降大约超过 500mV 时，双极晶体管开始提供电流。图 50 说明了在输出处使用 10V 阶跃驱动的 50Ω 负载电阻器的结果。这会导致电路提供 200mA 的电流。

其他 应用 (接下页)



Copyright © 2017, Texas Instruments Incorporated

图 50. 具有高输出驱动能力的精密缓冲器 ($G = 10V/V$)



Prec

图 51. 使用 10V 阶跃驱动的 50Ω 负载

9 电源建议

OPA207 的额定工作电压范围是 4.5V 至 36V ($\pm 2.25\text{V}$ 至 $\pm 18\text{V}$) ; 许多规格的适用温度范围是 -40°C 至 $+125^{\circ}\text{C}$ 。 [典型特性](#) 中介绍了随工作电压或温度的变化而明显变化的参数。

CAUTION

电源电压超过 36V 可能对器件造成永久性损坏；请参阅 [绝对最大额定值](#)。

将 $0.1\mu\text{F}$ 旁路电容器置于电源引脚附近，可减少从高噪声电源或高阻抗电源中耦合进来的误差。有关旁路电容器放置的更多详细信息，请参阅 [布局指南](#)。

10 布局

10.1 布局指南

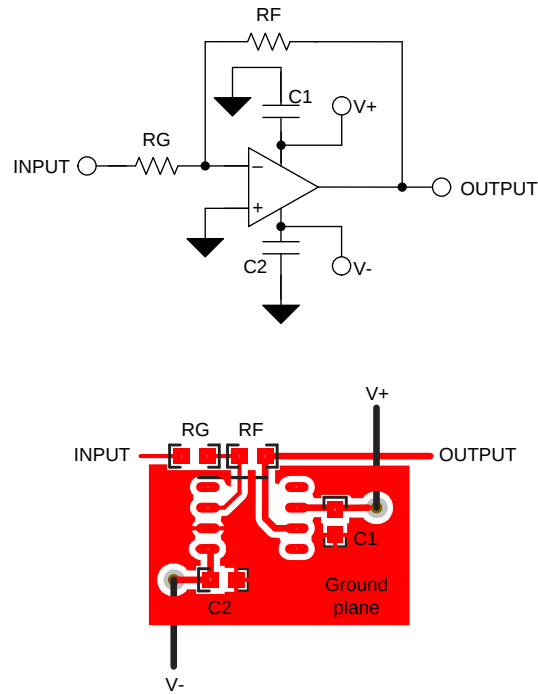
OPA207 系列具有低偏移电压和漂移。为了实现最高的性能，应优化电路布局和机械条件。可以通过在运算放大器输入处实现小热势来降低偏移电压和漂移。连接不同的金属可能会产生热电势，这可能会降低 OPA207 的最终性能。通过确保两个输入端子的热电势相等，可以消除这些热电势。

- 保持与两个输入端子的连接的热质量相似。
- 让热源尽可能远离关键输入电路。
- 将运算放大器和输入电路与气流（如冷却风扇气流）隔离。

为了实现器件的最佳运行性能，应使用良好的 PCB 布局规范，包括：

- 噪声可以通过整个电路的电源引脚和运算放大器本身传入模拟电路。旁路电容为局部模拟电路提供低阻抗电源，用于降低耦合噪声。
 - 在每个电源引脚和接地端之间连接低 ESR $0.1\mu\text{F}$ 陶瓷旁路电容器，放置位置尽量靠近器件。从 $V+$ 到接地端的单个旁路电容器适用于单通道电源应用。
- 将电路的模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 中通常将一层或多层专门作为接地层。接地层有助于散热和降低电磁干扰 (EMI) 噪声。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。
- 为降低寄生耦合，输入迹线应尽量远离电源或输出迹线。如果这些走线不能保持分离，则敏感走线与有噪声走线垂直相交比平行更好。
- 外部组件的位置应尽量靠近器件。如 [布局示例](#) 所示，使 RF 和 RG 接近反相输入可最大限度地减小寄生电容。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。
- 为获得最佳性能，TI 建议在组装 PCB 板后对其进行清洁。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。请遵循所有的 PCB 水清洁流程，TI 建议将 PCB 组装烘干，以去除清洁时渗入器件封装中的湿气。在大多数情形下，清洗后在 85°C 下低温烘烤 30 分钟即可。

10.2 布局示例



Copyright © 2017, Texas Instruments Incorporated

图 52. 针对反相配置的 OPA207 布局示例

11 器件和文档支持

11.1 器件支持

11.1.1 开发支持

11.1.1.1 WEBENCH 滤波器设计器工具

WEBENCH® 滤波器设计器是一款简单、功能强大且便于使用的有源滤波器设计程序。借助 **WEBENCH 滤波器设计器**，用户可使用精选 TI 运算放大器和 TI 供应商合作伙伴提供的无源组件来构建最佳滤波器设计方案。

11.1.1.2 TINA-TI™ (免费软件下载)

TINA™是一款简单、功能强大且易于使用的电路仿真程序，此程序基于 **SPICE** 引擎。**TINA-TI** 是 **TINA** 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。**TINA-TI** 提供所有传统的 **SPICE** 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 可从 **Analog eLab Design Center** (模拟电子实验室设计中心) [免费下载](#)，它提供全面的后续处理能力，使得用户能够以多种方式形成结果。虚拟仪器提供选择输入波形和探测电路节点、电压和波形的功能，从而创建一个动态的快速入门工具。

注

这些文件需要安装 **TINA** 软件 (由 **DesignSoft™**提供) 或者 **TINA-TI** 软件。请从 [TINA-TI 文件夹](#) 中下载免费的 **TINA-TI** 软件。

11.1.1.3 TI 高精度设计

OPA207 采用多种 TI 高精度设计，有关内容可通过 <http://www.ti.com.cn/www/analog/precision-designs/> 在线获取。**TI 高精度设计**是由 TI 公司高精度模拟 应用 专家创建的模拟解决方案，提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。

11.2 文档支持

11.2.1 相关文档

如需相关文档，请参阅：

- 《运算放大器的电磁干扰 (EMI) 抑制比》
- 《电路板布局技巧》(SLOA089)

11.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。请单击右上角的**提醒我** 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.4 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

TI E2E™ 在线社区 **TI 的工程师对工程师 (E2E) 社区**。此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 **TI 参考设计支持** 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

11.5 商标

TINA-TI, E2E are trademarks of Texas Instruments.

蓝牙 is a registered trademark of Bluetooth SIG, Inc..

TINA, DesignSoft are trademarks of DesignSoft, Inc.

All other trademarks are the property of their respective owners.

11.6 静电放电警告



这些装置包含有限的内置 ESD 保护。存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，也不会对此文档进行修订。如欲获取此数据表的浏览器版本，请参阅左侧的导航。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA207ID	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA207	Samples
OPA207IDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	1NBW	Samples
OPA207IDBVT	ACTIVE	SOT-23	DBV	5	250	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	1NBW	Samples
OPA207IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	1I7Q	Samples
OPA207IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	1I7Q	Samples
OPA207IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA207	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

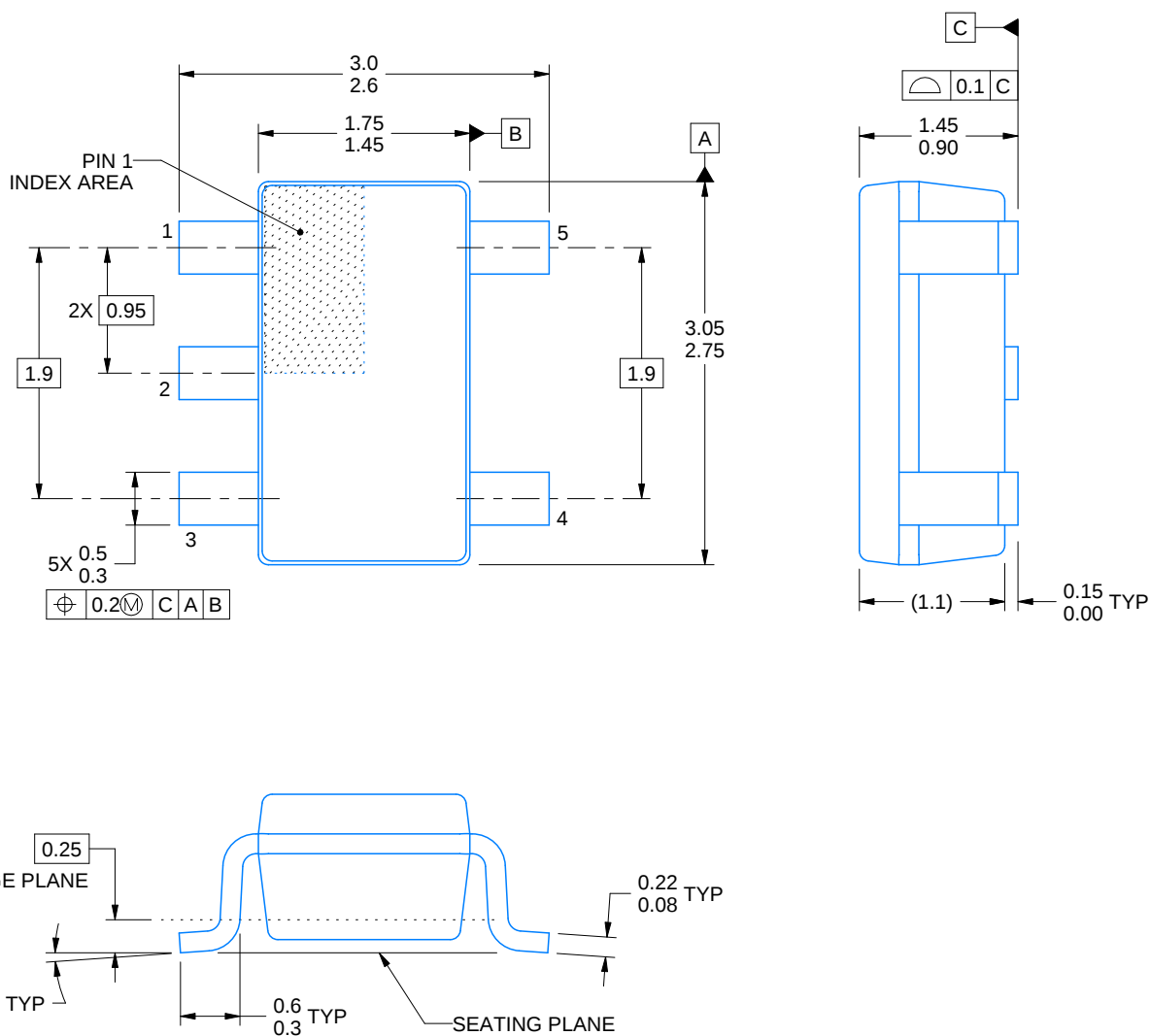


DBV0005A

PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/F 06/2021

NOTES:

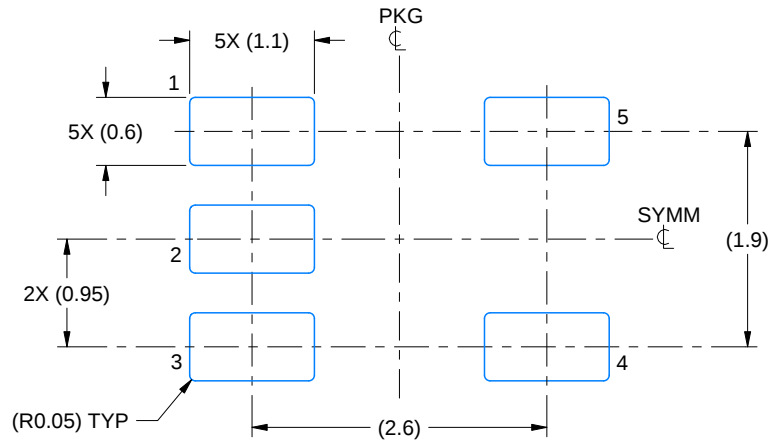
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.

EXAMPLE BOARD LAYOUT

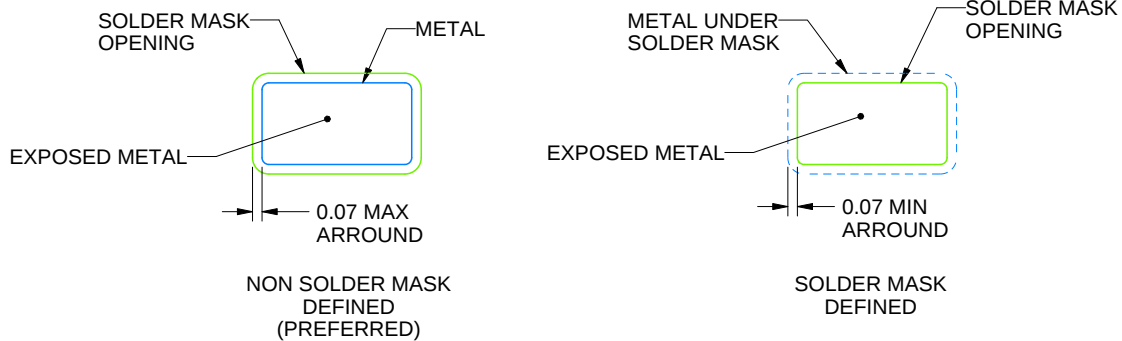
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/F 06/2021

NOTES: (continued)

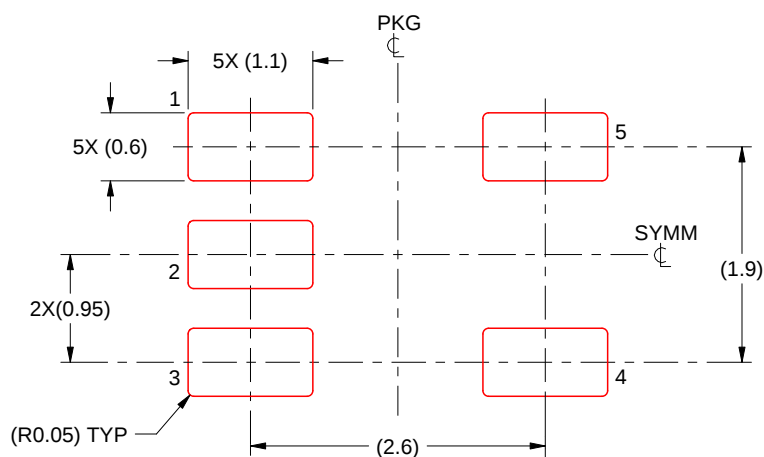
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

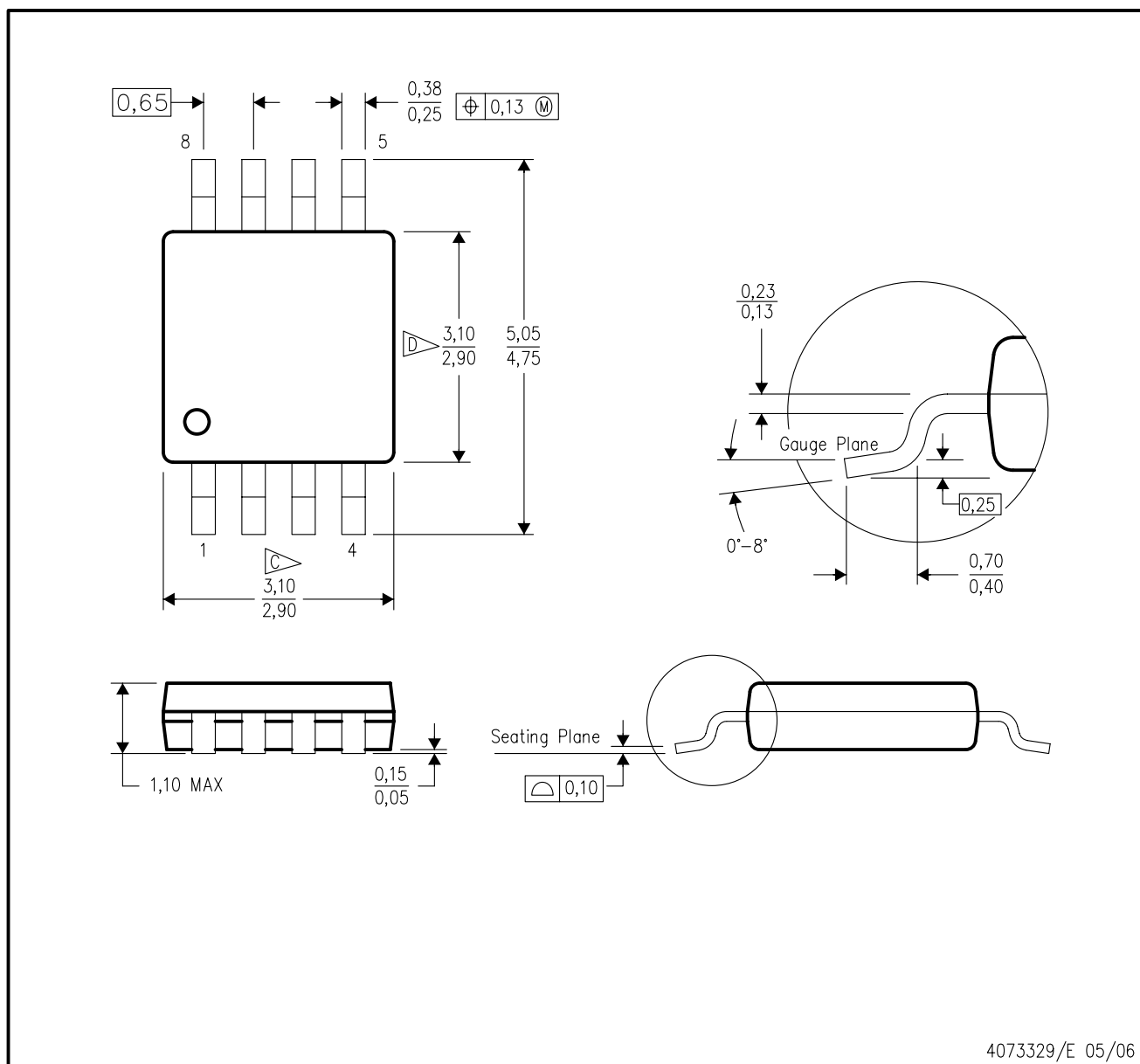
4214839/F 06/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

DGK (S-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE

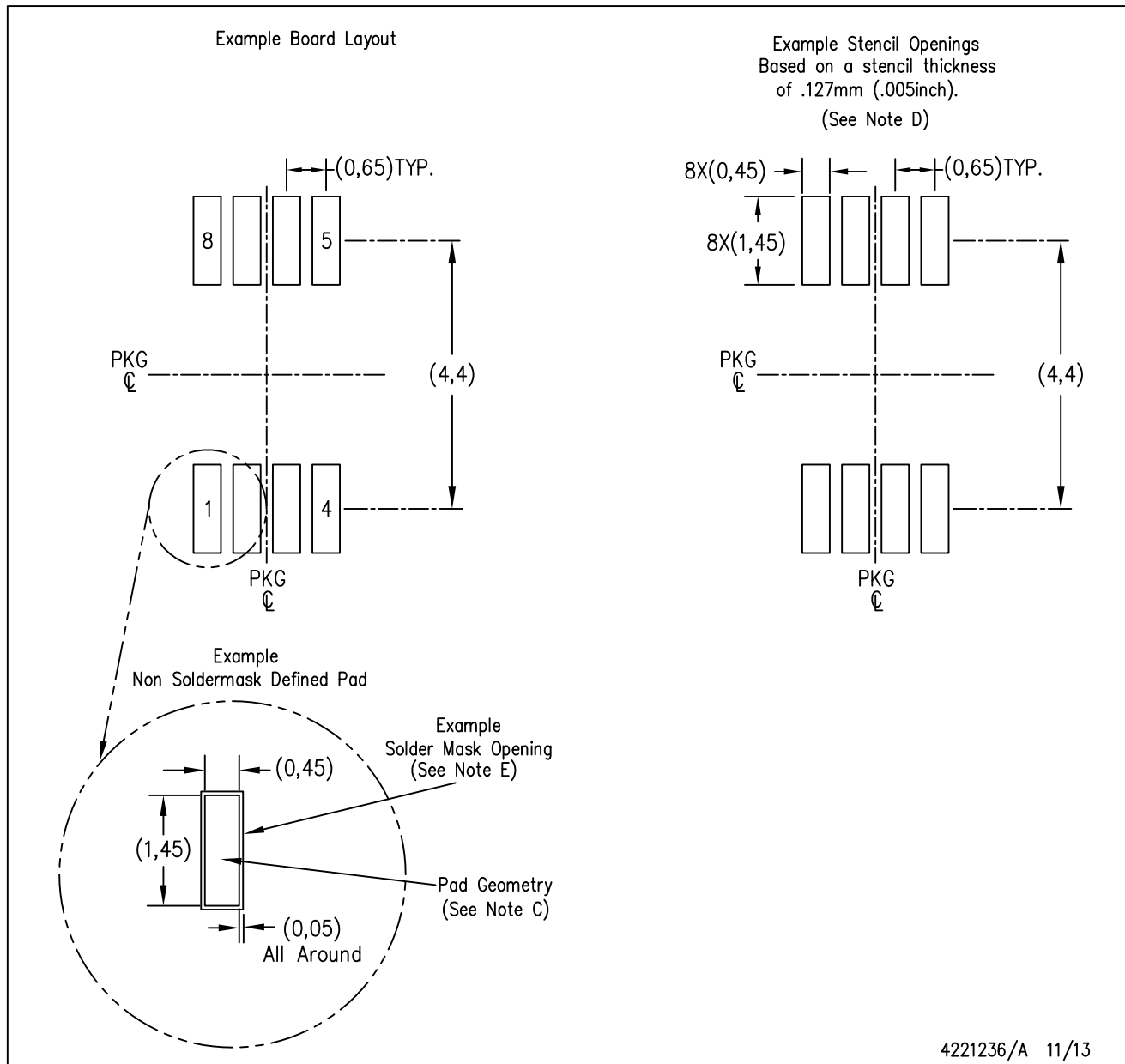


NOTES:

- A. All linear dimensions are in millimeters.
- B. This drawing is subject to change without notice.
- C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
- D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
- E. Falls within JEDEC MO-187 variation AA, except interlead flash.

DGK (S-PDSO-G8)

PLASTIC SMALL OUTLINE PACKAGE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

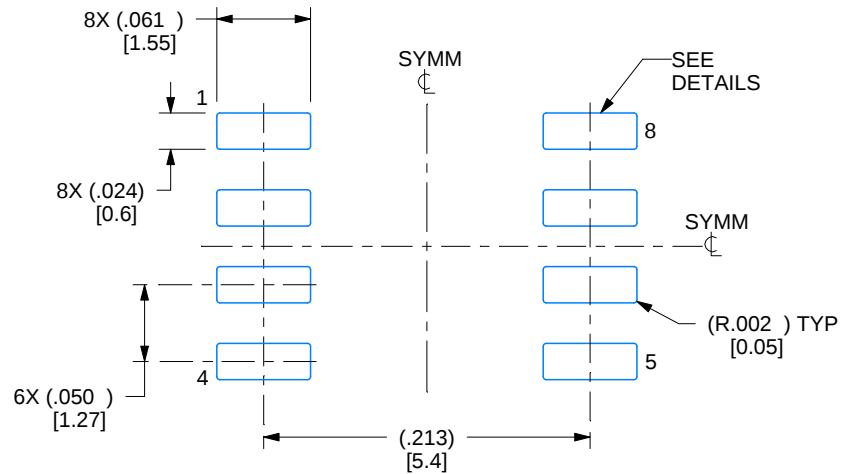


1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

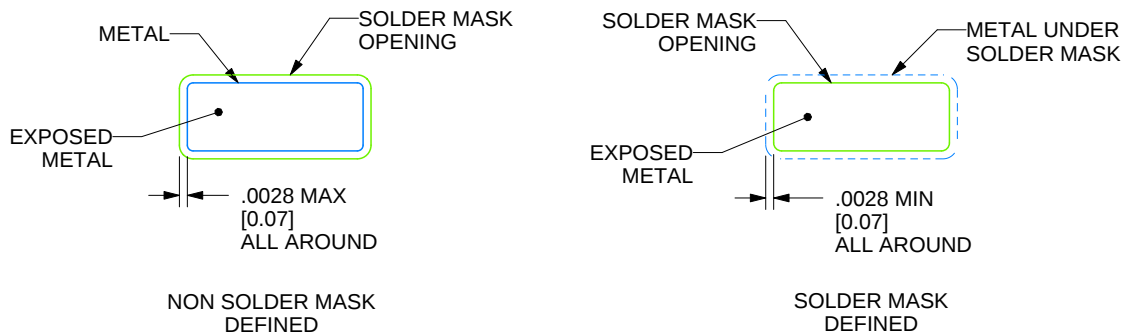
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

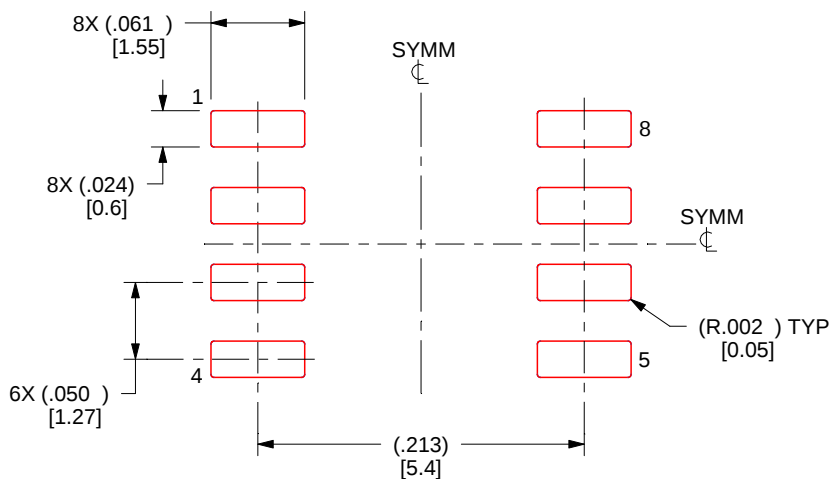
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2021，德州仪器 (TI) 公司