《OPA2x11 1.1-nv/√Hz 噪声、低功耗、精密运算放大器》

1 特性

- 低电压噪声：1kHz 时为 1.1nV/√Hz
- 输入电压噪声: 80 nV_{PP}（0.1Hz 至 10Hz）
- 总谐波失真+噪声 (THD+N)：–136dB（G = 1，f = 1kHz）
- 失调电压：125μV（最大值）
- 失调电压温漂：0.35μV/°C（典型值）
- 低电源电流：3.6mA/通道（典型值）
- 单位增益稳定
- 增益带宽积:
  - 80MHz (G = 100)
  - 45MHz (G = 1)
- 压摆率：27V/μs
- 16 位稳定时间：700ns
- 宽电源范围：
  - ±2.25 至 ±18V，4.5V 至 36V
- 轨至轨输出
- 输出电流：30mA
- SON-8 (3mm × 3mm)、VSSOP-8 和 SOIC-8

2 应用

- PLL 环路滤波器
- 低噪声、低功耗信号处理
- 16 位模数转换器 (ADC) 驱动器
- 数模转换器 (DAC) 输出放大器
- 有源滤波器
- 低噪声仪表放大器
- 超声波放大器
- 专业音频前置放大器
- 低噪声频率合成器
- 红外检测器放大器
- 水下听音器放大器
- 地震检波器放大器
- 医疗仪表

3 说明

OPA2x11 系列精密运算放大器在供电电流3.6mA条件下，实现 1.1nV/√Hz 的极低噪声密度。该系列器件同时提供轨至轨输出摆幅，最大限度地扩大了动态范围。

凭借极低电压和低电流噪声、高速以及宽输出摆幅等特性，OPA2x11 系列器件可作为性能优异的环路滤波器放大器而广泛应用于各类 PLL 应用。

在精密数据采集 应用中，OPA2x11 系列运算放大器在整个 10V 输出摆幅范围内提供 700ns 的建立时间，且精度达 16 位。该交流性能，再加上仅为 125μV 的失调电压以及 0.35μV/°C 的温漂，使 OPA2x11 系列器件非常适合用于驱动高精度 16 位模数转换器 (ADC) 或缓冲高分辨率数模转换器 (DAC) 输出。

OPA2x11 系列器件可在 ±2.25V 至 ±18V 的双电源宽电压范围或 4.5V 至 36V 的单电源宽电压范围内运行。

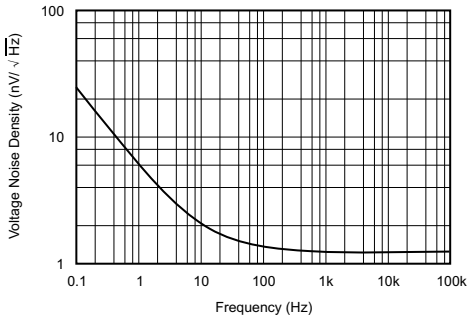
OPA211 采用小型 SON-8 (3mm × 3mm)、VSSOP-8 和 SOIC-8 封装。双通道版本 (OPA2211) 可采用 SON-8 (3mm × 3mm) 或 SO-8 PowerPAD™封装选项。该系列运算放大器的额定工作温度 T_A = –40°C 至 +125°C。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
OPA211	SOIC (8)	4.90mm × 3.90mm
	SON (8)	3.00mm × 3.00mm
	VSSOP (8)	3.00mm × 3.00mm
OPA2211	SON (8)	3.00mm × 3.00mm
	SO PowerPAD (8)	4.90mm × 3.90mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

输入电压噪声密度与频率间的关系



An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 引脚配置和功能 ... 3
6 规格 ... 5
6.1 绝对最大额定值 ... 5
6.2 ESD 额定值 ... 5
6.3 建议运行条件 ... 5
6.4 热性能信息：OPA211 ... 6
6.5 热性能信息：OPA2211 ... 6
6.6 电气特性：V_S = ±2.25V 至 ±18V (OPAx211) ... 7
6.7 电气特性：V_S = ±2.25 至 ±18V - 高级 OPAx211 ... 10
6.8 典型特性 ... 13
7 详细 说明 ... 20
7.1 概述 ... 20
7.2 功能框图 ... 20
7.3 特性 说明 ... 20
7.4 器件功能模式 ... 22
8 应用和实现 ... 23
8.1 应用信息 ... 23
8.2 典型应用 ... 27
9 电源建议 ... 28
10 布局 ... 28
10.1 布局指南 ... 28
10.2 布局示例 ... 30
11 器件和文档支持 ... 31
11.1 器件支持 ... 31
11.2 文档支持 ... 31
11.3 相关链接 ... 31
11.4 接收文档更新通知 ... 32
11.5 社区资源 ... 32
11.6 商标 ... 32
11.7 静电放电警告 ... 32
11.8 Glossary ... 32
12 机械、封装和可订购信息 ... 32

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Revision I (June 2016) to Revision J — **Page**

- 已添加 将“医疗仪表”添加至*应用* 部分 ... 1
- 已更改 将产品状态从混合产品状态更改为生产数据 ... 1
- Deleted *器件比较 表* ... 3
- Added 为*引脚配置和功能* 部分的引脚布置图添加了 NC 引脚标注 ... 3
- 已更改 *EMI 抑制* 部分的文档参考的格式 ... 24
- 已更改 *SON 布局指南* 部分的文档参考的格式 ... 29
- 已更改 *相关文档* 部分的文档参考的格式 ... 31

Changes from Revision H (November 2015) to Revision I — **Page**

- 在*引脚功能：OPA211* 表中将 V+ 的 SON 引脚编号从 4 更改为 7 ... 3
- 在*引脚功能：OPA211* 表中将 V- 的 SON 引脚编号从 7 更改为 4 ... 3

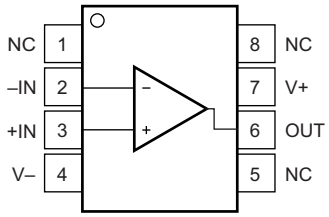
Changes from Revision G (May 2009) to Revision H — **Page**

- 已添加 *ESD 额定值 表*，*特性 说明* 部分、*器件功能模式*、*应用和实施* 部分、*电源建议* 部分、*布局* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分 ... 1

Copyright © 2006–2018, Texas Instruments Incorporated

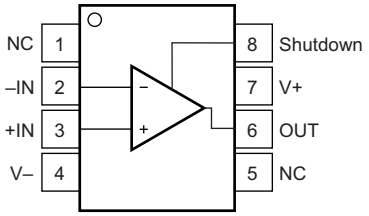
5 引脚配置和功能

OPA211 D 封装
8 引脚 SOIC
俯视图



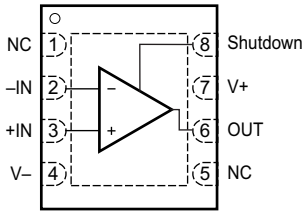
NC - 无内部连接

OPA211 DGK 封装
8 引脚 VSSOP
俯视图



NC - 无内部连接

OPA211 DRG 封装
带有外露散热焊盘的 8 引脚 SON 封装
俯视图



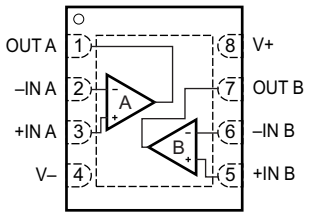
NC = 无内部连接

引脚功能：OPA211

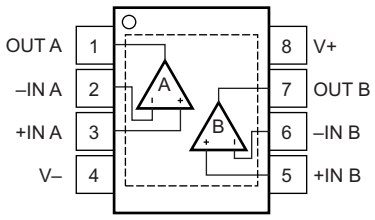
引脚		I/O	说明
名称	编号		
+IN	3	I	同相输入
–IN	2	I	反相输入
NC	1, 5	—	无内部连接。此引脚可保持悬空，也可连接 (V–) 和 (V+) 之间的任何电压。
OUT	6	O	Output
关断	8	I	关断，高电平有效 关断功能如下： 器件启用：(V–) ≤ $V_{SHUTDOWN}$ ≤ (V+) – 3V 器件禁用：$V_{SHUTDOWN}$ ≥ (V+) – 0.35V
V+	7	I	正电源
V–	4	I	负电源
散热焊盘	—	—	芯片散热板位于下方；将芯片散热板连接至 V–。散热焊盘必须焊接在印刷电路板上，这样可以改善散热并提供额定性能。

Copyright © 2006–2018, Texas Instruments Incorporated

OPA2211 DRG 封装
带有外露散热焊盘的 8 引脚 SON 封装
俯视图



OPA2211 DDA 封装
带有外露散热焊盘的 8 引脚 SO PowerPAD 封装
俯视图



引脚功能：OPA2211

引脚		I/O	说明
名称	编号		
+IN A	3	I	同相输入通道 A
–IN A	2	I	反相输入通道 A
+IN B	5	I	同相输入通道 B
–IN B	6	I	反相输入通道 B
OUT A	1	O	输出通道 A
OUT B	7	O	输出通道 B
V+	8	I	正电源
V–	4	I	负电源
散热焊盘	—	—	芯片散热板位于下方；将芯片散热板连接至 V–。焊接散热板可改善散热情况并实现特定性能。

Copyright © 2006–2018, Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风温度下测得（除非另有说明）(1)

	最小值	最大值	单位
电源电压，V_S = (V+) – (V–)		40	V
输入电压	(V–) – 0.5	(V+) + 0.5	V
输入电流（除电源引脚外的任何引脚）		±10	mA
输出短路(2)	持续		
工作温度，T_A	-55	150	°C
结温，T_J		200	°C
贮存温度，T_{stg}	–65	150	°C

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是极端条件下的应力额定值，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 对 V_S / 2（对称双电源设置中的接地点）短路，每个封装对应一个放大器。

6.2 ESD 额定值

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚(1)	3000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	1000	V

(1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风温度范围内测得（除非另有说明）

	最小值	标称值	最大值	单位
电源电压，V_S = (V+) – (V–)	4.5 (±2.25)	36 (±18)	36 (±18)	V
工作温度，T_A	–55	25	150	°C

Copyright © 2006–2018, Texas Instruments Incorporated

6.4 热性能信息：OPA211

热指标(1)		OPA211			单位
		D (SOIC)	DRG (SON)	DGK (VSSOP)	
		8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻（高 K 电路板）	122.2	125	184.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	62.5	不适用	71.2	°C/W
$R_{\theta JB}$	结至电路板热阻	64.3	28.8	104.9	°C/W
ψ_{JT}	结至顶部特征参数	14.2	3	11.5	°C/W
ψ_{JB}	结至电路板特征参数	63.6	25	103.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	19.1	不适用	°C/W

(1) 有关传统和最新热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

6.5 热性能信息：OPA2211

热指标(1)		OPA2211		单位
		DDA (SO-PowerPAD)	DRG (SON)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻（高 K 电路板）	50.4	125	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	不适用	不适用	°C/W
$R_{\theta JB}$	结至电路板热阻	13	28.8	°C/W
ψ_{JT}	结至顶部特征参数	5.2	3	°C/W
ψ_{JB}	结至电路板特征参数	11.7	25	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	1.1	19.1	°C/W

(1) 有关传统和最新热指标的更多信息，请参阅*《半导体和 IC 封装热指标》*应用报告。

Copyright © 2006–2018, Texas Instruments Incorporated

6.6 电气特性：V_S = ±2.25V 至 ±18V (OPAx211)

T_A = 25°C，R_L = 10kΩ 连接至中间电源，且 V_{CM} = V_{OUT} = 中间电源（除非另外说明）

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入失调电压	OPA211： V_S = ±15V		±30	±125	μV
		OPA2211： V_S = ±15V		±50	±150	μV
dV_{OS}/dT	输入失调电压温漂	V_S = ±15V T_A = –40°C 至 +125°C		±0.35	±1.5	μV/°C
PSRR	输入失调电压与电源间的关系	T_A = 25°C		0.1	1	μV/V
		T_A = -40°C 至 +125°C			3	μV/V
输入偏置电流						
I_B	输入偏置电流	V_{CM} = 0V		±60	±175	nA
		OPA211： V_{CM} = 0V T_A = –40°C 至 +125°C			±200	nA
		OPA2211： V_{CM} = 0V T_A = –40°C 至 +125°C			±250	nA
I_{OS}	输入失调电流	V_{CM} = 0V		±25	±100	nA
		V_{CM} = 0V T_A = –40°C 至 +125°C			±150	nA
噪声						
e_n	输入电压噪声	f = 0.1 至 10Hz		80		nV_{PP}
	输入电压噪声密度	f = 10Hz		2		$nV/\sqrt{Hz}$
		f = 100Hz		1.4		$nV/\sqrt{Hz}$
		f = 1kHz		1.1		$nV/\sqrt{Hz}$
I_n	输入电流噪声密度	f = 10Hz		3.2		$pA/\sqrt{Hz}$
		f = 1kHz		1.7		$pA/\sqrt{Hz}$
输入电压范围						
V_{CM}	共模电压范围	V_S ≥ ±5V	(V–) + 1.8		(V+) – 1.4	V
		V_S < ±5V	(V–) + 2		(V+) – 1.4	V
CMRR	共模抑制比	V_S ≥ ±5V (V–) + 2V ≤ V_{CM} ≤ (V+) – 2V T_A = –40°C 至 +125°C	114	120		dB
		V_S < ±5V (V–) + 2V ≤ V_{CM} ≤ (V+) – 2V T_A = –40°C 至 +125°C	110	120		dB
输入阻抗						
	差分			20 || 8		kΩ || pF
	共模			10 || 2		GΩ || pF
开环增益						

Copyright © 2006–2018, Texas Instruments Incorporated

电气特性：V_S = ±2.25V 至 ±18V (OPAx211) (continued)

T_A = 25°C，R_L = 10kΩ 连接至中间电源，且 V_{CM} = V_{OUT} = 中间电源（除非另外说明）

参数		测试条件	最小值	典型值	最大值	单位
A_{OL}	开环电压增益	(V–) + 0.2V ≤ V_O ≤ (V+) – 0.2V R_L = 10kΩ T_A = –40°C 至 +125°C	114	130		dB
		(V–) + 0.6V ≤ V_O ≤ (V+) – 0.6V R_L = 600Ω	110	114		dB
		OPA211： (V–) + 0.6V ≤ V_O ≤ (V+) – 0.6V I_O ≤ 15mA T_A = –40°C 至 +125°C	110			dB
		OPA211： (V–) + 0.6V ≤ V_O ≤ (V+) – 0.6V 15mA < I_O ≤ 30mA T_A = –40°C 至 +125°C	103			dB
		OPA2211： (V–) + 0.6V ≤ V_O ≤ (V+) – 0.6V I_O ≤ 15mA T_A = –40°C 至 +125°C	100			dB
频率响应						
GBW	增益带宽积	G = 100		80		MHz
		G = 1		45		MHz
SR	压摆率			27		V/µs
t_S	建立时间, 0.01%	V_S = ±15V G = –1 10V 阶跃 C_L = 100pF		400		ns
	0.0015%（16 位）	V_S = ±15V G = –1 10V 阶跃 C_L = 100pF		700		ns
	过载恢复时间	G = -10		500		ns
THD+N	总谐波失真 + 噪声	G = 1 f = 1kHz V_O = 3V_{RMS} R_L = 600Ω		0.000015%		
				–136		dB
输出						
V_{OUT}	电压输出	R_L = 10kΩ A_{OL} ≥ 114dB T_A = –40°C 至 +125°C	(V–) + 0.2		(V+) – 0.2	V
		R_L = 600Ω A_{OL} ≥ 110dB	(V–) + 0.6		(V+) – 0.6	V
		I_O < 15mA A_{OL} ≥ 110dB T_A = –40°C 至 +125°C	(V–) + 0.6		(V+) – 0.6	V
I_{SC}	短路电流			30/–45		mA
C_{LOAD}	容性负载驱动			请参阅 *典型特性*		pF
Z_O	开环输出阻抗	f = 1MHz		5		Ω
关断						
$V_{Shutdown}$	关断引脚输入电压 (1)	器件禁用（关断）	(V+)-0.35			V
		器件启用			(V+) – 3	V
	关断引脚漏电流			1		µA
	开通时间 (2)			2		µs
	关断时间 (2)			3		µs
	关断电流	关断（禁用）		1	20	µA

(1) 禁用时，输出呈现高阻抗状态。
(2) 请参阅*典型特性* 曲线（图 39 至图 41）。

Copyright © 2006–2018, Texas Instruments Incorporated

电气特性：V_S = ±2.25V 至 ±18V (OPAx211) (continued)

T_A = 25°C，R_L = 10kΩ 连接至中间电源，且 V_{CM} = V_{OUT} = 中间电源（除非另外说明）

参数		测试条件	最小值	典型值	最大值	单位
电源						
V_S	额定电压		±2.25		±18	V
I_Q	静态电流（每通道）	I_{OUT} = 0A		3.6	4.5	mA
		I_{OUT} = 0A T_A = –40°C 至 +125°C			6	mA
温度范围						
T_A	额定温度范围		-40		125	°C
T_A	温度范围		–55		150	°C

Copyright © 2006–2018, Texas Instruments Incorporated

6.7 电气特性：V_S = ±2.25 至 ±18V - 高级 OPAx211

T_A = 25°C，R_L = 10kΩ 连接至中间电源，且 V_{CM} = V_{OUT} = 中间电源（除非另外说明）

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入失调电压	V_S = ±15V		±20	±50	μV
dV_{OS}/dT	输入失调电压温漂	V_S = ±15V T_A = –40°C 至 +125°C		±0.15	±0.85	μV/°C
PSRR	输入失调电压与电源间的关系	T_A = 25°C		0.1	0.5	μV/V
		T_A = -40°C 至 +125°C			3	μV/V
输入偏置电流						
I_B	输入偏置电流	V_{CM} = 0V		±50	±125	nA
		V_{CM} = 0V T_A = –40°C 至 +125°C			±200	nA
I_{OS}	输入失调电流	V_{CM} = 0V		±20	±75	nA
		T_A = –40°C 至 +125°C			+150	nA
噪声						
e_n	输入电压噪声	f = 0.1 至 10Hz		80		nV_{PP}
	输入电压噪声密度	f = 10Hz		2		$nV/\sqrt{Hz}$
		f = 100Hz		1.4		$nV/\sqrt{Hz}$
		f = 1kHz		1.1		$nV/\sqrt{Hz}$
I_n	输入电流噪声密度	f = 10Hz		3.2		$pA/\sqrt{Hz}$
		f = 1kHz		1.7		$pA/\sqrt{Hz}$
输入电压范围						
V_{CM}	共模电压范围	V_S ≥ ±5V	(V–) + 1.8		(V+) – 1.4	V
		V_S < ±5V	(V–) + 2		(V+) – 1.4	V
CMRR	共模抑制比	V_S ≥ ±5V (V–) + 2V ≤ V_{CM} ≤ (V+) – 2V T_A = –40°C 至 +125°C	114	120		dB
		V_S < ±5V (V–) + 2V ≤ V_{CM} ≤ (V+) – 2V T_A = –40°C 至 +125°C	110	120		dB
输入阻抗						
	差分			20 || 8		kΩ || pF
	共模			10 || 2		GΩ || pF
开环增益						
A_{OL}	开环电压增益	(V–) + 0.2V ≤ V_O ≤ (V+) – 0.2V R_L = 10kΩ T_A = –40°C 至 +125°C	114	130		dB
		(V–) + 0.6V ≤ V_O ≤ (V+) – 0.6V R_L = 600Ω	110	114		dB
		OPA211： (V–) + 0.6V ≤ V_O ≤ (V+) – 0.6V I_O ≤ 15mA T_A = –40°C 至 +125°C	110			dB
		OPA211： (V–) + 0.6V ≤ V_O ≤ (V+) – 0.6V 15mA < I_O ≤ 30mA T_A = –40°C 至 +125°C	103			dB
频率响应						
GBW	增益带宽积	G = 100		80		MHz
		G = 1		45		MHz
SR	压摆率			27		V/μs

Copyright © 2006–2018, Texas Instruments Incorporated

电气特性：V_S = ±2.25 至 ±18V - 高级 OPAx211 (continued)

T_A = 25°C，R_L = 10kΩ 连接至中间电源，且 V_{CM} = V_{OUT} = 中间电源（除非另外说明）

参数		测试条件	最小值	典型值	最大值	单位
t_S	建立时间, 0.01%	V_S = ±15V G = –1 10V 阶跃 C_L = 100pF		400		ns
	0.0015%（16 位）	V_S = ±15V G = –1 10V 阶跃 C_L = 100pF		700		ns
	过载恢复时间	G = -10		500		ns
THD+N	总谐波失真 + 噪声	G = 1 f = 1kHz V_O = 3V_{RMS} R_L = 600Ω		0.000015%		
				–136		dB

Copyright © 2006–2018, Texas Instruments Incorporated

电气特性：V_S = ±2.25 至 ±18V - 高级 OPAx211 (continued)

T_A = 25°C，R_L = 10kΩ 连接至中间电源，且 V_{CM} = V_{OUT} = 中间电源（除非另外说明）

参数		测试条件	最小值	典型值	最大值	单位
输出						
V_{OUT}	电压输出	R_L = 10kΩ A_{OL} ≥ 114dB T_A = –40°C 至 +125°C	(V–) + 0.2		(V+) – 0.2	V
		R_L = 600Ω A_{OL} ≥ 110dB	(V–) + 0.6		(V+) – 0.6	V
		I_O < 15mA A_{OL} ≥ 110dB T_A = –40°C 至 +125°C	(V–) + 0.6		(V+) – 0.6	V
I_{SC}	短路电流			30 /–45		mA
C_{LOAD}	容性负载驱动			请参阅 *典型特性*		pF
Z_O	开环输出阻抗	f = 1MHz		5		Ω
关断						
$V_{Shutdown}$	关断引脚输入电压 (1)	器件禁用（关断）	(V+)-0.35			V
		器件启用			(V+) – 3	V
	关断引脚漏电流			1		μA
	开通时间 (2)			2		μs
	关断时间 (2)			3		μs
	关断电流	关断（禁用）		1	20	μA
电源						
V_S	额定电压		±2.25		±18	V
I_Q	静态电流（每通道）	I_{OUT} = 0A		3.6	4.5	mA
		I_{OUT} = 0A T_A = –40°C 至 +125°C			6	mA
温度范围						
T_A	额定温度范围		-40		125	°C
T_A	温度范围		–55		150	°C

(1) 禁用时，输出呈现高阻抗状态。
(2) 请参阅*典型特性* 曲线（图 39 至图 41）。

版权 © 2006–2018, Texas Instruments Incorporated

6.8 典型特性

T_A = 25°C，V_S = ±18V，且 R_L = 10kΩ（除非另有说明）。

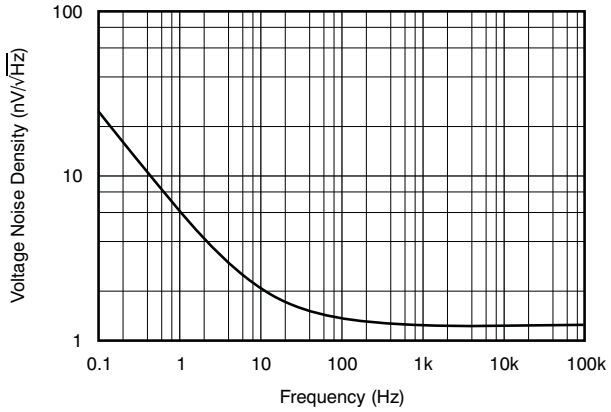


图 1. 输入电压噪声密度与频率间的关系

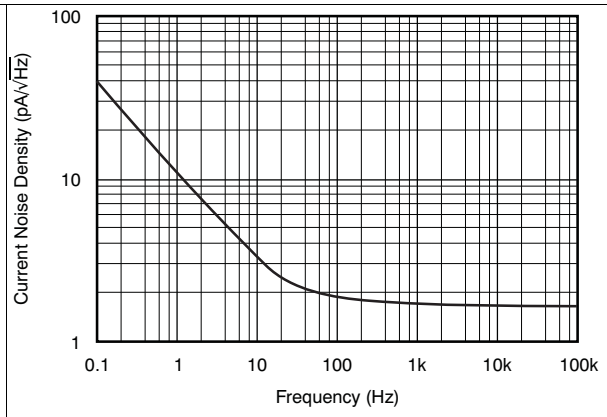


图 2. 输入电流噪声密度与频率间的关系

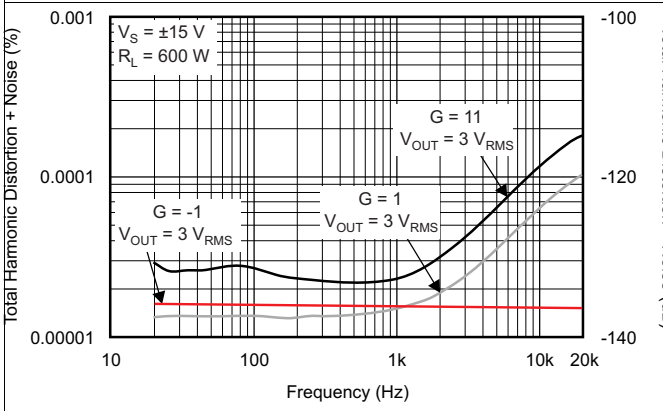


图 3. THD + N 与频率间的关系

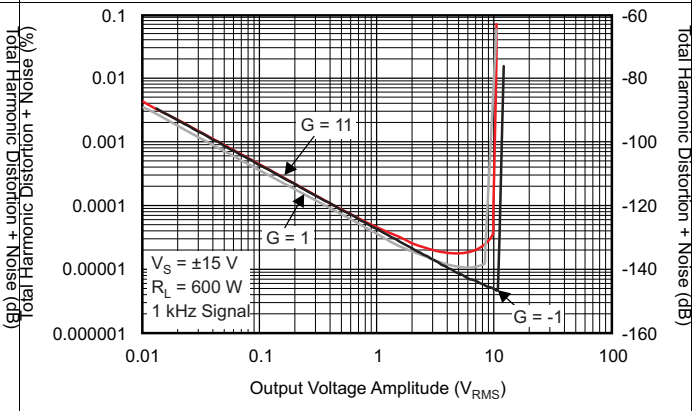


图 4. THD + N 与输出电压幅度间的关系

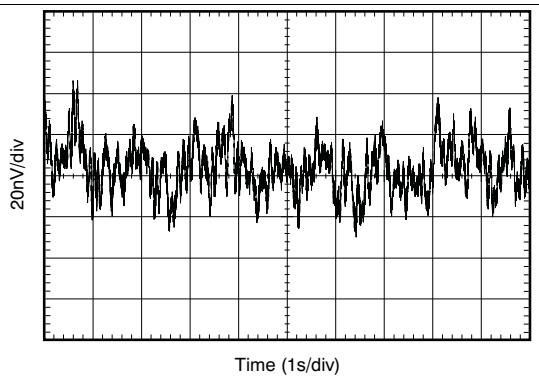


图 5. 0.1Hz 至 10Hz 噪声

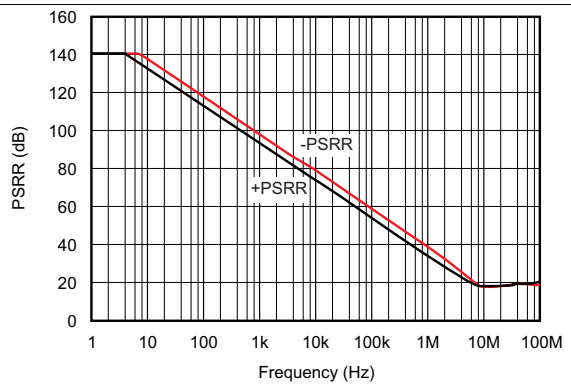


图 6. 电源抑制比与频率间的关系（以输入为基准）

典型特性 (接下页)

T_A = 25°C，V_S = ±18V，且 R_L = 10kΩ（除非另有说明）。

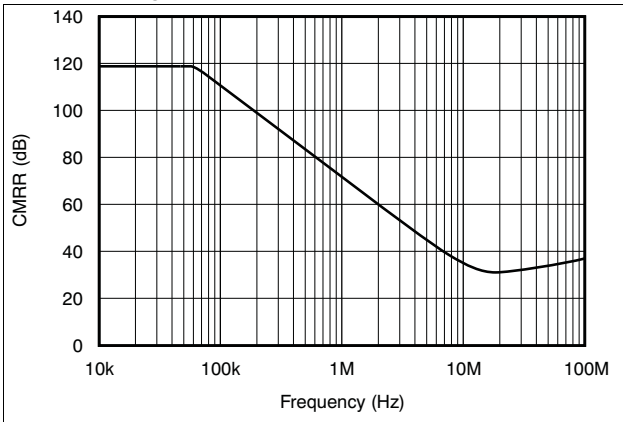


图 7. 共模抑制比与频率间的关系

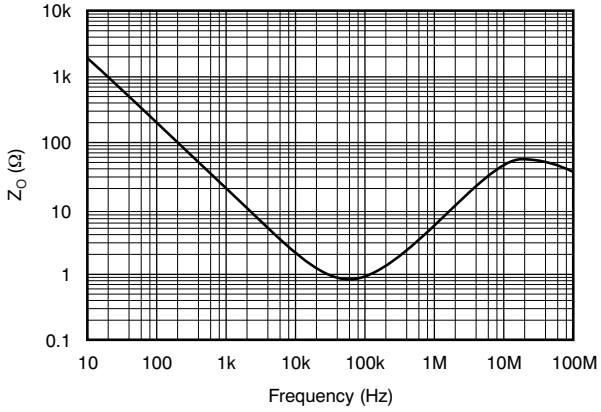


图 8. 开环输出阻抗与频率间的关系

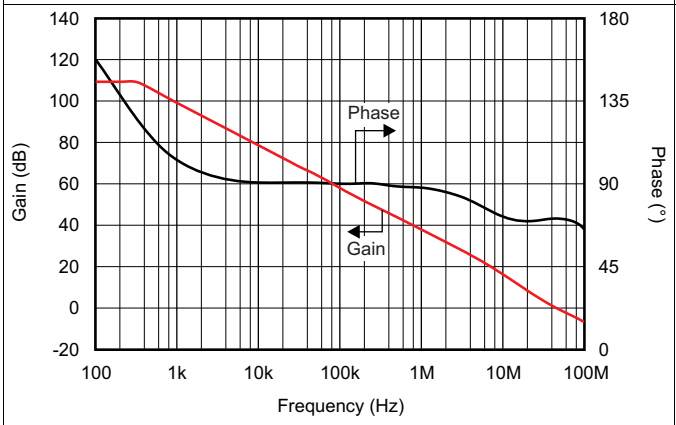


图 9. 增益和相位与频率间的关系

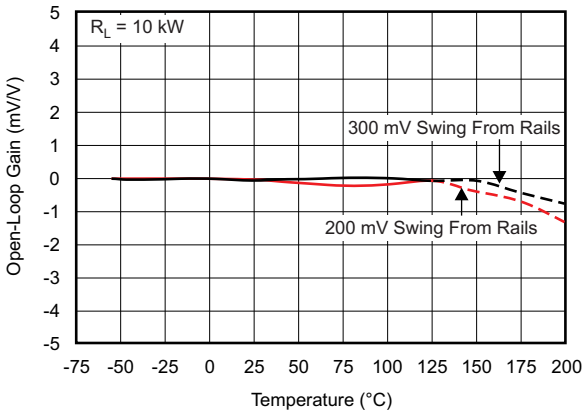


图 10. 开环增益与温度间的关系

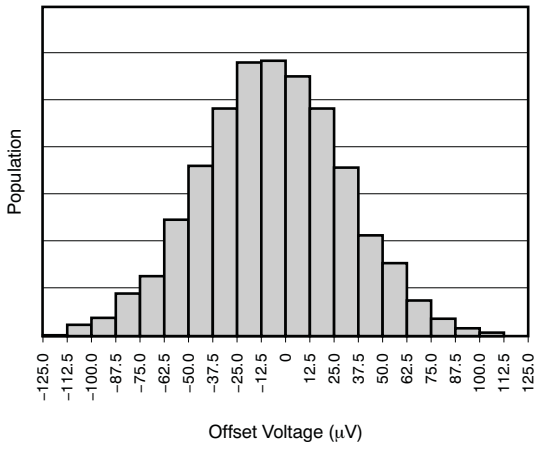


图 11. 失调电压产生分布

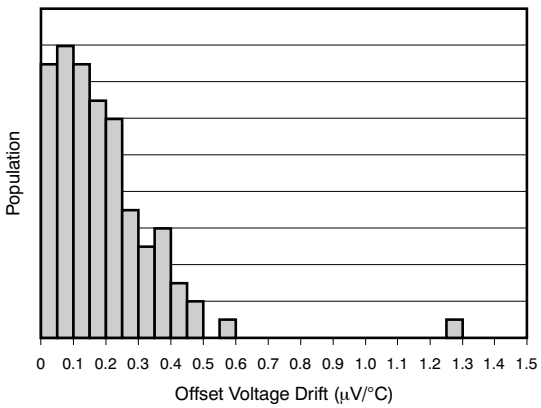


图 12. 失调电压温漂产生分布

版权 © 2006–2018, Texas Instruments Incorporated

典型特性 (接下页)

T_A = 25°C，V_S = ±18V，且 R_L = 10kΩ（除非另有说明）。

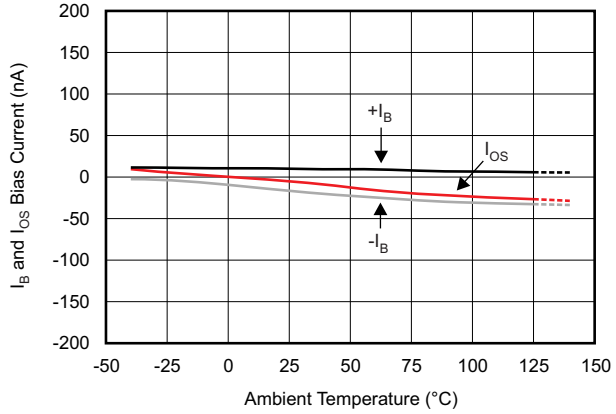


图 13. I_B 和 I_{OS} 电流与温度间的关系

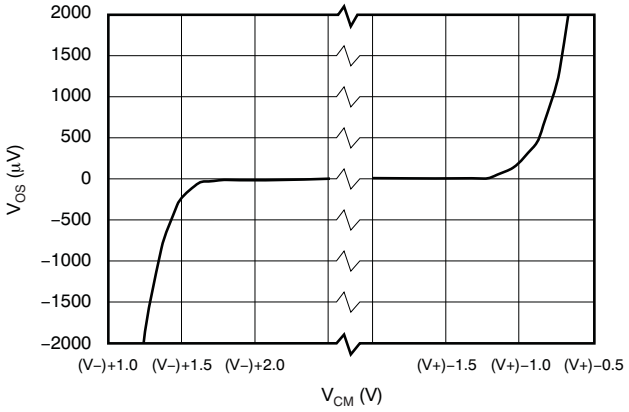


图 14. 失调电压与共模电压间的关系

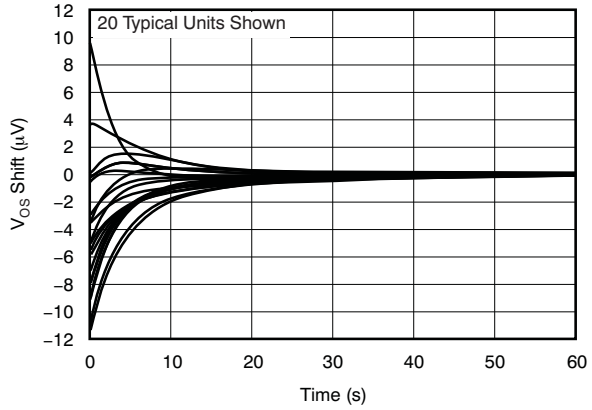


图 15. V_{OS} 预热

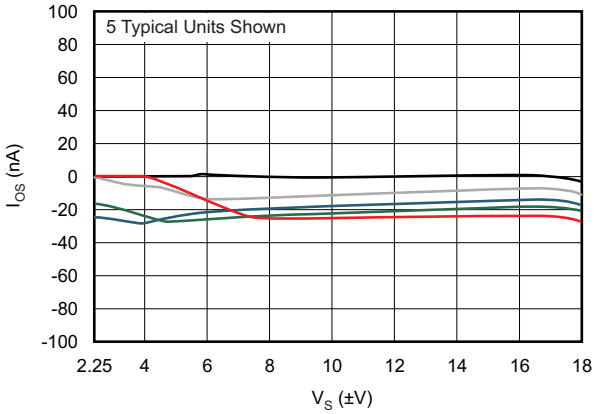


图 16. 输入失调电流与电源电压间的关系

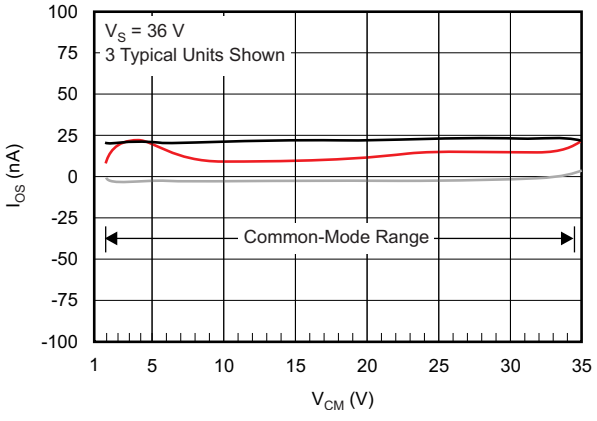


图 17. 输入失调电流与共模电压间的关系

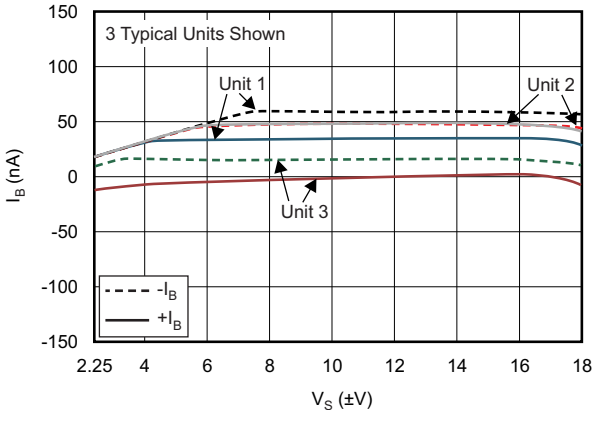


图 18. 输入偏置电流与电源电压间的关系

典型特性 (接下页)

T_A = 25°C，V_S = ±18V，且 R_L = 10kΩ（除非另有说明）。

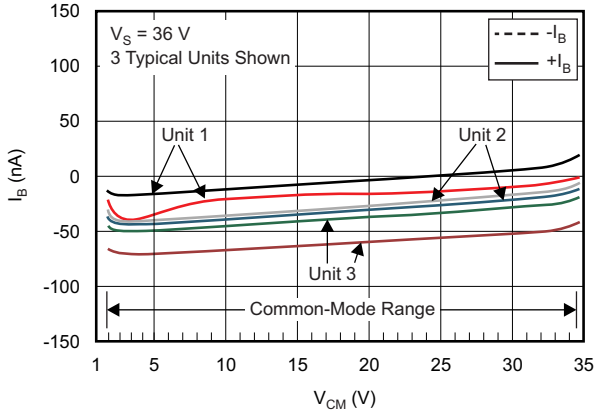


图 19. 输入偏置电流与共模电压间的关系

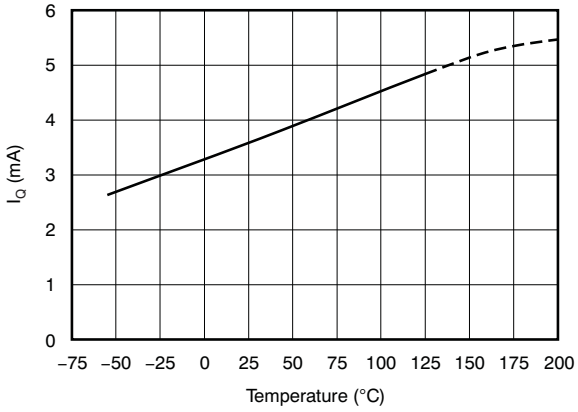


图 20. 静态电流与温度间的关系

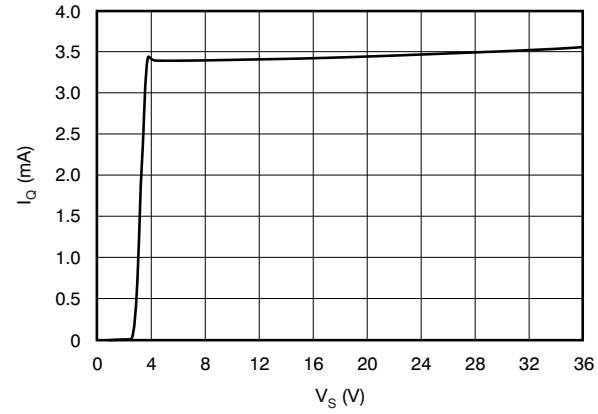


图 21. 静态电流与电源电压间的关系

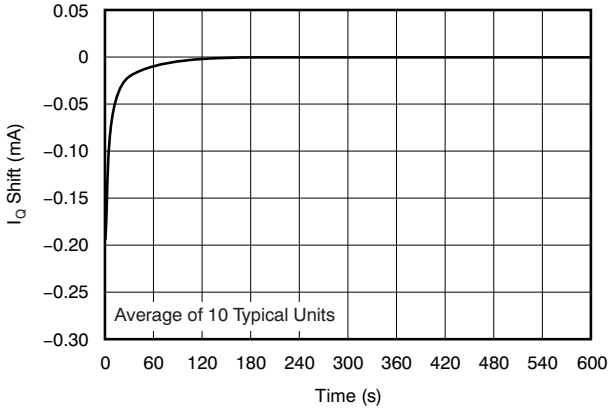


图 22. 标称静态电流与时间间的关系

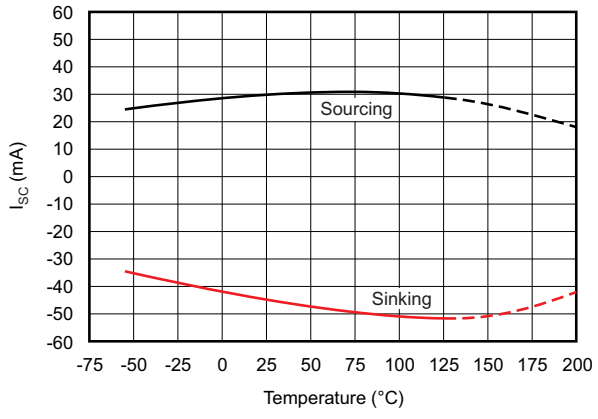


图 23. 短路电流与温度间的关系

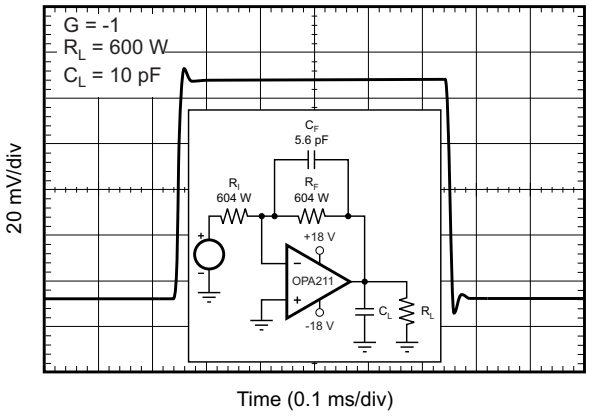


图 24. 小信号阶跃响应 (100mV)

版权 © 2006–2018, Texas Instruments Incorporated

典型特性 (接下页)

T_A = 25°C，V_S = ±18V，且 R_L = 10kΩ（除非另有说明）。

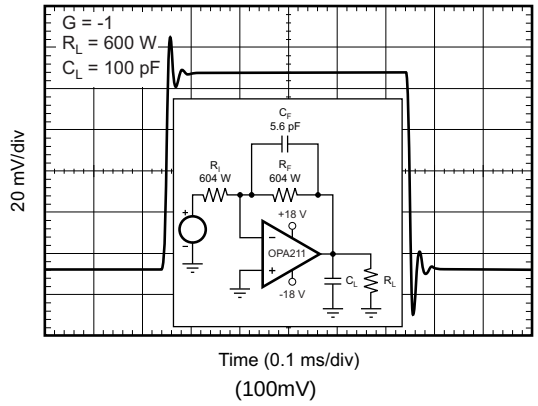


图 25. 小信号阶跃响应

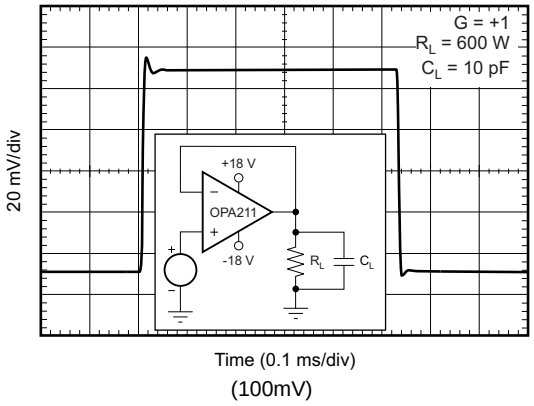


图 26. 小信号阶跃响应

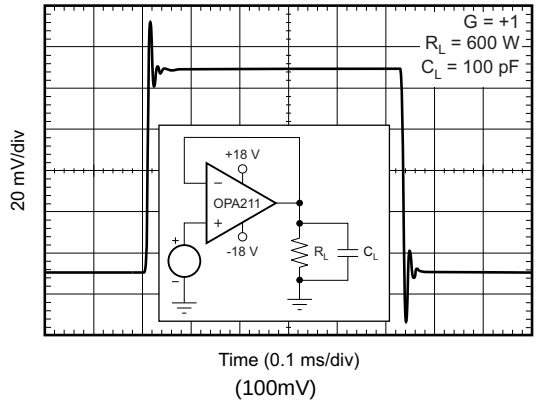


图 27. 小信号阶跃响应

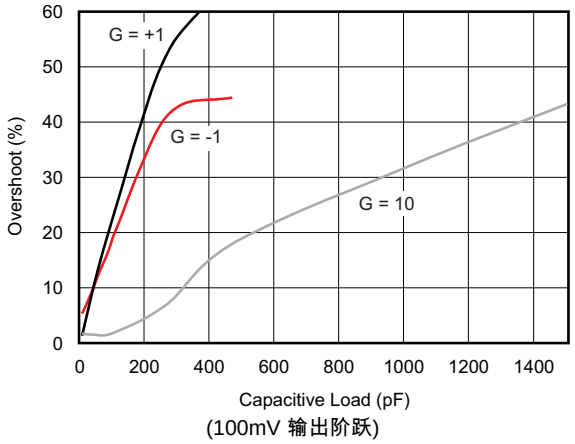


图 28. 小信号过冲与容性负载间的关系

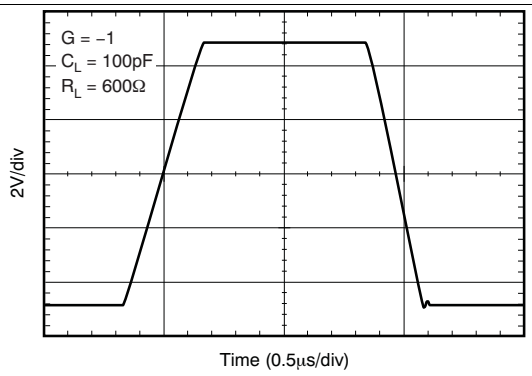


图 29. 大信号阶跃响应

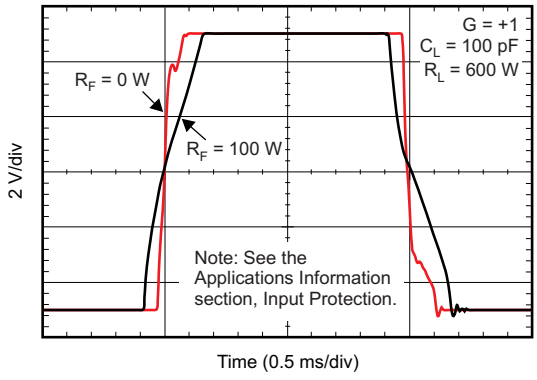


图 30. 大信号阶跃响应

典型特性 (接下页)

T_A = 25°C，V_S = ±18V，且 R_L = 10kΩ（除非另有说明）。

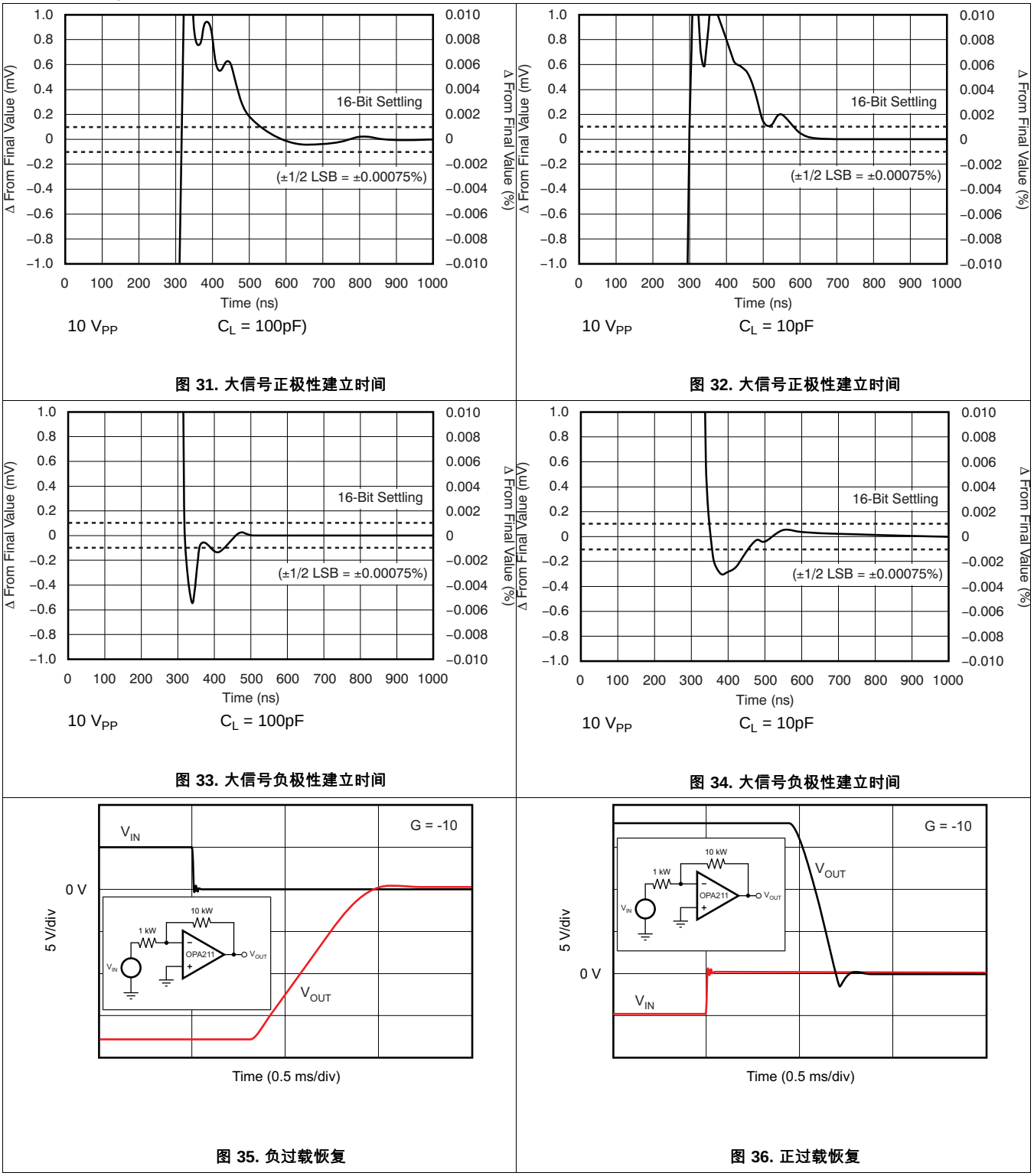


图 31. 大信号正极性建立时间

图 32. 大信号正极性建立时间

图 33. 大信号负极性建立时间

图 34. 大信号负极性建立时间

图 35. 负过载恢复

图 36. 正过载恢复

版权 © 2006–2018, Texas Instruments Incorporated

典型特性 (接下页)

T_A = 25°C，V_S = ±18V，且 R_L = 10kΩ（除非另有说明）。

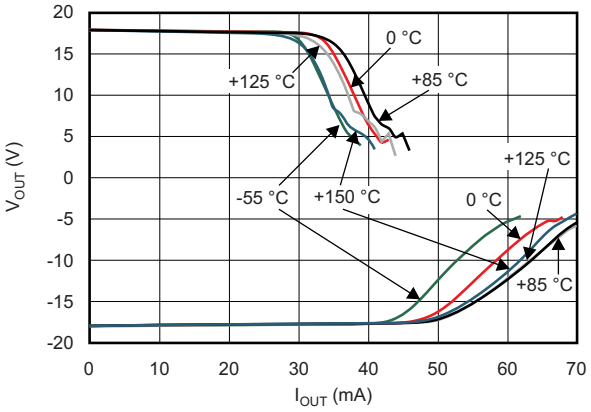


图 37. 输出电压与输出电流间的关系

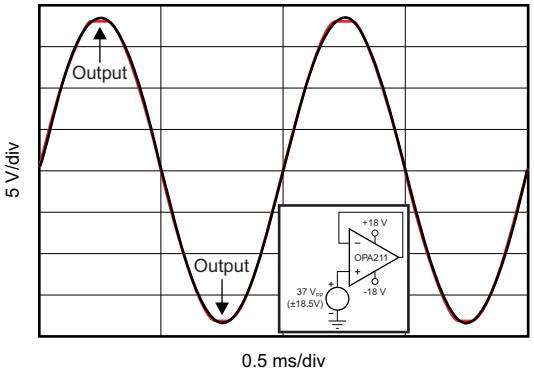


图 38. 无相位反转

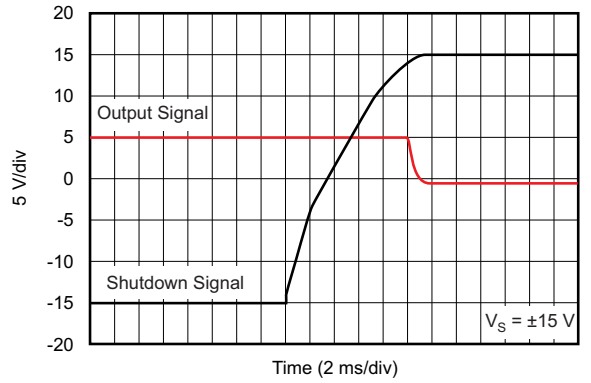


图 39. 关闭瞬态

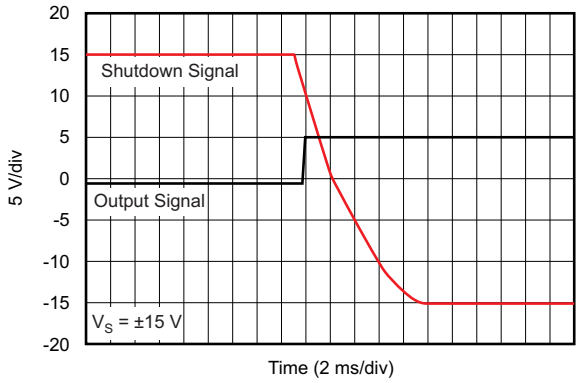


图 40. 导通瞬态

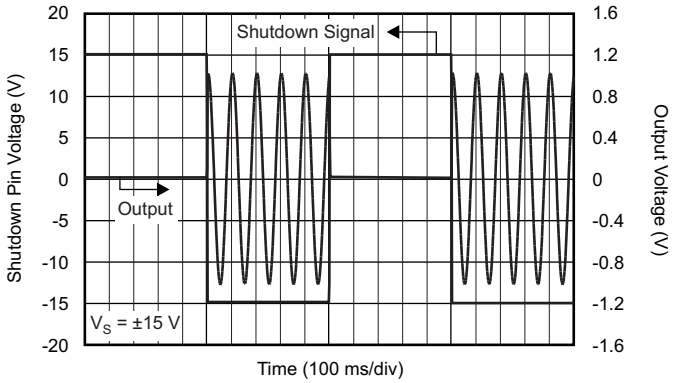


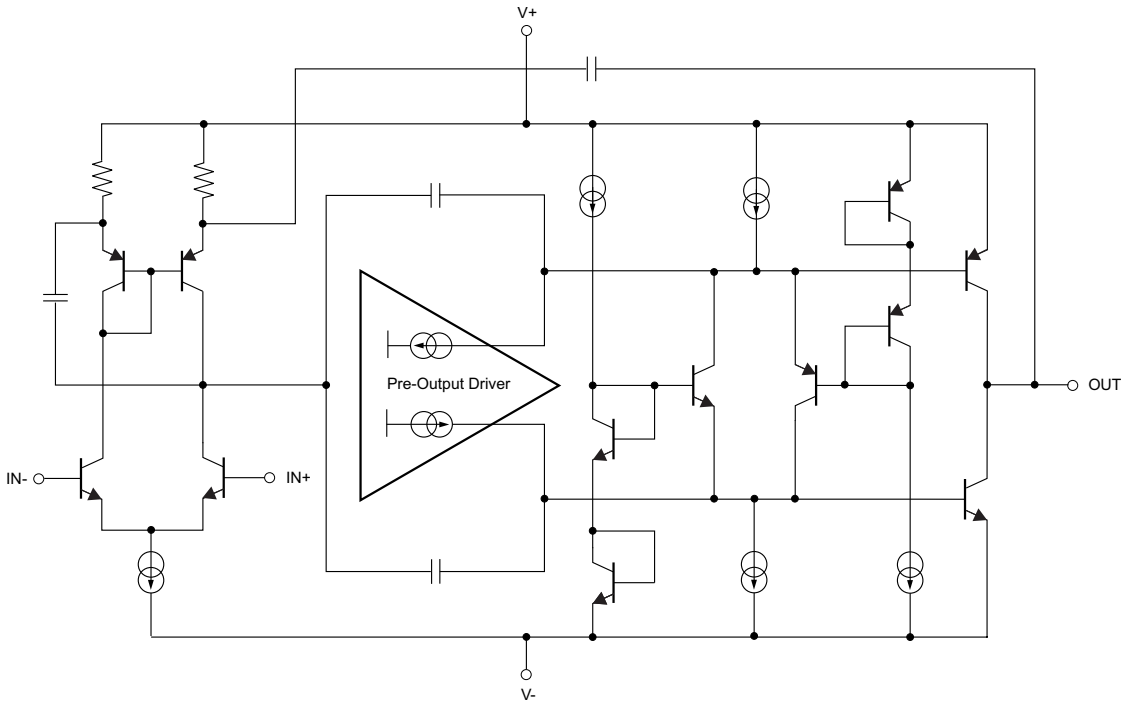
图 41. 导通和关闭瞬态

7 详细 说明

7.1 概述

OPAx211 系列运算放大器有单通道版本 (OPA211) 和双通道版本 (OPA2211)。单通道版本可以采用或不采用关断功能。OPAx211 系列运算放大器 特性 1.1nV/√Hz 的超低超声、0.000015% 的低总谐波失真 + 噪声以及较宽的轨至轨输出摆幅。这些独有的 特性 使得 OPAx211 系列适用于宽动态范围的 应用 并可驱动高速模数转换器。OPAx211 系列可以抵御输入电压差异性过大所带来的影响，并具有完全的电磁干扰抑制比 (EMIRR) 特性。OPAx211 采用低至 4.5V (±2.25V) 和高达 36V (±18V) 的电源电压运行。OPAx211 系列的工作温度范围为 –40°C 至 +125°C，并且在整个温度范围内的参数特性变化不大。

7.2 功能框图



Copyright © 2017, Texas Instruments Incorporated

7.3 特性 说明

7.3.1 总谐波失真测定

OPA211 系列运算放大器具有出色的失真特性。负载为 600Ω 时，整个音频范围（20Hz 至 20kHz）内的 THD+N 低于 0.0001%（G = 1，V_O = 3V_{RMS}）。

OPA2x11 系列运算放大器产生的失真低于许多商用失真分析仪的测量限值。但是，图 43 中所示的特殊测试电路可以扩展测量能力。

运算放大器失真可视为能够以输入为基准的内部误差源。图 43 显示的电路能够使运算放大器的失真达到运算放大器通常产生的失真的 101 倍。如果在标准同相放大器配置中额外添加 R_3，则会改变电路的反馈系数或噪声增益。闭环增益保持不变，但纠错反馈系数降低 101 倍，因此分辨率可提高 101 倍。

注

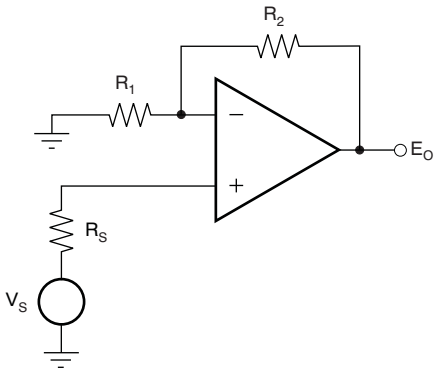
运算放大器上应用的输入信号和负载与没有增加 R_3 时的传统反馈电路相同。应选用较小的 R_3 值以最大限度降低其对失真测量的影响。

版权 © 2006–2018, Texas Instruments Incorporated

特性 说明 (接下页)

这一方法可通过在高增益/高频条件下重复测定来加以验证，此时测试设备应能够对该放大器的失真进行测定。本数据表中的数据是通过使用 Audio Precision System Two 系列的失真/噪声分析仪测定的，此工具能够大幅简化这种重复测量工作。不过，也可以通过使用手动失真测量仪来实现这一测量方法。

Noise in Noninverting Gain Configuration



Noise at the output:

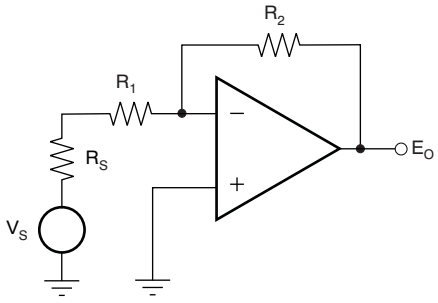
$$E_O^2 = \left(1 + \frac{R_2}{R_1}\right)^2 e_n^2 + e_1^2 + e_2^2 + (i_n R_2)^2 + e_S^2 + (i_n R_S)^2 \left(1 + \frac{R_2}{R_1}\right)^2$$

Where $e_S = \sqrt{4kTR_S} \times \left(1 + \frac{R_2}{R_1}\right)$ = thermal noise of R_S

$e_1 = \sqrt{4kTR_1} \times \left(\frac{R_2}{R_1}\right)$ = thermal noise of R_1

$e_2 = \sqrt{4kTR_2}$ = thermal noise of R_2

Noise in Inverting Gain Configuration



Noise at the output:

$$E_O^2 = \left(1 + \frac{R_2}{R_1 + R_S}\right)^2 e_n^2 + e_1^2 + e_2^2 + (i_n R_2)^2 + e_S^2$$

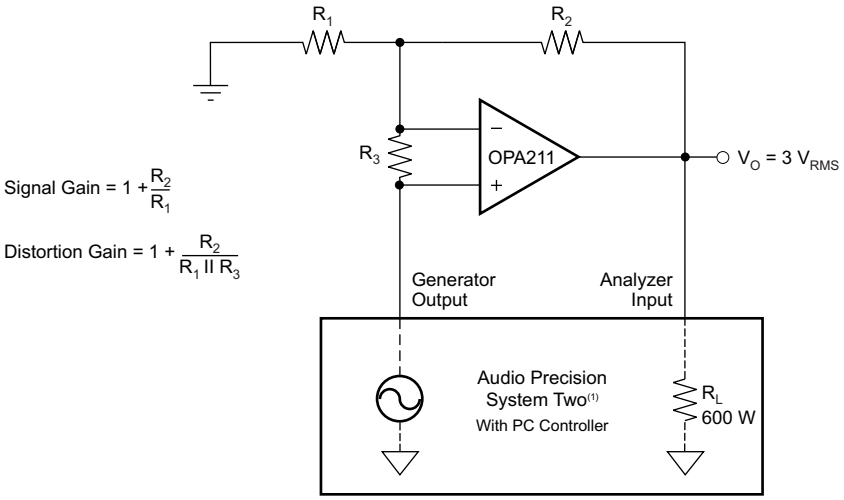
Where $e_S = \sqrt{4kTR_S} \times \left(\frac{R_2}{R_1 + R_S}\right)$ = thermal noise of R_S

$e_1 = \sqrt{4kTR_1} \times \left(\frac{R_2}{R_1 + R_S}\right)$ = thermal noise of R_1

$e_2 = \sqrt{4kTR_2}$ = thermal noise of R_2

For the OPA211 series op amps at 1kHz, $e_n = 1.1nV/\sqrt{Hz}$ and $i_n = 1.7pA/\sqrt{Hz}$.

图 42. 增益配置噪声计算



SIG. GAIN	DIST. GAIN	R_1	R_2	R_3
1	101	¥	1kW	10W
11	101	100W	1kW	11W

Copyright © 2017, Texas Instruments Incorporated

图 43. 失真测试电路

7.4 器件功能模式

OPAx211 可在电源电压大于 4.5V (±2.25V) 时工作。OPAx211 系列的最大电源电压为 36V (±18V)。

7.4.1 关断

OPA211 的关断（使能）功能以运算放大器的正电源电压为基准。有效高电平会禁用运算放大器。有效高电平是指施加到关断引脚的正电源电压 (V+) – 0.35V。有效低电平是指正电源引脚下方 (V+) – 3V。例如，V_{CC} 为 ±15V 时，该器件在 12V 或低于 12V 时启用，而在 14.65V 或以上时禁用。如果使用双电源或分离式电源，应注意确保有效高电平或有效低电平输入信号以正电源电压为适当基准。该引脚必须连接到有效的高电压或低电压或者被驱动，而不是保留开路。*典型特性* 部分提供了启用和禁用时间（请参阅图 39 至图 41）。禁用时，输出呈现高阻抗状态。

版权 © 2006–2018, Texas Instruments Incorporated

8 应用和实现

注

以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

OPA211 和 OPA2211 是具有单位增益稳定特性和极低噪声的精密运算放大器。应用 中，去耦电容器需靠近器件引脚。大多数情况下，0.1μF 电容器已足够满足需求。

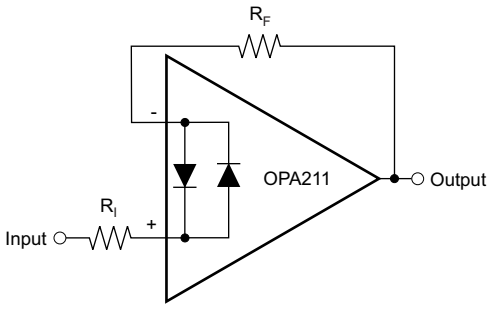
8.1.1 工作电压

OPA211 系列运算放大器由 ±2.25V 至 ±18V 电源供电，并可确保出色的性能。OPA211 系列器件支持的工作电源压差最低为 4.5V，最高为 36V。不过，有些 应用 不需要正负输出电压摆幅相等。对于 OPA211 系列器件来说，正负供电电源电压不需要相等。例如，正电源可设为 25V，而负电源可设为 -5V，反之亦然。

共模电压必须保持在额定范围内。此外，主要参数是在额定工作温度范围（T_A = –40°C 至 +125°C）内确定的。*典型特性* 中显示了随工作电压或温度的变化而显著变化的参数。

8.1.2 输入保护

OPA211 的输入端子由背对背二极管提供保护，不会因差分电压过大而受损，如图 44 中所示。在大多数电路 应用中，输入保护电路没有任何影响。但在低增益或 G = 1 的电路中，快速变化的输入信号可能会导致这些二极管发生正向偏置，因为放大器的输出无法足够快地响应该输入变化。此影响如图 30（*典型特性* 部分）所示。如果输入信号的变化速度足以建立这种正向偏置条件，那么输入信号电流必须限定为不高于 10mA。如果未对输入信号电流进行内在限定，则可以使用输入串联电阻来限制信号输入电流。该输入串联电阻会降低 OPA211 的低噪声性能；本数据表的*噪声性能* 部分对此进行了讨论。图 44 显示了实现限流反馈电阻器的示例。



Copyright © 2017, Texas Instruments Incorporated

图 44. 脉冲操作

8.1.3 噪声性能

图 45 显示了采用单位增益配置的运算放大器在使用不同源阻抗时的总电路噪声（无反馈电阻器网络，因此不产生额外的噪声）。图中显示了两个不同的运算放大器，并计算了总电路噪声。OPAx211 具有非常低的电压噪声，使得该系列成为低源阻抗（小于 2kΩ）切实可行的选择。类似的精密运算放大器 OPA227 具有稍高一些的电压噪声，但电流噪声更低。该器件在中等源阻抗（10 至 100kΩ）下提供出色的噪声性能。高于 100kΩ 时，FET 输入运算放大器（如 OPA132，具有非常低的电流噪声）可能会提高性能。图 45 所示的公式可用于计算总电路噪声。

注

e_n = 电压噪声，I_n = 电流噪声，R_S = 源阻抗，k = 玻尔兹曼常数 = 1.38×10^{-23} J/K，而 T 为开氏温度。

应用信息 (接下页)

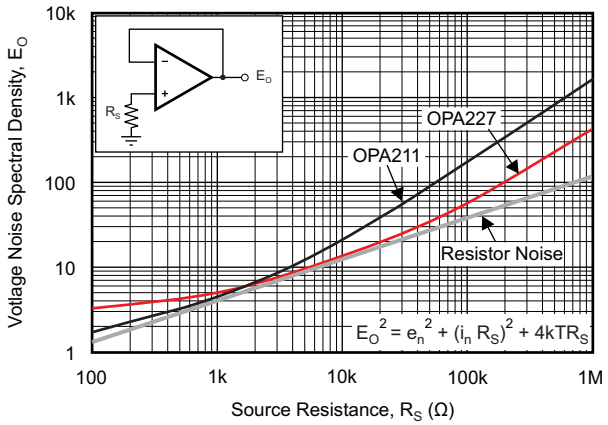


图 45. 采用单位增益缓冲器配置的 OPA211 和 OPA227 的噪声性能

8.1.4 基本噪声计算

低噪声运算放大器电路的设计必须仔细考量多种可能的噪声来源：信号源噪声、运算放大器产生的噪声以及反馈网络电阻器产生的噪声。电路总噪声是所有噪声分量的平方和根值。

源阻抗的电阻部分产生的热噪声与电阻的方根成正比。图 45 显示了该函数。源阻抗通常为固定值；因此，需通过选择运算放大器和反馈电阻器来最大限度降低总噪声的相应分量。

图 45 显示了采用单位增益配置的运算放大器在使用不同源阻抗时的总噪声（无反馈电阻器网络，因此不产生额外的噪声）。运算放大器本身将同时产生电压噪声分量和电流噪声分量。电压噪声通常按失调电压时变分量建模。电流噪声则按输入偏置电流时变分量建模，并根据不同的源阻抗生成一个噪声电压分量。因此，特定应用中运算放大器的最低噪声取决于源阻抗。源阻抗较低时，电流噪声可忽略不计，电压噪声通常占主导。源阻抗较高时，电流噪声可能占主导。

图 42 显示了具有增益的反相和同相运算放大器电路配置。在具有增益的电路配置中，反馈网络电阻器也会产生噪声。运算放大器的电流噪声会与反馈电阻器产生反应，进而产生额外的噪声分量。一般可通过选择合适的反馈电阻值使这些噪声源降低至忽略不计。以下为两种配置的总噪声计算公式。

8.1.5 EMI 抑制

电磁干扰 (EMI) 抑制比 (EMIRR) 描述了运算放大器的 EMI 抗扰性。许多运算放大器常见的不利影响是由射频信号整流引起的失调电压变化。如果一个运算放大器能更有效地抑制由 EMI 引起的失调电压变化，该放大器会具有较高的 EMIRR 并由分贝值量化。测量 EMIRR 可用多种方法来完成，但是本部分提供了 EMIRR IN+，当射频信号施加到运算放大器的同相输入引脚时，可使用该指标来具体描述 EMIRR 性能。一般情况下，仅出于以下三点原因对同相输入进行 EMIRR 的测试：

1. 众所周知，运算放大器输入引脚对 EMI 最为敏感，通常比电源引脚或输出引脚能更好地校正射频信号。
2. 同相和反相运算放大器输入具有对称的物理布局，并表现出近乎匹配的 EMIRR 性能。
3. 在同相引脚上测量 EMIRR 比在其他引脚上测量更容易，因为在印刷电路板 (PCB) 上可以隔离同相输入端子。这种隔离使得射频信号可以直接施加到同相输入端子上，而不会与其他组件或连接性 PCB 走线之间发生复杂的相互作用。图 46

OPA211 的 EMIRR IN+ 与频率间的关系图如图 46 所示。任何双路和四路运算放大器器件版本（如果可用）具有几乎相似的 EMIRR IN+ 性能。OPA211 单位增益带宽为 45MHz。低于该频率的 EMIRR 性能表示存在位于运算放大器带宽内的干扰信号。

如需了解详细信息，也可参阅*《运算放大器的 EMI 抑制比》*应用报告，下载地址为 www.ti.com。

版权 © 2006–2018, Texas Instruments Incorporated

应用信息 (接下页)

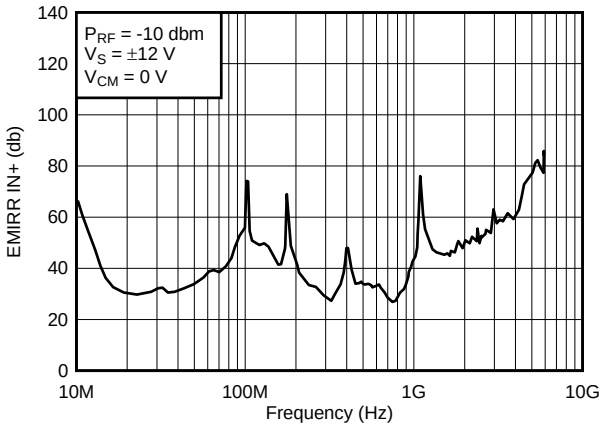


图 46. OPA211 EMIRR

表 1 显示在实际应用中经常遇到的特定频率下 OPA211 的 EMIRR IN+ 值。 应用。在 表 1中列出的应用可在下图给出的特定频率或其近似频率下运行。该信息对于在这些类型的 应用中从事相关设计的人员或者在其他可能遇到各种射频干扰（如工业、科学和医疗 (ISM) 无线电频带）的领域工作的设计人员可能特别有用。

版权 © 2006–2018, Texas Instruments Incorporated

应用信息 (接下页)

表 1. OPA211 在相关频率下的 EMIRR IN+

频率	应用或分配	EMIRR IN+
400MHz	移动无线广播、移动卫星、太空操作、气象、雷达、超高频 (UHF) 应用	48.4dB
900MHz	移动通信全球系统 (GSM) 应用，广播通信、导航、GPS（至 1.6GHz）、GSM、航空移动、UHF 应用	34.6dB
1.8GHz	GSM 应用，个人移动通信、宽带、卫星、L 波段（1GHz 至 2GHz）	46dB
2.4GHz	802.11b、802.11g、802.11n、蓝牙®、个人移动通信、工业、科学和医疗 (ISM) 无线频段、业余无线电通信和卫星、S 波段（2GHz 至 4GHz）	56.9dB
3.6GHz	无线电定位、航空通信和导航、卫星、移动通信、S 波段	61.5dB
5GHz	802.11a、802.11n、航空通信和导航、移动通信、太空和卫星运行、C 波段（4GHz 至 8GHz）	76.7dB

8.1.6 EMIRR +IN 测试配置

图 47 显示了用于测试 EMIRR IN+ 的电路配置。射频源用传输线连接到运算放大器同相输入端子。该运算放大器采用单位增益缓冲器拓扑，其输出端连接到低通滤波器 (LPF) 和数字万用表 (DMM)。

注

该运算放大器输入端的大阻抗失配会导致电压反射；但是，在确定 EMIRR IN+ 时会表征和考虑这种效应。产生的直流失调电压由万用表采样并测量。

LPF 将万用表与可能干扰万用表精度的残余射频信号隔离开。

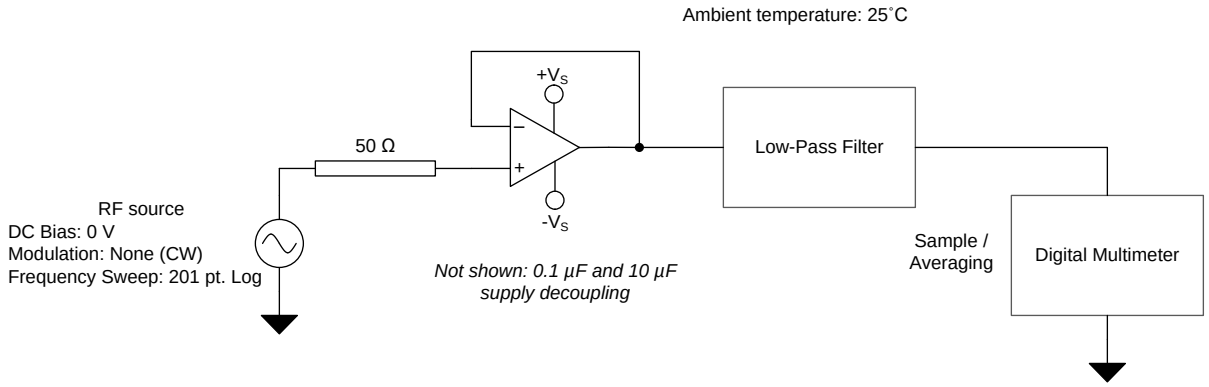


图 47. EMIRR +IN 测试配置

8.1.7 电气过载

设计人员经常会问到关于运算放大器承受电气过载能力的问题。这些问题的重点在于器件输入，但同时也会涉及电源引脚甚至是输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路有内置的内部静电放电 (ESD) 保护来在产品组装之前和组装过程中保护此电路不受意外的 ESD 事件的影响。

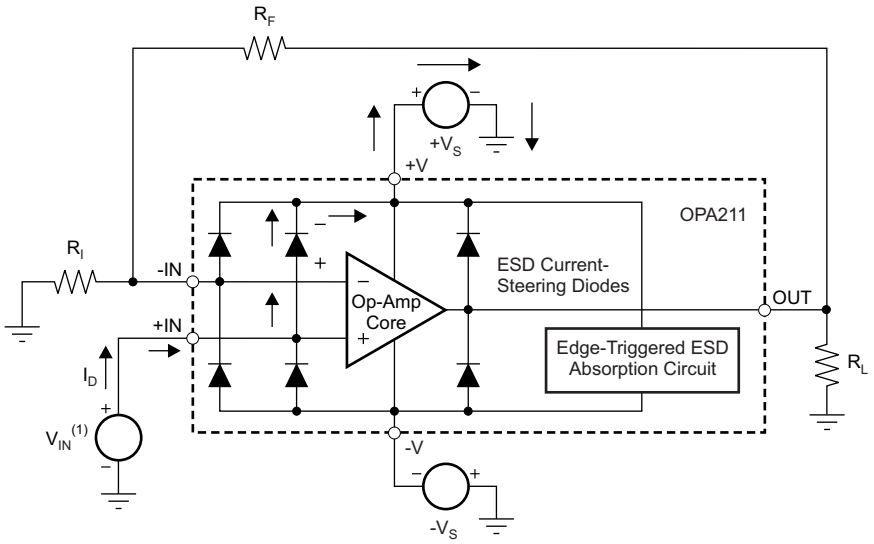
能够充分了解该基本 ESD 电路及其与电气过载事件的关联性会有所帮助。图 48 展示了 OPA211 中包含的 ESD 电路（用虚线区域指示）。ESD 保护电路中涉及多个钳位二极管，这些二极管从输入和输出引脚方向连接回内部供电线路，并且均连接到运算放大器内的吸收器件。这种保护电路在电路正常工作时处于非活动状态。

一个 ESD 事件产生一个持续时间短、高电压脉冲，此脉冲在它经半导体器件放电时被转变成一个持续时间短、高电流脉冲。运算放大器核心周围设计了 ESD 保护电路来提供电流路径，可防止造成损坏。保护电路吸收的能量将以热量形式耗散。

当两个或多个放大器器件引脚上产生 ESD 电压时，电流将流经一个或多个导流二极管。根据电流所选路径，吸收器件可能会激活。吸收器件具有触发或阈值电压，该电压介于 OPA211 的正常工作电压和器件击穿电压之间。一旦超出该阈值，吸收器件会迅速激活并将电源轨上的电压钳制在安全的电平。

版权 © 2006–2018, Texas Instruments Incorporated

当运算放大器接入某个电路（如图 48 所示的电路）时，ESD 保护组件将保持未激活状态并且不会参与应用电路的运行过程。然而，当施加的电压超过一个指定引脚的工作电压范围时，问题情况有可能会出现。如果这个情况出现，会存在一定的风险，某些内部 ESD 保护电路有可能被偏置而传导电流。此类电流都将流经钳位二极管路径，但很少涉及吸收器件。



Copyright © 2017, Texas Instruments Incorporated

(1) V_{IN} = $+V_S$ + 500mV。

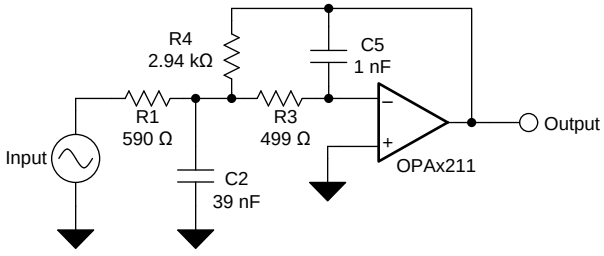
图 48. 等效内部 ESD 电路以及与典型电路应用的关系

图 48 给出了一个具体示例，其中输入电压 V_{IN} 高于正电源电压 ($+V_S$) 500mV 甚至更多。电路中将发生的具体情况取决于电源特性。如果 $+V_S$ 能够吸收电流，那么上面的一个输入钳位二极管就会导通，并将电流传导至 $+V_S$。越来越高的 V_{IN} 会带来过高的电流。因此，本数据表的规格建议 应用 将输入电流限制为 10mA。

如果电源无法灌电流，V_{IN} 就可能开始将电流拉至运算放大器，然后作为正电源电压源进行接管。这种情况比较危险，因为这个电压可能会升高到超出运算放大器的绝对最大额定值。在极端但罕见的情况下，吸收器件可在施加了 $+V_S$ 和 $–V_S$ 时触发。如果出现这种情况，$+V_S$ 和 $–V_S$ 电源间就会建立直接电流路径。此时吸收器件的功耗将会立刻超限，巨大的内部热量将损坏运算放大器。

另一个常见问题是，如果在电源 $+V_S$ 和/或 $–V_S$ 为 0V 时向输入端施加输入信号，放大器如何响应。同样，这个问题取决于电源在 0V 或低于输入信号幅度时的特性。如果电源呈现高阻抗状态，则运算放大器电源电流可由输入源通过导流二极管进行提供。但该状态并非正常偏置条件，放大器极有可能无法正常工作。如果电源表现为低阻态，则通过钳位二极管的电流将变得非常大。电流水平取决于输入源的供电能力以及输入路径中的所有电阻。

8.2 典型应用



Copyright © 2017, Texas Instruments Incorporated

图 49. OPAx211 简化原理图

8.2.1 设计要求

低通滤波器通常用于在信号处理 应用 中降低噪声并防止混叠。OPAx211 器件用于构建高速、高精度的有源滤波器。图 49 展示了信号处理 应用中常见的二阶低通滤波器。

典型应用 (接下页)

本设计示例使用以下参数：

- 增益 = 5V/V（反相增益）
- 低通截止频率 = 25kHz
- 通带中增益峰值为 3dB 的二阶切比雪夫滤波器响应

8.2.2 详细设计流程

图 50 展示了用于低通网络功能的无限增益多反馈电路。使用公式 1 计算电压传递函数。

$$\frac{\text{Output}}{\text{Input}}(s) = \frac{-1/R_1R_3C_2C_5}{s^2 + (s/C_2)(1/R_1 + 1/R_3 + 1/R_4) + 1/R_3R_4C_2C_5} \quad (1)$$

该电路将产生信号反转。对于该电路，直流增益和低通截止频率可通过 公式 2 计算得出：

$$\text{Gain} = \frac{R_4}{R_1}$$

$$f_C = \frac{1}{2\pi}\sqrt{(1/R_3R_4C_2C_5)} \quad (2)$$

可使用软件工具简化滤波器设计。WEBENCH® 滤波器设计器是一款简单、功能强大且便于使用的有源滤波器设计程序。借助 WEBENCH® 滤波设计器，用户可使用精选 TI 运算放大器和 TI 供应商合作伙伴提供的无源组件来打造最佳滤波器设计方案。

WEBENCH® 设计中心以基于网络的工具形式提供 WEBENCH® Filter Designer。用户通过该工具可在短时间内完成多级有源滤波器解决方案的设计、优化和仿真。

8.2.3 应用曲线

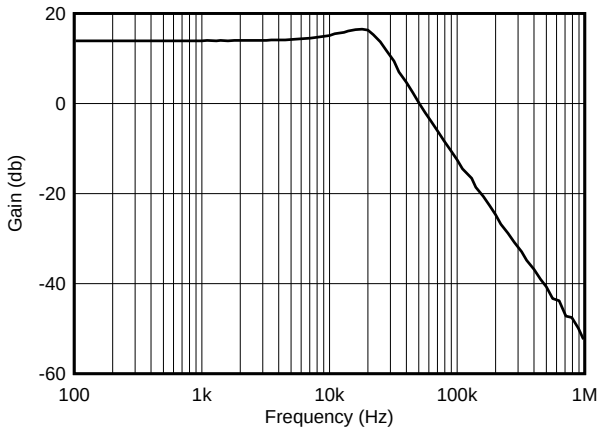


图 50. OPAx211 二阶 25kHz 切比雪夫低通滤波器

9 电源建议

OPAx211 的额定工作电压范围是 4.5V 至 36V（±2.25V 至 ±18V）；多种规格在 –40°C 至 +125°C 的温度范围内适用。*典型特性* 中介绍了随工作电压或温度的变化而明显变化的参数。

10 布局

10.1 布局指南

为了实现器件的最佳运行性能，应使用良好的 PCB 布局规范，包括：

- 噪声可通过全部电路电源引脚以及运算放大器自身传入模拟电路。旁路电容为局部模拟电路提供低阻抗电源，用于降低耦合噪声。

版权 © 2006–2018, Texas Instruments Incorporated

布局指南 (接下页)

  - 在每个电源引脚和接地端之间连接低 ESR 0.1μF 陶瓷旁路电容器，放置位置尽量靠近器件。从 V+ 到接地端的单个旁路电容器适用于单通道电源 应用。
- 将电路的模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 中通常将一层或多层专门作为接地层。接地平面有助于散热和降低 EMI 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。有关更多详细信息，请参阅*《电路板布局技巧》*。
- 为降低寄生耦合，输入走线应尽量远离电源或输出走线。如果这些走线不能保持分离，则敏感走线与有噪声走线垂直相交比平行更好。
- 外部组件的位置应尽量靠近器件。如图 51 所示，使 RF 和 RG 靠近反相输入可最大限度减小寄生电容。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。
- 为获得最佳性能，建议在组装 PCB 板后进行清洗。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。请遵循任何 PCB 水清洁过程，建议将 PCB 组装烘干，以去除清洗时渗入器件封装中的水分。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

10.1.1 SON 布局指南

OPA211 采用 SON-8 封装（也称为 SON）。SON 封装是一种仅在封装底部两侧有引线触点的 QFN 封装。这个无引线封装最大限度增加了电路板空间，并通过外露焊盘来增强散热和电气特性。

SON 封装的物理尺寸小，并具有更小的布线面积、更高的散热性能以及改善的电气寄生效应。此外，无外部引线也消除了引线弯曲问题。

SON 封装可使用标准印刷电路板 (PCB) 组装技术轻松安装。请参阅*《QFN/SON PCB 连接》*应用手册和*《四方扁平无引线逻辑封装》*应用报告，两者均可从 www.ti.com 下载。

注

该封装底部的外露引线框芯片焊盘必须连接至 V–。通过焊接散热焊盘可以改善散热并实现额定的器件性能。

应将 SON 封装上的外露引线框芯片焊盘焊接到 PCB 上的散热焊盘。该数据表末尾附有一份机械制图，其中显示了布局示例。可能需要根据组装过程要求对此布局进行改进。该数据表末尾的机械制图列出了封装和垫的物理尺寸。焊盘布局中的五个空穴为可选项，适合与将引线框芯片垫连接至 PCB 上的散热器区域的热通孔结合使用。

焊接外露焊盘可在温度循环、主要推动、封装剪切及类似板级测试过程中极大地提高板级可靠性。即使是低功耗 应用 ， 外露焊盘也必须焊接到 PCB 上以提供结构完整性和长期可靠性。

版权 © 2006–2018, Texas Instruments Incorporated

10.2 布局示例

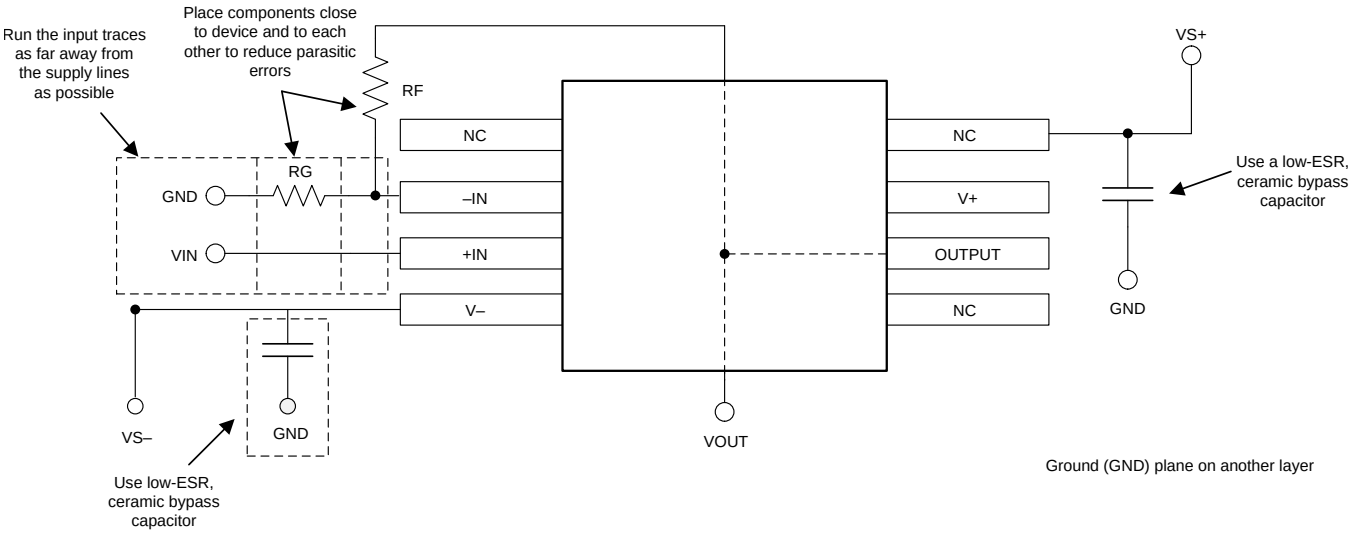


图 51. 布局示例

版权 © 2006–2018, Texas Instruments Incorporated

11 器件和文档支持

11.1 器件支持

11.1.1 开发支持

11.1.1.1 TINA-TI™（免费软件下载）

TINA™是一款简单、功能强大且易于使用的电路仿真程序，此程序基于 SPICE 引擎。TINA-TI 是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 提供所有传统的 SPICE 直流、瞬态和频域分析以及其他设计功能。

TINA-TI 可通过 WEBENCH 设计中心免费下载®，并且可提供广泛的后处理功能，允许用户以各种方式设置结果的格式。虚拟仪器提供选择输入波形和探测电路节点、电压和波形的功能，从而创建一个动态的快速入门工具。

注

这些文件需要安装 TINA 软件（由 DesignSoft™提供）或者 TINA-TI 软件。请从 TINA-TI 文件夹 中下载免费的 TINA-TI 软件。

11.1.1.2 TI 高精度设计

OPAx211 采用多种 TI 精密设计，有关内容可通过 http://www.ti.com.cn/ww/analog/precision-designs/ 在线获取。TI 高精度设计是由 TI 公司高精度模拟 应用 专家创建的模拟解决方案，提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。

11.1.1.3 WEBENCH®滤波器设计器

WEBENCH® 滤波器设计器是一款简单、功能强大且便于使用的有源滤波器设计程序。借助借助 WEBENCH 滤波器设计器，用户可使用精选的 TI 运算放大器和 TI 供应商合作伙伴提供的无源组件来打造最佳滤波器设计方案。

WEBENCH® 设计中心以基于网络的工具形式提供 WEBENCH® Filter Designer。用户通过该工具可在短时间内完成多级有源滤波器解决方案的设计、优化和仿真。

11.2 文档支持

11.2.1 相关文档

相关文档如下：

《电路板布局布线技巧》

《适合所有人的运算放大器》

《OPA211、OPA211A、OP2211、OPA2211A EMI 抗干扰性能（修订版A)

《运算放大器增益稳定性》，第 3 部分：交流增益误差分析

《运算放大器增益稳定性》，第 2 部分：直流增益误差分析

《在全差分有源滤波器中使用无限增益、MFB 滤波器拓扑》

运算放大器性能分析

运算放大器的单电源操作

调优放大器

无铅成品组件的储存寿命评估.

11.3 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件以及申请样片或购买产品的快速访问链接。

相关链接 (接下页)

表 2. 相关链接

器件	产品文件夹	立即订购	技术文档	工具和软件	支持和社区
OPA211	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA2211	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

11.4 接收文档更新通知

要接收文档更新通知，请转至 TI.com 上您的器件的产品文件夹。请在右上角单击*通知我* 按钮进行注册，即可收到产品信息更改每周摘要（如有）。有关更改的详细信息，请查看任意已修订文档的修订历史记录。

11.5 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。*** **此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。**

设计支持 ***TI 参考设计支持*** **可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。**

11.6 商标

PowerPAD, TINA-TI, E2E are trademarks of Texas Instruments.
蓝牙 is a registered trademark of Bluetooth SIG, Inc.
TINA, DesignSoft are trademarks of DesignSoft, Inc.
is a registered trademark of ~ Texas Instruments.
All other trademarks are the property of their respective owners.

11.7 静电放电警告



这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

11.8 Glossary

SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，也不会对此文档进行修订。如欲获取此数据表的浏览器版本，请参阅左侧的导航。

版权 © 2006–2018, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA211AID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	OPA 211 A	Samples
OPA211AIDG4	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	OPA 211 A	Samples
OPA211AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	OBCQ	Samples
OPA211AIDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	OBCQ	Samples
OPA211AIDGKTG4	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	OBCQ	Samples
OPA211AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	OPA 211 A	Samples
OPA211AIDRG4	ACTIVE	SOIC	D	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	OPA 211 A	Samples
OPA211AIDRGR	ACTIVE	SON	DRG	8	3000	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	OBDQ	Samples
OPA211AIDRGT	ACTIVE	SON	DRG	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	OBDQ	Samples
OPA211AIDRGTG4	ACTIVE	SON	DRG	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	OBDQ	Samples
OPA211ID	ACTIVE	SOIC	D	8	75	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	OPA 211	Samples
OPA211IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	OBCQ	Samples
OPA211IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	OBCQ	Samples
OPA211IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	OPA 211	Samples
OPA211IDRGR	ACTIVE	SON	DRG	8	3000	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	OBDQ	Samples
OPA211IDRGT	ACTIVE	SON	DRG	8	250	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 125	OBDQ	Samples
OPA2211AIDDA	ACTIVE	SO PowerPAD	DDA	8	75	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPA	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
										2211 A	
OPA2211AIDDAR	ACTIVE	SO PowerPAD	DDA	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPA 2211 A	Samples
OPA2211AIDRGR	ACTIVE	SON	DRG	8	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OBHQ	Samples
OPA2211AIDRGT	ACTIVE	SON	DRG	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OBHQ	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA211 :

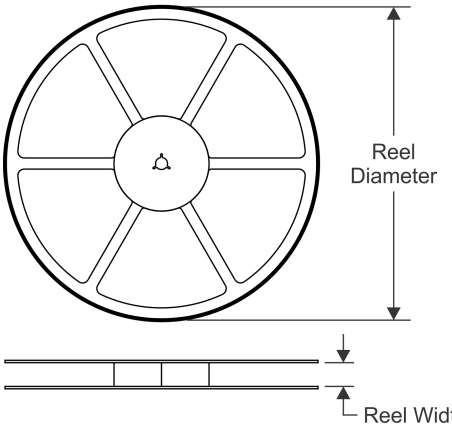
- Enhanced Product : OPA211-EP

NOTE: Qualified Version Definitions:

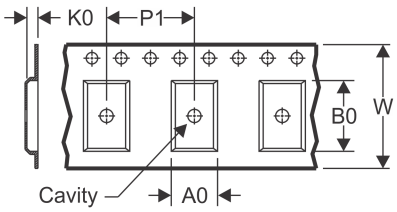
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

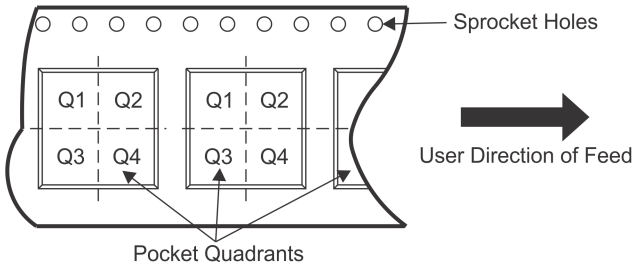


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

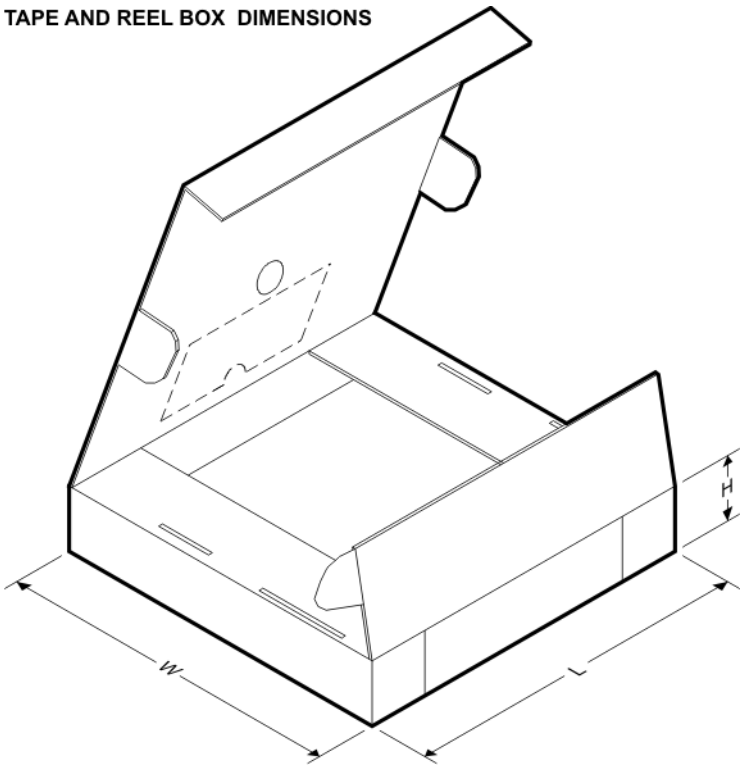
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA211AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA211AIDRGR	SON	DRG	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA211AIDRGT	SON	DRG	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA211IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA211IDRGR	SON	DRG	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA211IDRGT	SON	DRG	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA2211AIDDAR	SO Power PAD	DDA	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2211AIDRGR	SON	DRG	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA2211AIDRGT	SON	DRG	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

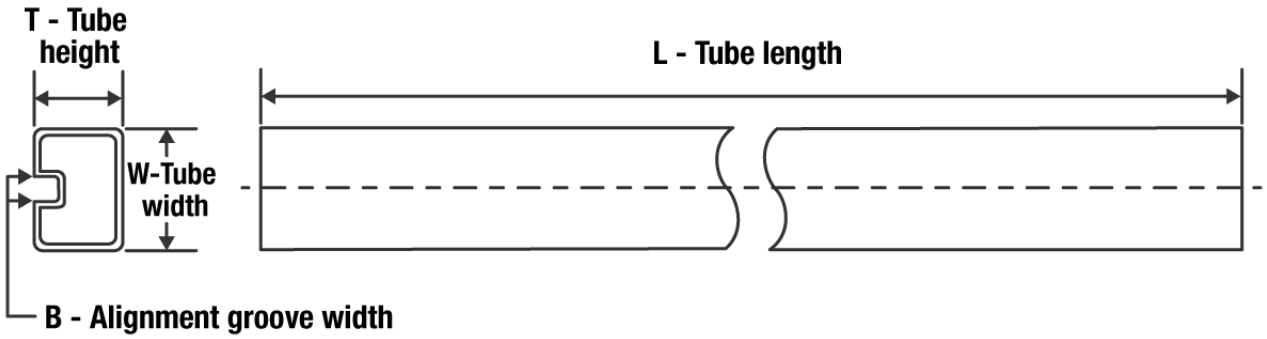
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA211AIDR	SOIC	D	8	2500	853.0	449.0	35.0
OPA211AIDRGR	SON	DRG	8	3000	853.0	449.0	35.0
OPA211AIDRGT	SON	DRG	8	250	210.0	185.0	35.0
OPA211IDR	SOIC	D	8	2500	853.0	449.0	35.0
OPA211IDRGR	SON	DRG	8	3000	853.0	449.0	35.0
OPA211IDRGT	SON	DRG	8	250	210.0	185.0	35.0
OPA2211AIDDAR	SO PowerPAD	DDA	8	2500	853.0	449.0	35.0
OPA2211AIDRGR	SON	DRG	8	3000	853.0	449.0	35.0
OPA2211AIDRGT	SON	DRG	8	250	210.0	185.0	35.0

TUBE

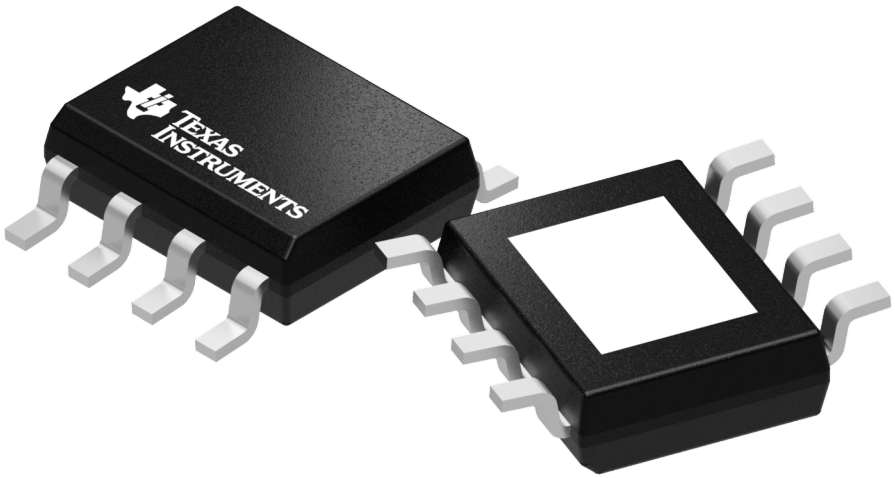


*All dimensions are nominal

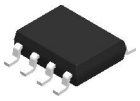
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
OPA211AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA211AIDG4	D	SOIC	8	75	506.6	8	3940	4.32
OPA211ID	D	SOIC	8	75	506.6	8	3940	4.32
OPA2211AIDDA	DDA	HSOIC	8	75	506.6	8	3940	4.32

DDA 8 PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

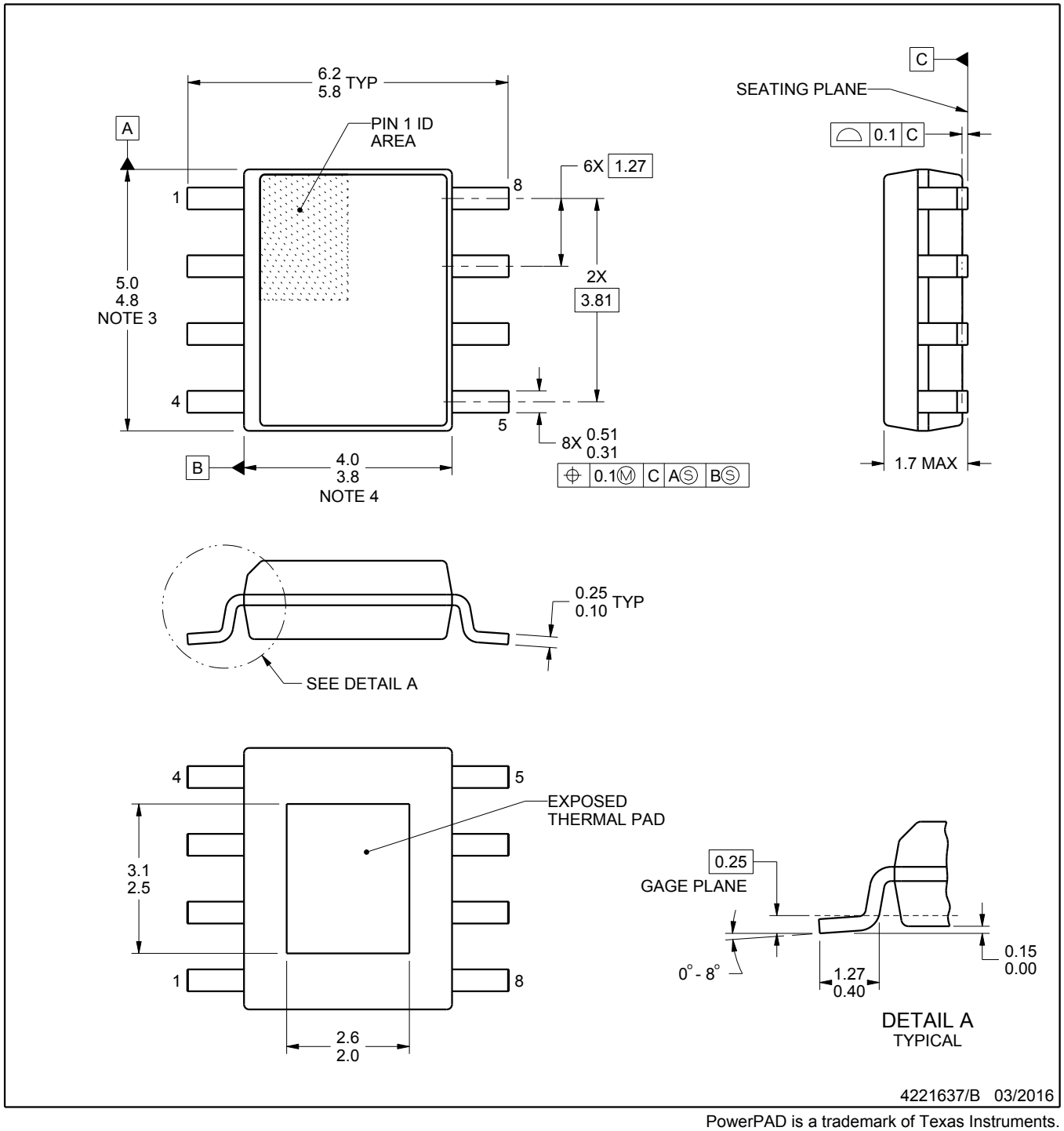


PACKAGE OUTLINE

DDA0008J

PowerPAD™ SOIC - 1.7 mm max height

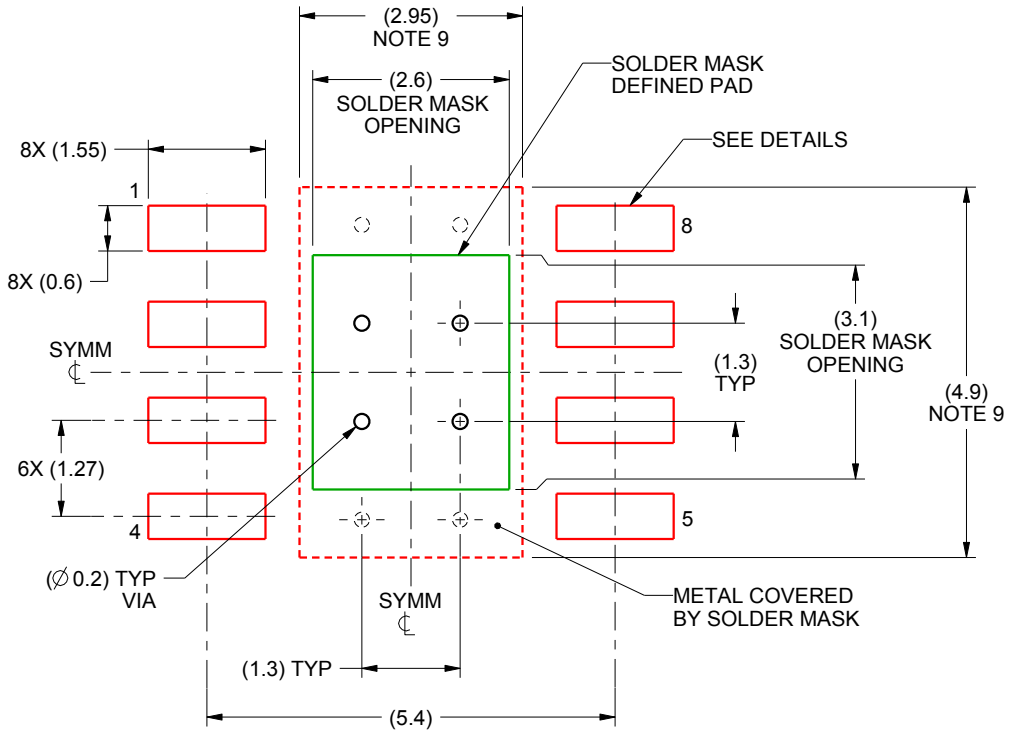
PLASTIC SMALL OUTLINE



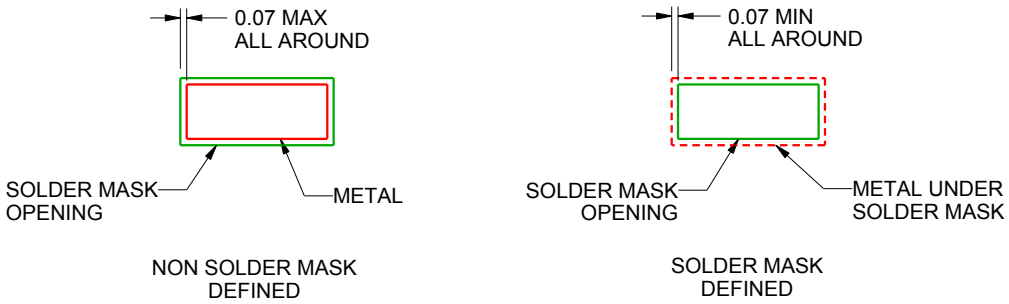
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012, variation BA.



LAND PATTERN EXAMPLE
SCALE:10X

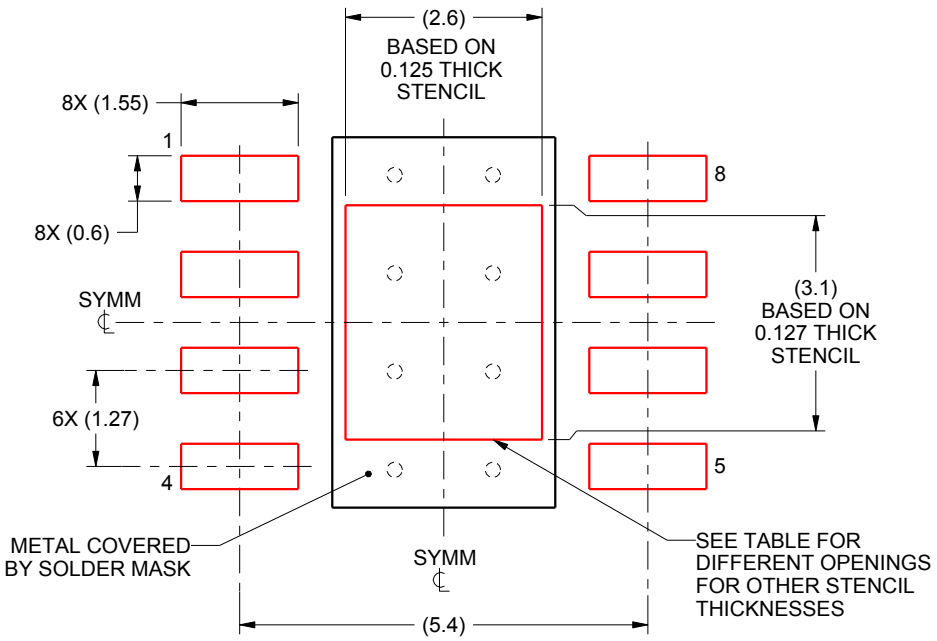


SOLDER MASK DETAILS

4221637/B 03/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.



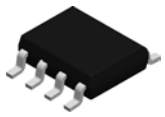
SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.91 X 3.47
0.125	2.6 X 3.1 (SHOWN)
0.150	2.37 X 2.83
0.175	2.20 X 2.62

4221637/B 03/2016

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

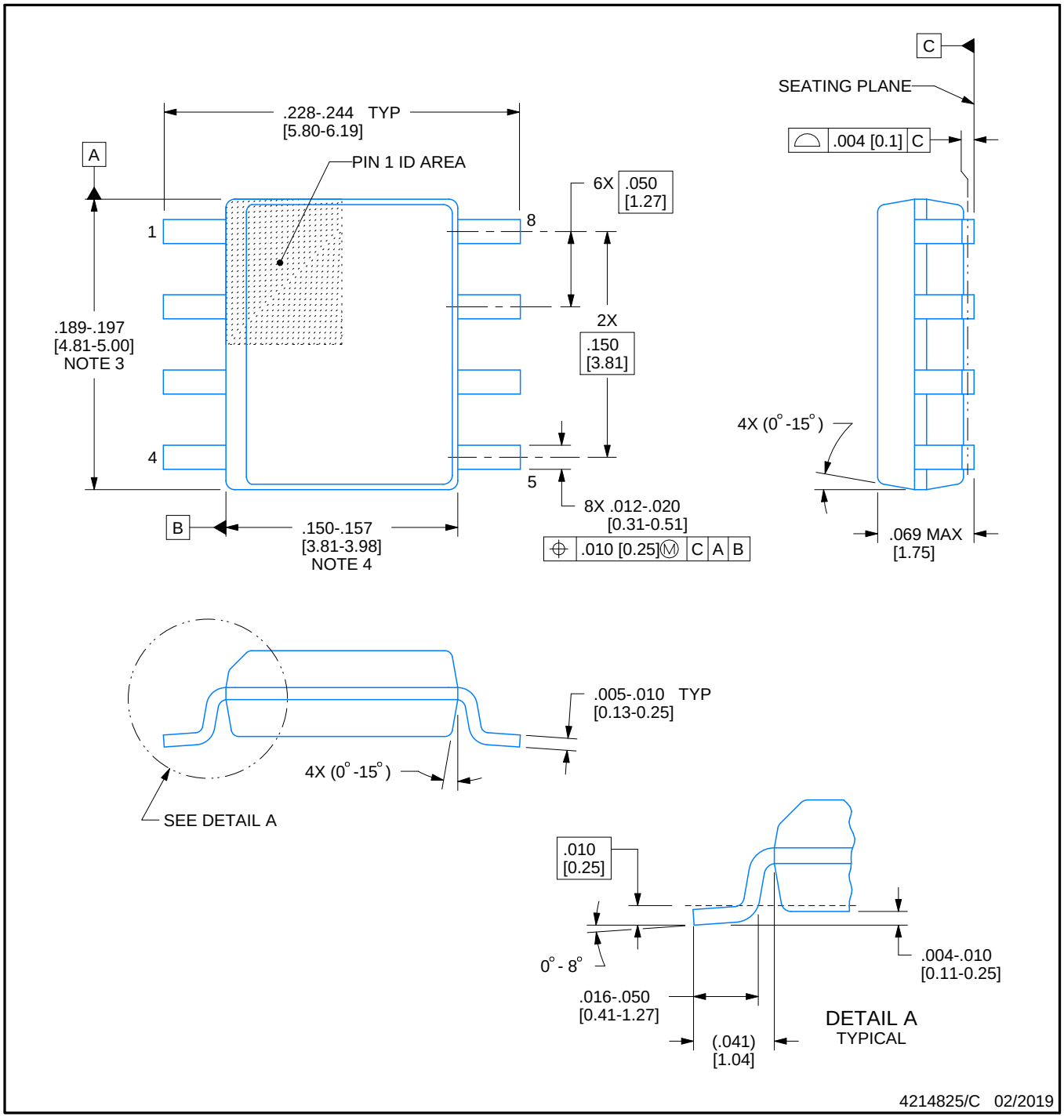


PACKAGE OUTLINE

D0008A

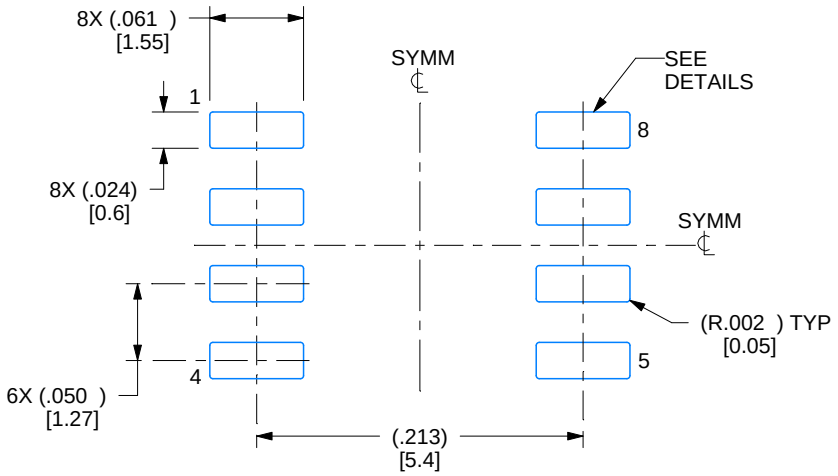
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

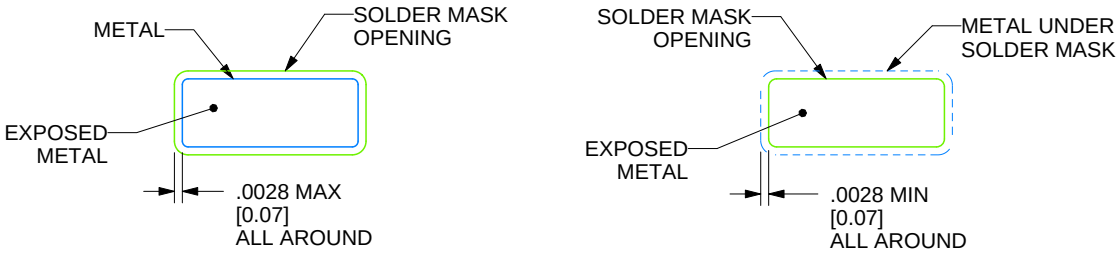


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

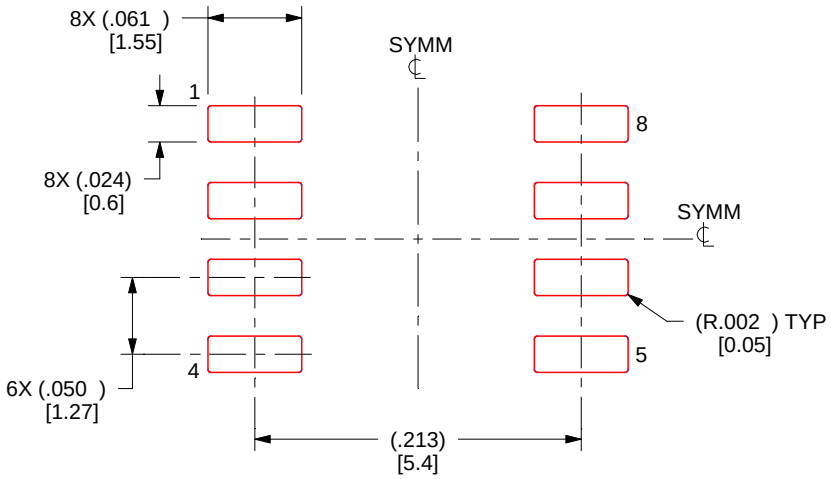
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



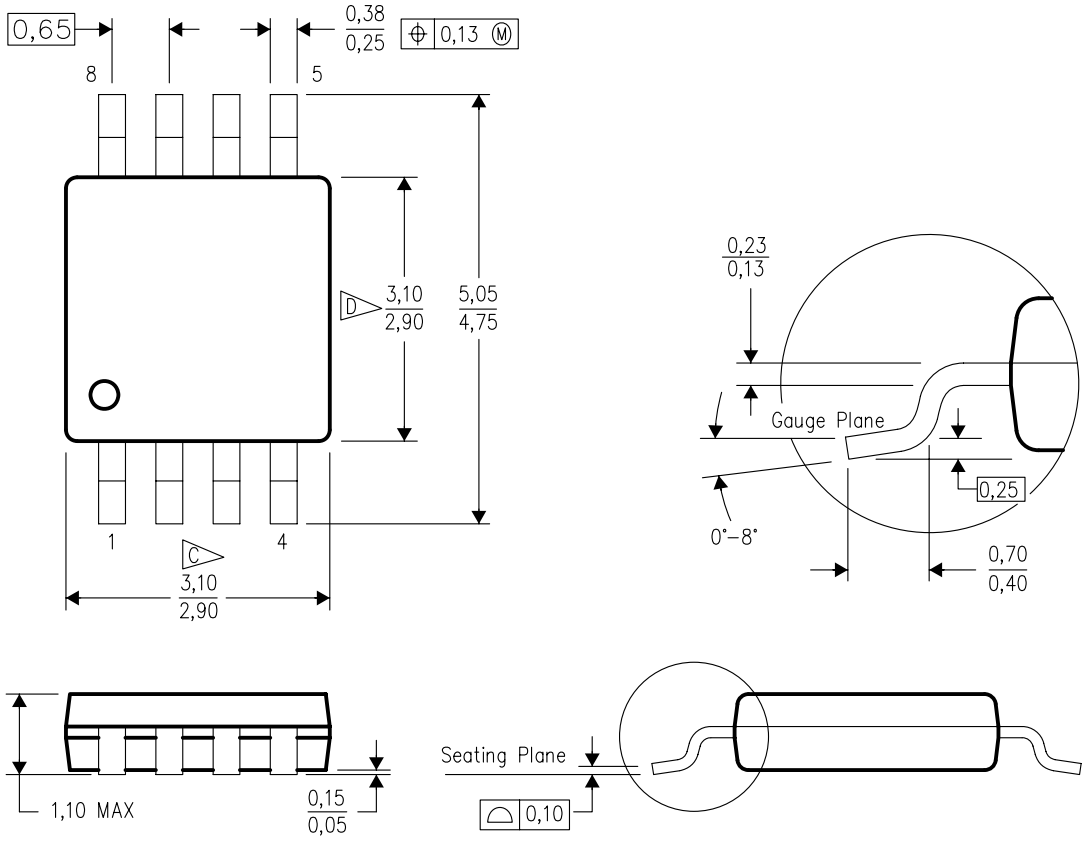
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

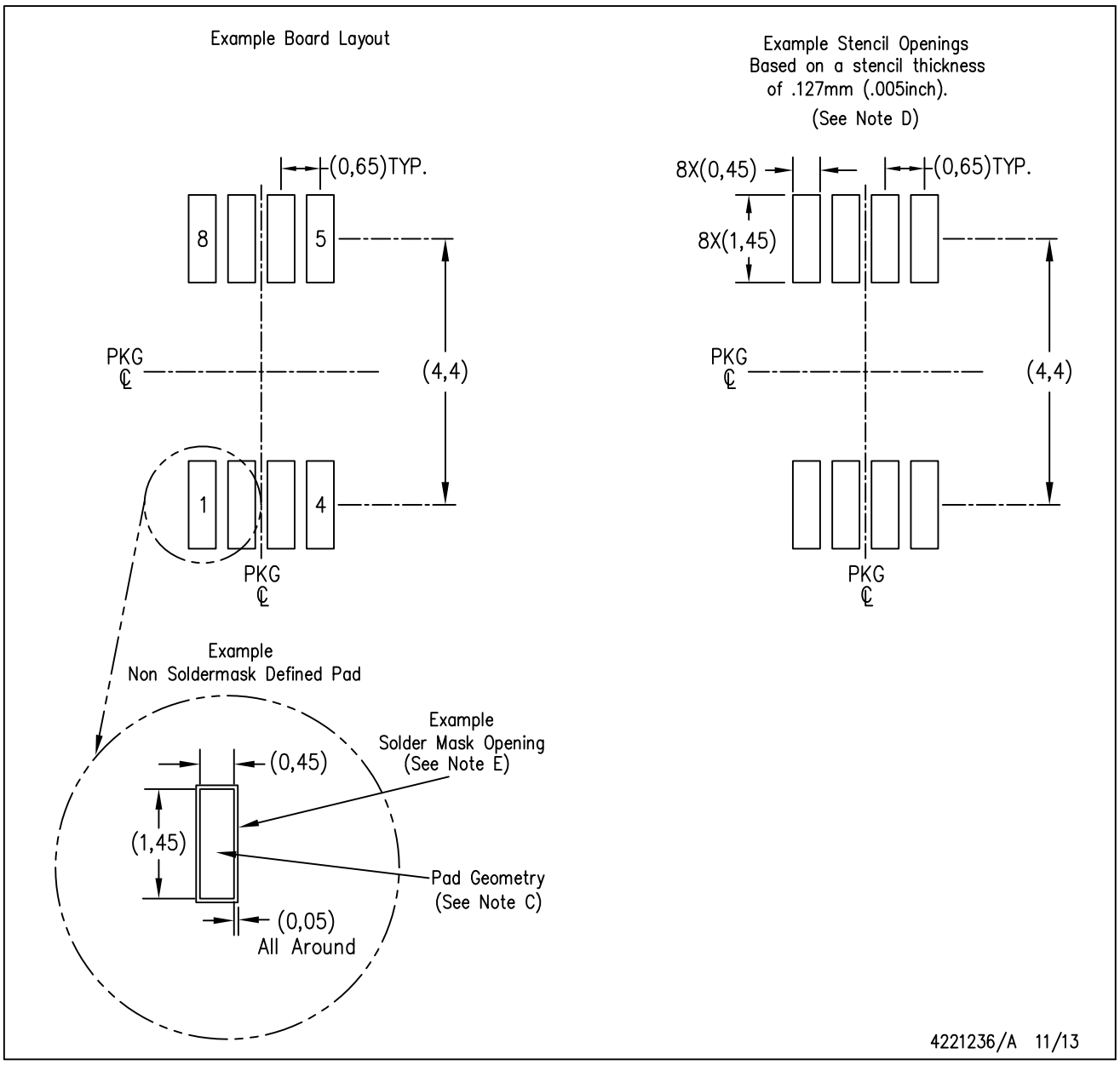
DGK (S–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE



4073329/E 05/06

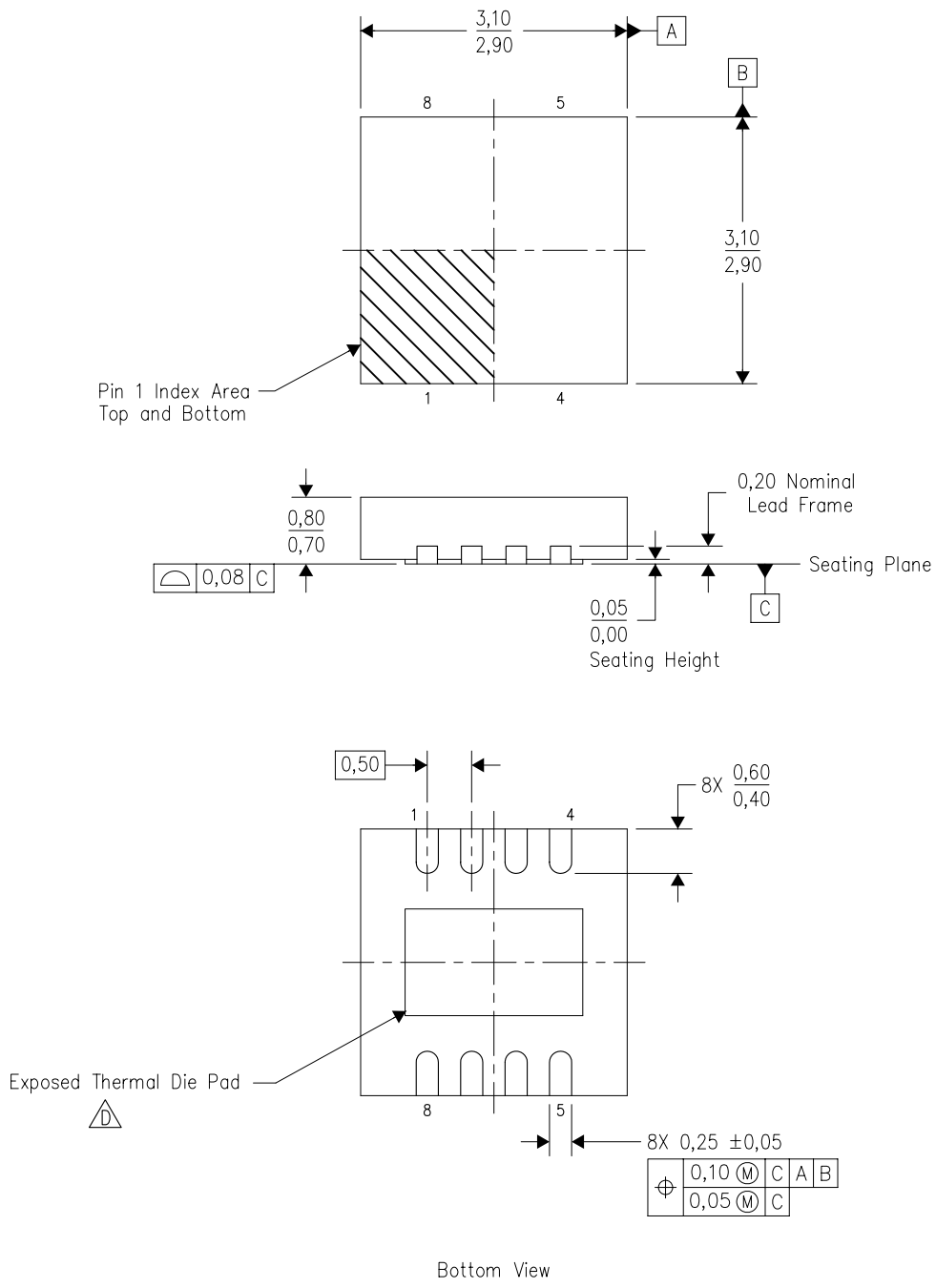
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
E. Falls within JEDEC MO–187 variation AA, except interlead flash.

DGK (S–PDSO–G8) PLASTIC SMALL OUTLINE PACKAGE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

DRG (S–PWSON–N8) PLASTIC SMALL OUTLINE NO–LEAD



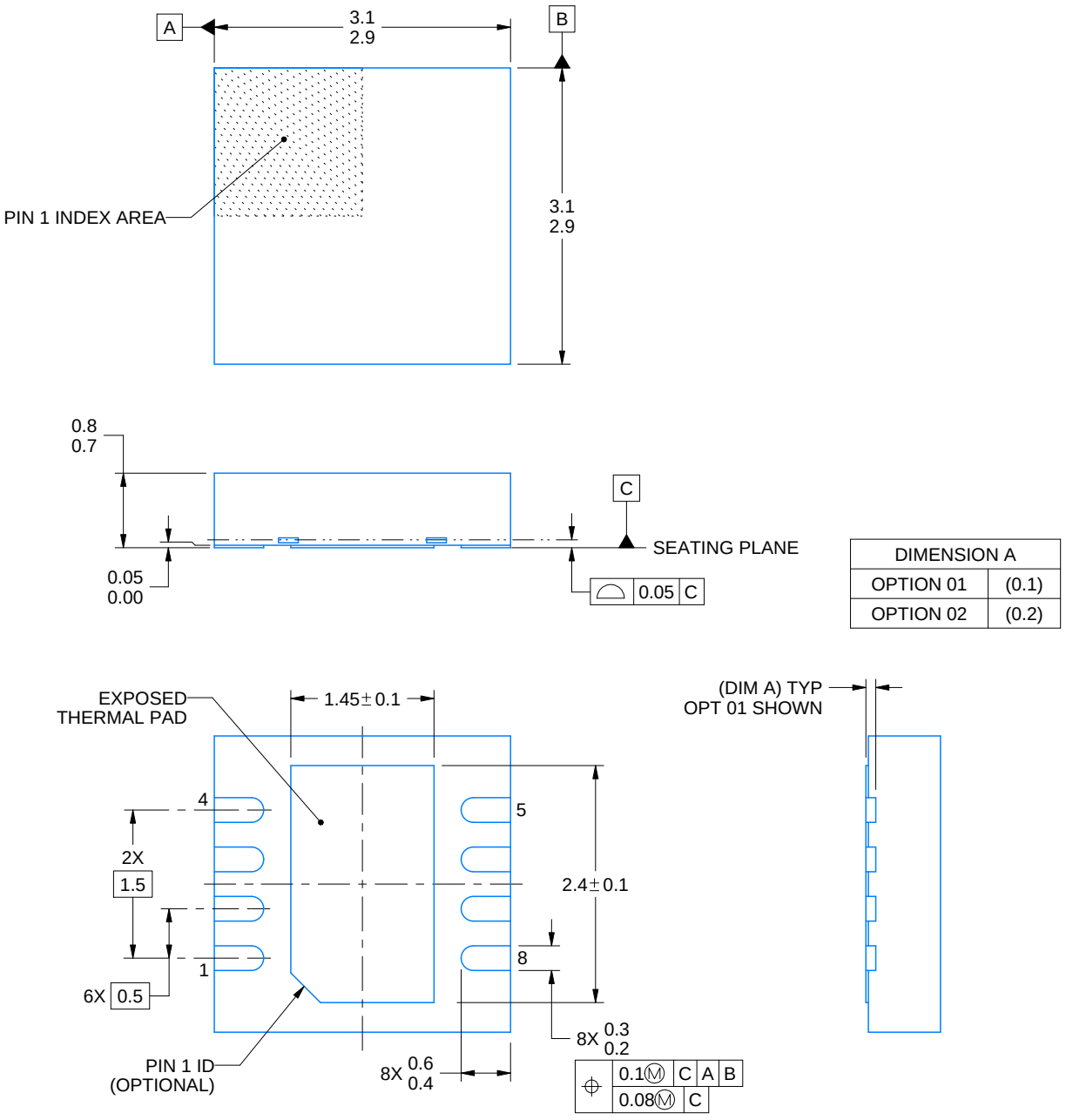
NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. SON (Small Outline No–Lead) package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance. See the Product Data Sheet for details regarding the exposed thermal pad dimensions.
E. JEDEC MO–229 package registration pending.

DRG0008B

PACKAGE OUTLINE

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

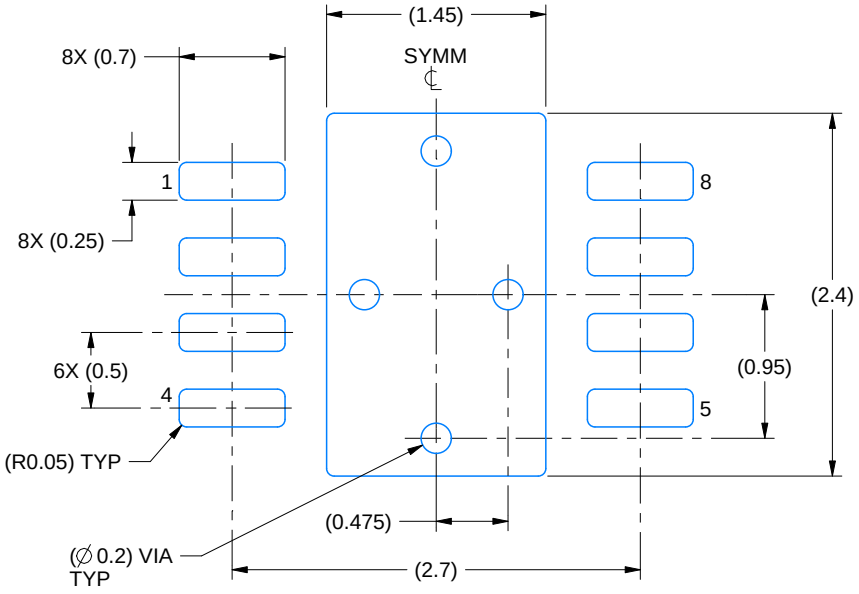


DIMENSION A	
OPTION 01	(0.1)
OPTION 02	(0.2)

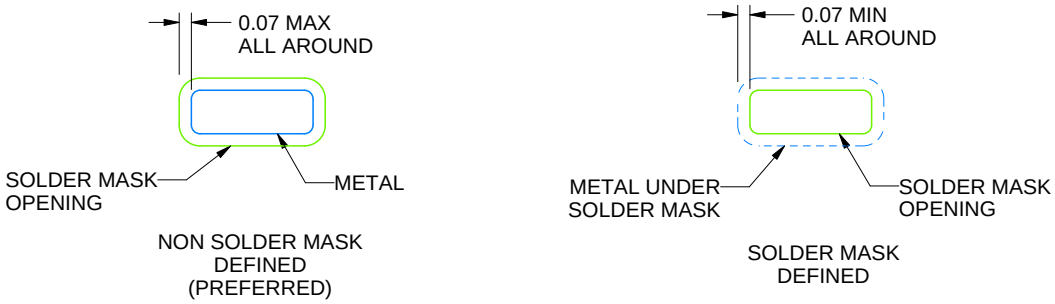
4218886/A 01/2020

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

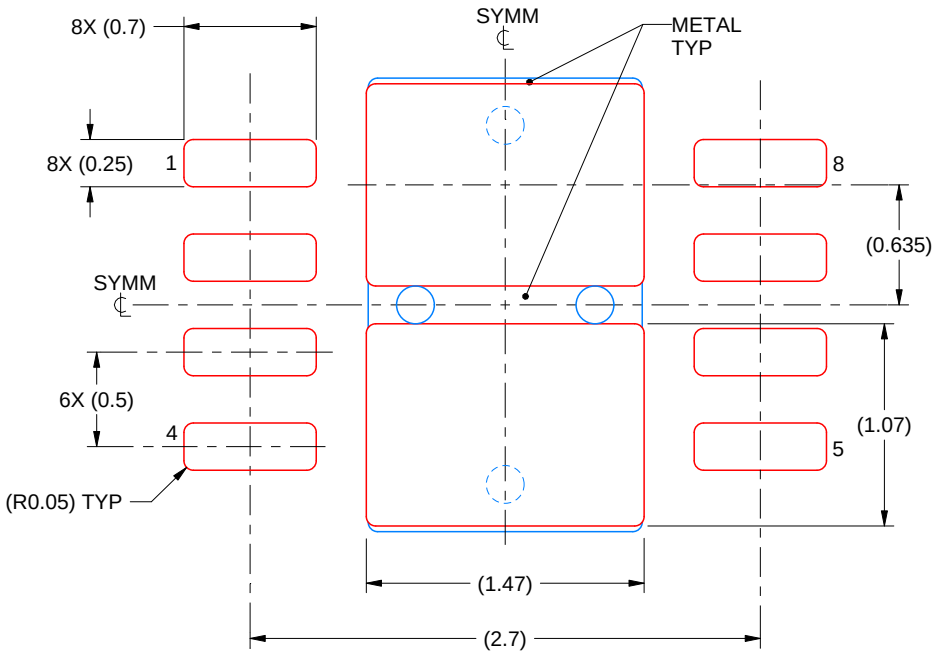


SOLDER MASK DETAILS

4218886/A 01/2020

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
82% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218886/A 01/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2022，德州仪器 (TI) 公司