TLV27x 系列 550μA/通道、3MHz、轨至轨输出运算放大器

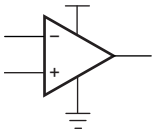
1 特性

- 轨至轨输出
- 高带宽：3MHz
- 高压摆率：2.4V/μs
- 电源电压范围：2.7V 至 16V
- 电源电流：550μA/通道
- 输入噪声电压：39nV/√Hz
- 输入偏置电流：1pA
- 额定温度范围：
  - 商用级：0°C 至 70°C
  - 工业级：−40°C 至 125°C
- 超小型封装:
  - 5 引脚 SOT-23 (TLV271)
  - 8 引脚 MSOP (TLV272)
- TLC72x 系列的理想升级版

2 应用

- 电动自行车
- 移动电源
- 烟雾探测器
- 太阳能逆变器
- 低功耗电机控制
- 电池供电仪器
- 楼宇自动化

运算放大器



Copyright © 2016,
Texas Instruments Incorporated

3 说明

TLV27x 采用 2.7V 至 16V 工作电压，具有 -40°C 至 +125°C 的扩展工业温度范围，是一个低功耗、高带宽的运算放大器系列，可提供轨至轨输出。因此，该系列是 TLC27x 系列的理想替代器件，适用于轨至轨输出摆幅至关重要的 应用 。TLV27x 的输入电流仅 550μA，可提供 3MHz 带宽。

与 TLC27x 类似，TLV27x 在采用 5V 和 ±5V 电源时具有完整额定性能。最大建议电源电压为 16V，因此可使用多种可充电电池（±8V 电源，低至 ±1.35V）为器件供电。

适用于高阻抗传感器接口的 CMOS 输入特性以及低压运行能力使该系列器件在电池供电应用中成为 TLC27x 的理想替代器件 应用。

该系列所有产品均采用 PDIP 与 SOIC 封装，单通道器件采用小型 SOT-23 封装，双通道器件采用 MSOP 封装，四通道产品采用 TSSOP 封装。

该系列可在 2.7V 电压下运行，因此适用于由锂离子电池供电的系统和当今多种微功耗微控制器（包括 TI 的 MSP430）的工作电源电压范围。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
TLV271	SOIC (8)	4.98mm × 3.91mm
	SOT-23 (5)	2.90mm × 1.60mm
	PDIP (8)	9.81mm × 6.35mm
TLV272	SOIC (8)	4.98mm × 3.91mm
	PDIP (8)	9.81mm × 6.35mm
	VSSOP (8)	3.00mm × 3.00mm
TLV274	SOIC (14)	8.65mm x 3.91mm
	PDIP (14)	3.90mm × 6.35mm
	TSSOP (14)	5.00 mm × 4.40 mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 器件比较表 ... 3
6 规格 ... 4
6.1 绝对最大额定值 ... 4
6.2 建议运行条件 ... 4
6.3 热性能信息：TLV271 ... 5
6.4 热性能信息：TLV272 ... 5
6.5 热性能信息：TLV274 ... 5
6.6 电气特性: 直流特性 ... 6
6.7 电气特性：输入特性 ... 6
6.8 电气特性：输出特性 ... 7
6.9 电气特性：电源 ... 8
6.10 电气特性：动态性能 ... 8
6.11 电气特性：噪声/失真性能 ... 8
6.12 典型特性 ... 9
7 引脚配置和功能 ... 14
8 详细 说明 ... 16
8.1 概述 ... 16
8.2 功能框图 ... 16
8.3 特性 说明 ... 17
8.4 器件功能模式 ... 17
9 应用和实现 ... 18
9.1 应用信息 ... 18
9.2 典型应用 ... 18
9.3 系统示例 ... 19
10 电源建议 ... 21
11 布局 ... 21
11.1 布局指南 ... 21
11.2 布局示例 ... 22
12 器件和文档支持 ... 23
12.1 文档支持 ... 23
12.2 相关链接 ... 23
12.3 接收文档更新通知 ... 23
12.4 社区资源 ... 23
12.5 商标 ... 23
12.6 静电放电警告 ... 23
12.7 Glossary ... 23
13 机械、封装和可订购信息 ... 24

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Revision D (February 2004) to Revision E **Page**

- 已添加 *特性* *说明* 部分，*器件功能模式*，*应用和实施*部分，*电源建议*部分，*布局*部分，*器件和文档支持*部分以及*机械、封装和可订购信息*部分 ... 1
- 已删除 以下部分的*持续总功耗* 参数：*绝对最大额定值* ... 4
- 已删除 *功耗额定值*表 ... 5
- 已删除 *精简模型信息* ... 21

版权 © 2004–2016, Texas Instruments Incorporated

5 器件比较表

器件 (1)	V_{DD} (V)	V_{IO} (μV)	I_Q/通道 (μA)	I_{IB} (pA)	GBW (MHz)	SR (V/μs)	关断	轨到轨	单通道 (S)/双通道 (D)/四通道 (Q)
TLV27x	2.7 至 16	500	550	1	3	2.4	—	O	S/D/Q
TLC27x	3 至 16	1100	675	1	1.7	3.6	—	—	S/D/Q
TLV237x	2.7 至 16	500	550	1	3	2.4	是	I/O	S/D/Q
TLC227x	2.7 至 16	300	1100	1	2.2	3.6	—	O	D/Q
TLV246x	2.7 至 6	150	550	1300	6.4	1.6	是	I/O	S/D/Q
TLV247x	2.7 至 6	250	600	2	2.8	1.5	是	I/O	S/D/Q
TLV244x	2.7 至 10	300	725	1	1.8	1.4	—	O	D/Q

(1) 在 5V、25°C 条件下测得的典型值。

版权 © 2004–2016, Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
电压	电源，V_{DD}			16.5	V
	差分输入，V_{ID}		$-V_{DD}$	V_{DD}	V
	输入，V_I		−0.2	V_{DD} + 0.2	V
电流	输入，I_I		-10	10	mA
	输出，I_O		–100	100	mA
温度	温度，T_A	C 后缀	0	70	°C
		I 后缀	-40	125	°C
	结温，T_J			150	°C
	贮存温度，T_{stg}		–65	150	°C

(1) 应力超出*绝对最大额定值* 下所列的值可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下器件的功能性操作以及在超出*建议运行条件*下的任何其它操作，在此并未说明。长时间运行在最大绝对额定条件下会影响器件可靠性。除差分电压外的所有电压值都是相对于 GND 而言的。

6.2 建议运行条件

在自然通风温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
电源电压，V_{DD}	单电源	2.7		16	V
	双电源	±1.35		±8	
共模输入电压，V_{ICR}		0		V_{DD} −1.35	V
自然通风工作温度范围，T_A	C 后缀	0		70	°C
	I 后缀	-40		125	

版权 © 2004–2016, Texas Instruments Incorporated

6.3 热性能信息：TLV271

热指标(1)		TLV271			单位
		D (SOIC)	DBV (SOT-23)	P (PDIP)	
		8 引脚	5 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	127.2	221.7	49.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	71.6	144.7	39.4	°C/W
$R_{\theta JB}$	结至电路板热阻	68.2	49.7	26.4	°C/W
ψ_{JT}	结至顶部特征参数	22	26.1	15.4	°C/W
ψ_{JB}	结至电路板特征参数	67.6	49	26.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

(1) 有关传统和最新热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

6.4 热性能信息：TLV272

热指标(1)		TLV272			单位
		D (SOIC)	DGK (VSSOP)	P (PDIP)	
		8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	127.2	186.6	49.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	71.6	78.8	39.4	°C/W
$R_{\theta JB}$	结至电路板热阻	68.2	107.9	26.4	°C/W
ψ_{JT}	结至顶部特征参数	22	15.5	15.4	°C/W
ψ_{JB}	结至电路板特征参数	67.6	106.3	26.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

(1) 有关传统和最新热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

6.5 热性能信息：TLV274

热指标(1)		TLV274			单位
		D (SOIC)	N (PDIP)	PW (TSSOP)	
		14 引脚	14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	97	66.3	135	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	56	20.5	45	°C/W
$R_{\theta JB}$	结至电路板热阻	53	26.8	66	°C/W
ψ_{JT}	结至顶部特征参数	19	2.1	不适用	°C/W
ψ_{JB}	结至电路板特征参数	46	26.2	60	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

(1) 有关传统和最新热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

版权 © 2004–2016, Texas Instruments Incorporated

6.6 电气特性：直流特性

指定的自然通风温度，V_{DD} = 2.7V、5V 和 ±5V（除非另有说明）

参数		测试条件		T_A (1)	最小值	典型值	最大值	单位
V_{IO}	输入失调电压	$V_{IC} = V_{DD/2}$，R_L = 10kΩ，$V_O = V_{DD/2}$，R_S = 50Ω		25°C		0.5	5	mV
				完整范围			7	
αV_{IO}	失调电压温漂			25°C		2		μV/°C
CMRR	共模抑制比	V_{IC} = 0 至 V_{DD} − 1.35V，R_S = 50Ω	V_{DD}= 2.7V	25°C	58	70		dB
				完整范围	55			
		V_{IC} = 0 至 V_{DD} − 1.35V，R_S = 50Ω	V_{DD}= 5V	25°C	65	80		
				完整范围	62			
		V_{IC} = –5V 至 V_{DD} − 1.35V，R_S = 50Ω	V_{DD} = ±5V	25°C	69	85		
				完整范围	66			
A_{VD}	大信号差分电压放大	$V_{O(PP)} = V_{DD}/2$，R_L = 10kΩ	V_{DD}= 2.7V	25°C	97	106		dB
				完整范围	76			
			V_{DD}= 5V	25°C	100	110		
				完整范围	86			
			V_{DD} = ±5V	25°C	100	115		
				完整范围	90			

(1) 对于 C 后缀器件，完整范围为 0°C 至 70°C，而对于 I 后缀器件则为 –40°C 至 125°C。如果未指定，则完整范围为 –40°C 至 125°C。

6.7 电气特性：输入特性

指定的自然通风温度，V_{DD} = 2.7V、5V 和 ±5V（除非另有说明）。

参数		测试条件	T_A	最小值	典型值	最大值	单位
I_{IO}	输入失调电流	V_{DD} = 5V，$V_{IC} = V_{DD}/2$，$V_O = V_{DD}/2$，R_S = 50Ω	25°C		1	60	pA
			70°C			100	
			125°C			1000	
I_{IB}	输入偏置电流	V_{DD} = 5V，$V_{IC} = V_{DD}/2$，$V_O = V_{DD}/2$，R_S = 50Ω	25°C		1	60	pA
			70°C			100	
			125°C			1000	
$r_{i(d)}$	差分输入电阻		25°C		1000		GΩ
C_{IC}	共模 输入电容	f = 21kHz	25°C		8		pF

版权 © 2004–2016, Texas Instruments Incorporated

6.8 电气特性：输出特性

指定的自然通风温度，V_{DD} = 2.7V、5V 和 ±5V（除非另有说明）。

参数		测试条件		T_A	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	V_{IC} = V_{DD}/2，I_{OH} = –1mA	V_{DD}= 2.7V	25°C	2.55	2.58		V
				完整范围	2.48			
			V_{DD}= 5V	25°C	4.9	4.93		
				完整范围	4.85			
			V_{DD} = ±5V	25°C	4.92	4.96		
				完整范围	4.9			
		V_{IC} = V_{DD}/2，I_{OH} = –5mA	V_{DD}= 2.7V	25°C	1.9	2.1		
				完整范围	1.5			
			V_{DD}= 5V	25°C	4.6	4.68		
				完整范围	4.5			
			V_{DD} = ±5V	25°C	4.7	4.84		
				完整范围	4.65			
V_{OL}	低电平输出电压	V_{IC} = V_{DD}/2，I_{OH} = 1mA	V_{DD}= 2.7V	25°C		0.1	0.15	V
				完整范围			0.22	
			V_{DD}= 5V	25°C		0.05	0.1	
				完整范围			0.15	
			V_{DD} = ±5V	25°C		–4.95	–4.92	
				完整范围			–4.9	
		V_{IC} = V_{DD}/2，I_{OH} = 5mA	V_{DD}= 2.7V	25°C		0.5	0.7	
				完整范围			1.1	
			V_{DD}= 5V	25°C		0.28	0.4	
				完整范围			0.5	
			V_{DD} = ±5V	25°C		–4.84	–4.7	
				完整范围			–4.65	
I_O	输出电流	V_O = 0.5V（相对于电源轨），V_{DD} = 2.7V	正电源轨	25°C		4		mA
			负电源轨	25°C		5		
		V_O = 0.5V（相对于电源轨），V_{DD} = 5V	正电源轨	25°C		7		
			负电源轨	25°C		8		
		V_O = 0.5V（相对于电源轨），V_{DD} = 10V	正电源轨	25°C		13		
			负电源轨	25°C		12		

版权 © 2004–2016, Texas Instruments Incorporated

6.9 电气特性：电源

指定的自然通风温度，V_{DD} = 2.7V、5V 和 ±5V（除非另有说明）。

参数		测试条件		T_A (1)	最小值	典型值	最大值	单位
I_{DD}	电源电流（每个通道）	$V_O = V_{DD}/2$	V_{DD}= 2.7V	25°C		470	560	μA
			V_{DD}= 5V	25°C		550	660	
			V_{DD}= 10V	25°C		625	800	
				完整范围			1000	
PSRR	电源电压抑制比 (ΔV_{DD} /ΔV_{IO})	V_{DD} = 2.7V 至 16V，$V_{IC} = V_{DD}/2$，空载		25°C	70	80		dB
				完整范围	65			

(1) 对于 C 后缀器件，完整范围为 0°C 至 70°C，而对于 I 后缀器件则为 –40°C 至 125°C。如果未指定，则完整范围为 –40°C 至 125°C。

6.10 电气特性：动态性能

在自然通风温度范围内测得（除非另有说明）。

参数		测试条件		T_A (1)	最小值	典型值	最大值	单位
单位增益带宽	单位增益带宽	R_L = 2kΩ，C_L = 10pF	V_{DD}= 2.7V	25°C		2.4		MHz
			V_{DD} = 5V 至 10V	25°C		3		
SR	单位增益下的压摆率	$V_{O(PP)} = V_{DD}/2$，C_L = 50pF，R_L = 10kΩ	V_{DD}= 2.7V	25°C	1.35	2.1		V/μs
				完整范围	1			
			V_{DD}= 5V	25°C	1.45	2.4		V/μs
				完整范围	1.2			
			V_{DD} = ±5V	25°C	1.8	2.6		V/μs
				完整范围	1.3			
φ_m	相位裕度	R_L = 2kΩ	C_L = 10pF	25°C		65		°
	增益裕量	R_L = 2kΩ	C_L = 10pF	25°C		18		dB
t_S	建立时间	V_{DD} = 2.7V，$V_{(STEP)PP}$ = 1V，A_V = –1，C_L = 10pF，R_L = 2kΩ	0.1%	25°C		2.9		μs
		V_{DD} = 5V、±5V，$V_{(STEP)PP}$ = 1V，A_V = –1，C_L = 47pF，R_L = 2kΩ	0.1%			2		

(1) 对于 C 后缀器件，完整范围为 0°C 至 70°C，而对于 I 后缀器件则为 –40°C 至 125°C。如果未指定，则完整范围为 –40°C 至 125°C。

6.11 电气特性：噪声/失真性能

在自然通风温度范围内测得（除非另有说明）。

参数		测试条件		T_A	最小值	典型值	最大值	单位
THD + N	总谐波失真与噪声	V_{DD} = 2.7V，$V_{O(PP)} = V_{DD}/2$V，R_L = 2kΩ，f = 10kHz	A_V = 1	25°C		0.02%		
			A_V = 10			0.05%		
			A_V = 100			0.18%		
		V_{DD} = 5V、±5V，$V_{O(PP)} = V_{DD}/2$V，R_L = 2kΩ，f = 10kHz	A_V = 1	25°C		0.02%		
			A_V = 10			0.09%		
			A_V = 100			0.5%		
V_n	等效输入噪声电压	f = 1kHz		25°C		39		nV/√Hz
		f = 10kHz				35		
I_n	等效输入噪声电流	f = 1kHz		25°C		0.6		fA/√Hz

版权 © 2004–2016, Texas Instruments Incorporated

6.12 典型特性

表 1. 图形列表

说明			图编号
CMRR	共模抑制比	与频率间的关系	图 1
	输入偏置和失调电流	与自然通风温度间的关系	图 2
V_{OL}	低电平输出电压	与低电平输出电流间的关系	图 3, 图 5, 图 7
V_{OH}	高电平输出电压	与高电平输出电流间的关系	图 4, 图 6, 图 8
$V_{O(PP)}$	峰间输出电压	与频率间的关系	图 9
I_{DD}	电源电流	与电源电压间的关系	图 10
PSRR	电源抑制比	与频率间的关系	图 11
A_{VD}	差分电压增益和相位	与频率间的关系	图 12
	增益带宽积	与自然通风温度间的关系	图 13
SR	压摆率	与电源电压间的关系	图 14
		与自然通风温度间的关系	图 15
φ_m	相位裕度	与容性负载间的关系	图 16
V_n	等效输入噪声电压	与频率间的关系	图 17
	电压跟随器大信号脉冲响应		图 18, 图 19
	电压跟随器小信号脉冲响应		图 20
	反相大信号脉冲响应		图 21, 图 22
	反相小信号响应		图 23
	串扰	与频率间的关系	图 24

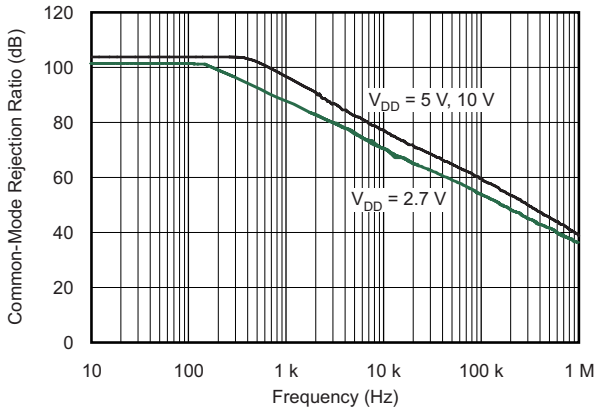


图 1. 共模抑制比与频率间的关系

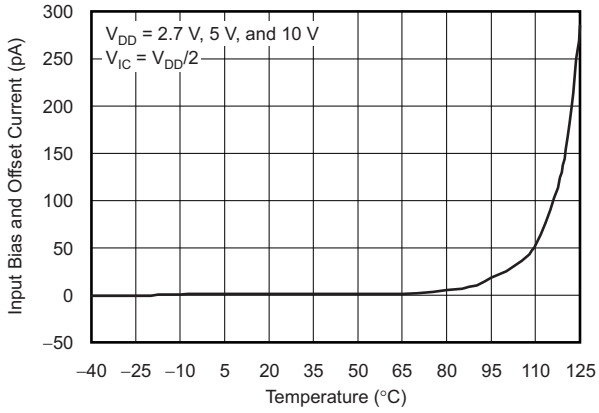


图 2. 输入偏置和失调电流与自然通风温度间的关系

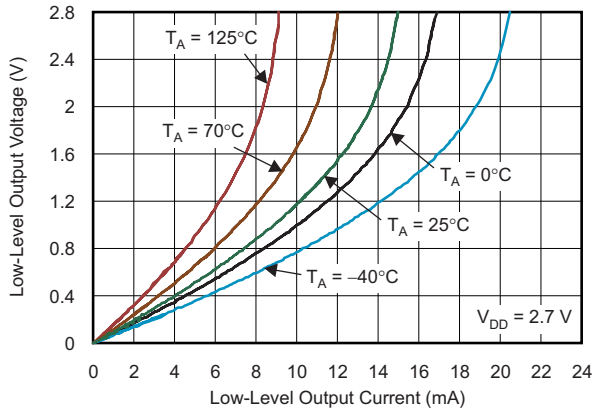


图 **3.** 低电平输出电压与
低电平输出电流间的关系

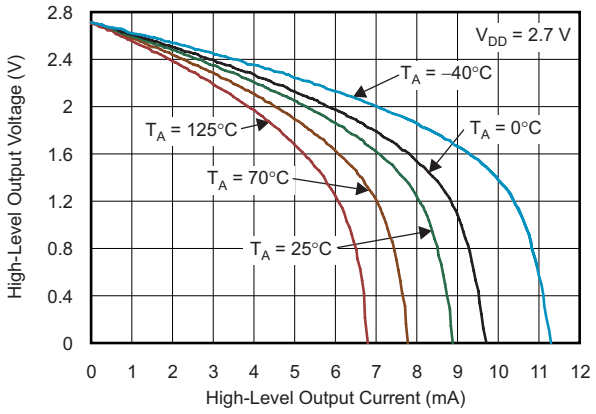


图 **4.** 高电平输出电压与
高电平输出电流间的关系

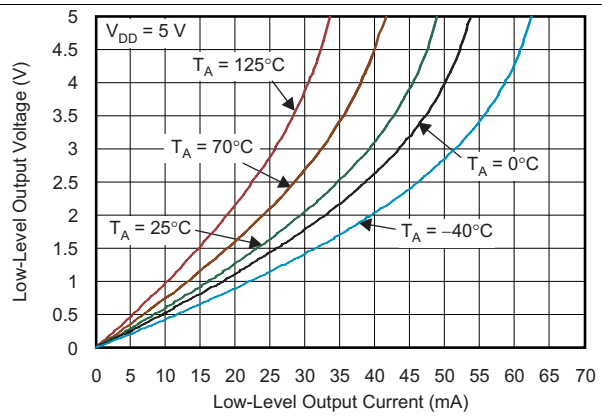


图 **5.** 低电平输出电压与
低电平输出电流间的关系

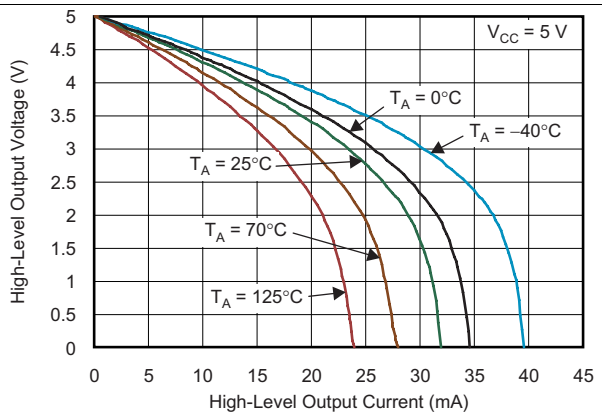


图 **6.** 高电平输出电压与
高电平输出电流间的关系

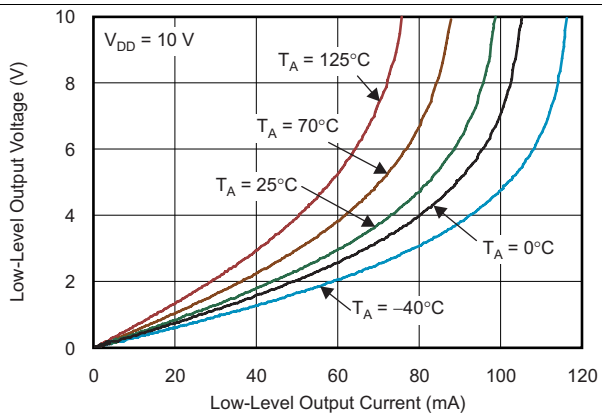


图 **7.** 低电平输出电压与
低电平输出电流间的关系

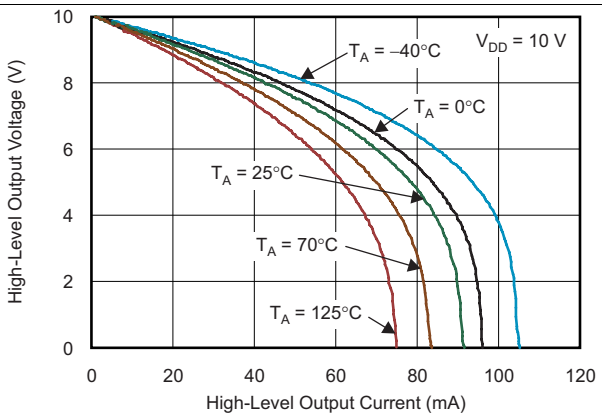


图 **8.** 高电平输出电压与
高电平输出电流间的关系

版权 © 2004–2016, Texas Instruments Incorporated

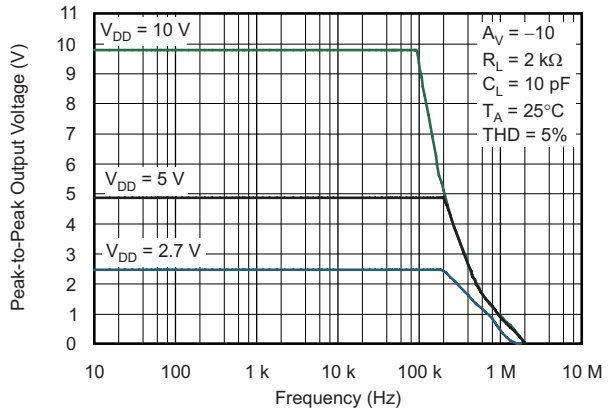


图 **9.** 峰峰值输出电压与频率间的关系

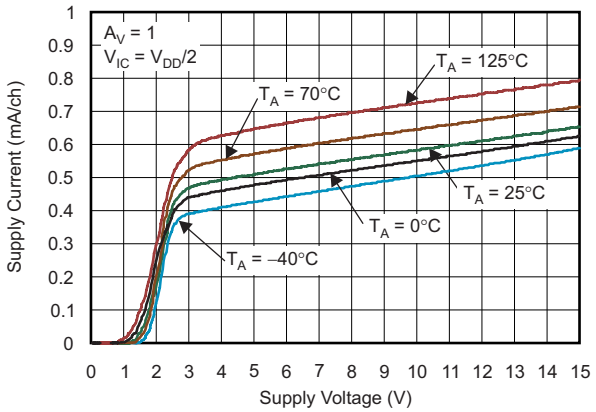


图 **10.** 电源电流与电源电压间的关系

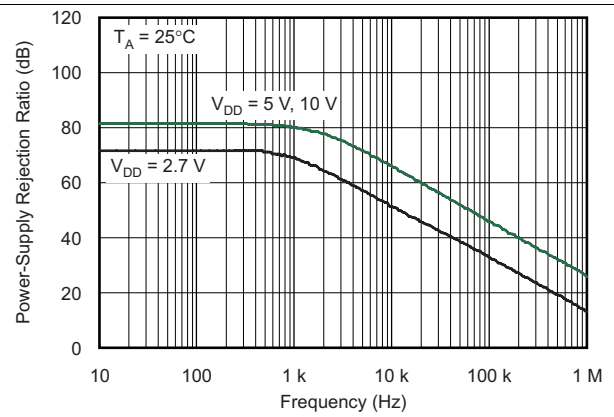


图 **11.** 电源抑制比与频率间的关系

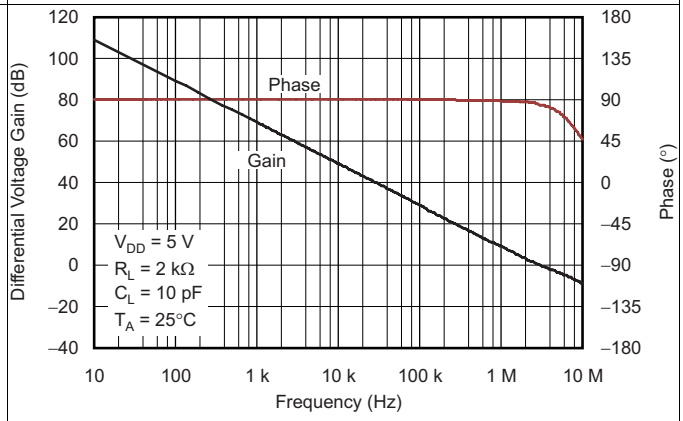


图 **12.** 差分电压增益和相位

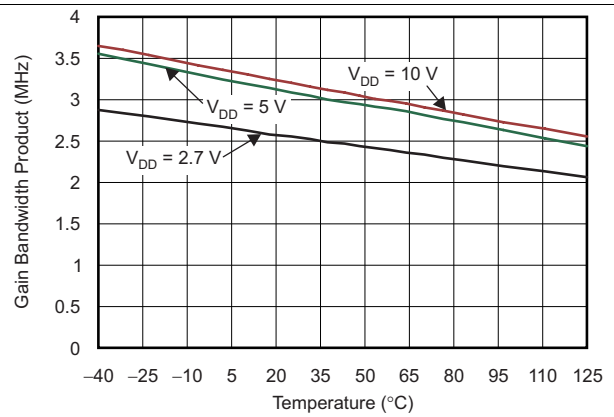


图 **13.** 增益带宽积与自然通风温度间的关系

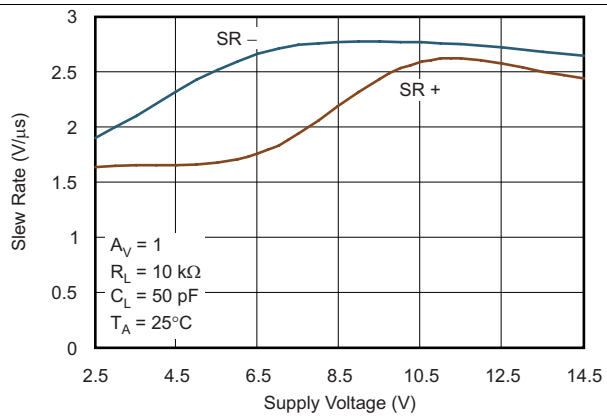


图 **14.** 压摆率与电源电压间的关系

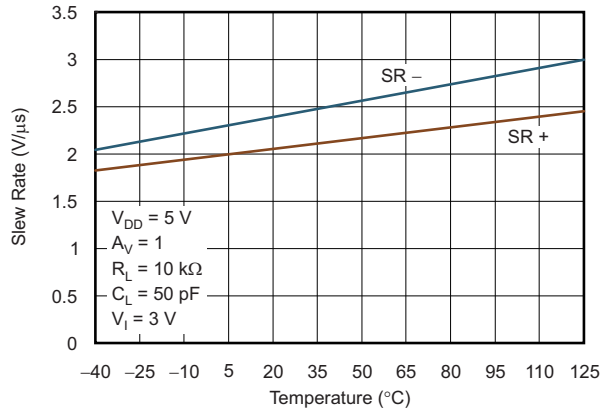


图 **15.** 压摆率与
自然通风温度间的关系

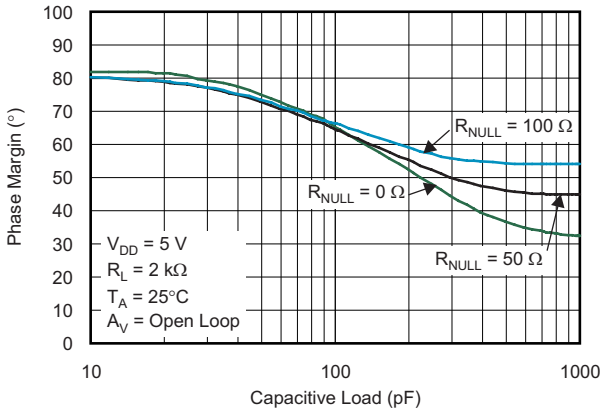


图 **16.** 相角裕量与
容性负载间的关系

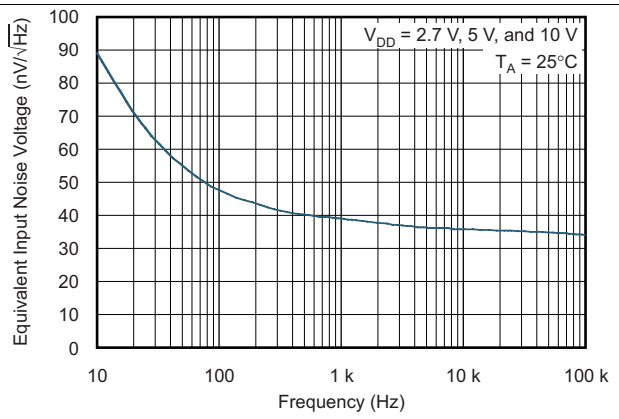


图 **17.** 等效输入噪声电压与
频率间的关系

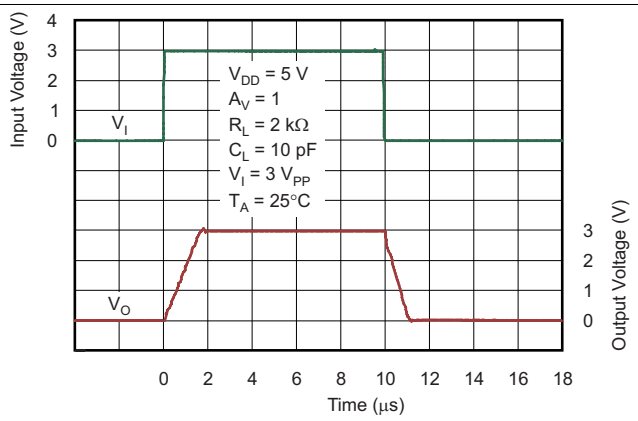


图 **18.** 电压跟随器大信号
脉冲响应

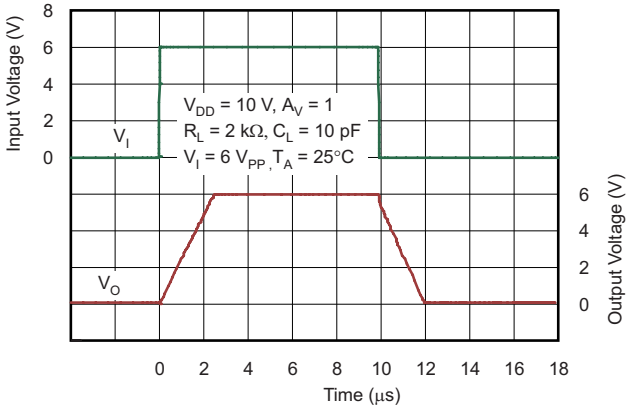


图 **19.** 电压跟随器大信号
脉冲响应

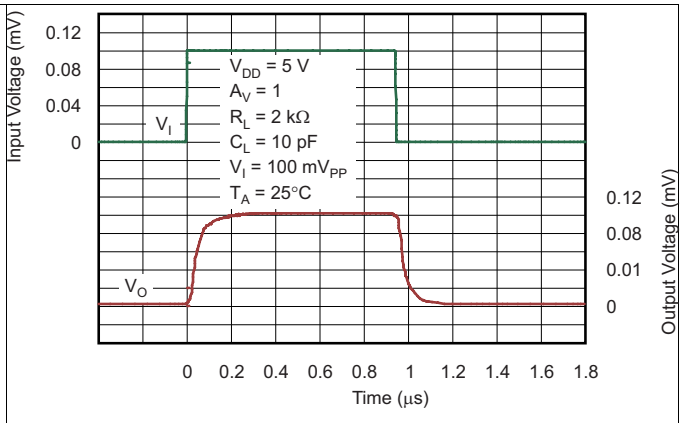


图 **20.** 电压跟随器小信号
脉冲响应

版权 © 2004–2016, Texas Instruments Incorporated

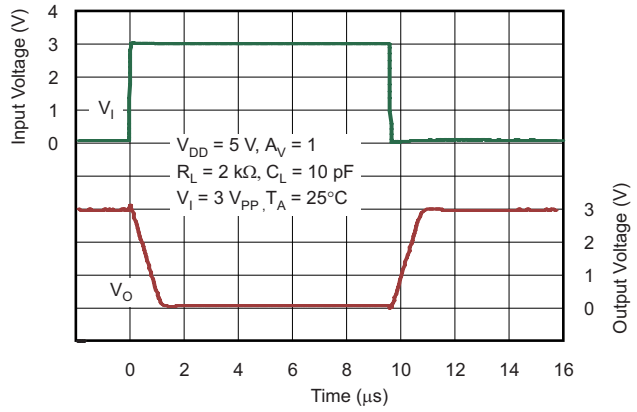


图 **21.** 反相大信号脉冲响应

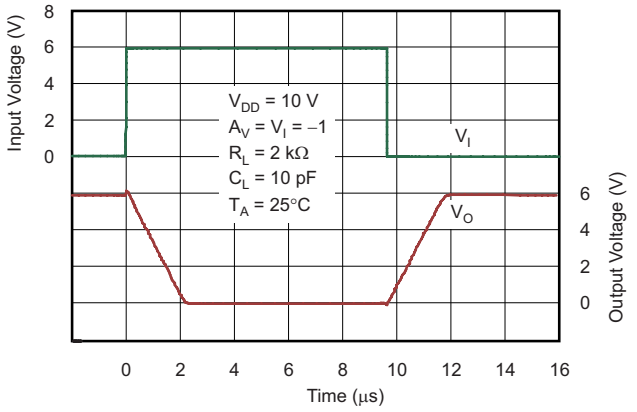


图 **22.** 反相大信号脉冲响应

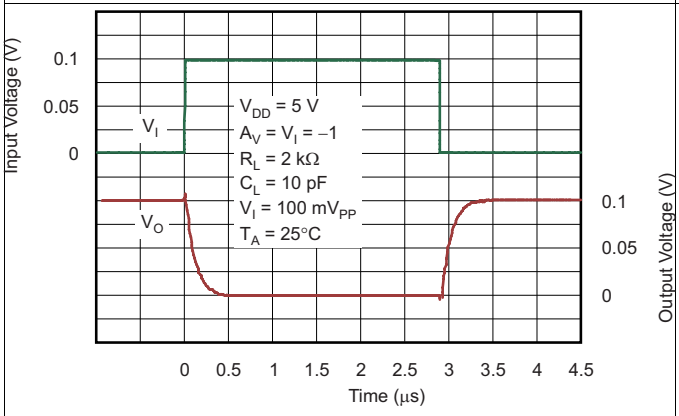


图 **23.** 反相小信号响应

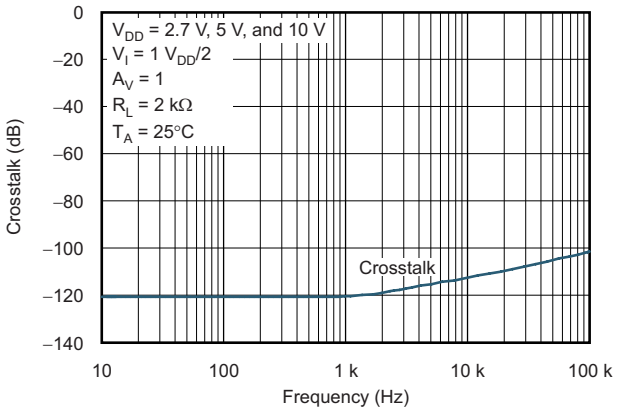
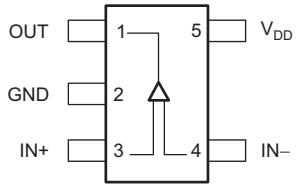


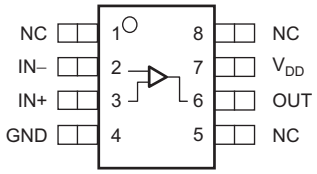
图 **24.** 串扰与频率间的关系

7 引脚配置和功能

TLV271：DBV 封装
5 引脚 SOT-23
俯视图



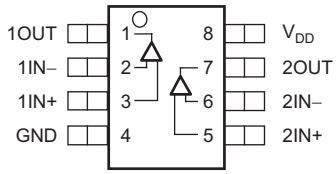
TLV271：D 和 P 封装
8 引脚 SOIC 和 PDIP
俯视图



SOT-23 的

引脚			I/O	说明
名称	TLV271			
	SOT-23	SOIC PDIP		
GND	2	4	—	负（最低）电源或接地（对于单电源供电）
IN–	4	2	I	负（反相）输入
IN+	3	3	I	正（同相）输入
NC	—	1、5、8	—	没有与内部电路连接（可以悬空）
OUT	1	6	O	Output
V_{DD}	5	7	—	正（最高）电源

TLV272：D、DGK 和 P 封装
8 引脚 SOIC、VSSOP 和 PDIP
俯视图

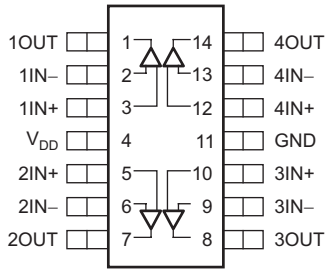


SOT-23 的

引脚		I/O	说明
名称	TLV272		
	SOIC VSSOP PDIP		
GND	4	—	负（最低）电源或接地（对于单电源供电）
1IN–	2	I	反相输入，通道 1
1IN+	3	I	同相输入，通道 1
2IN–	6	I	反相输入，通道 2
2IN+	5	I	同相输入，通道 2
1OUT	1	O	输出，通道 1
2OUT	7	O	输出，通道 2
V_{DD}	8	—	正（最高）电源

版权 © 2004–2016, Texas Instruments Incorporated

TLV274：D、PW 和 N 封装
14 引脚 SOIC、TSSOP 和 PDIP
俯视图



SOT-23 的

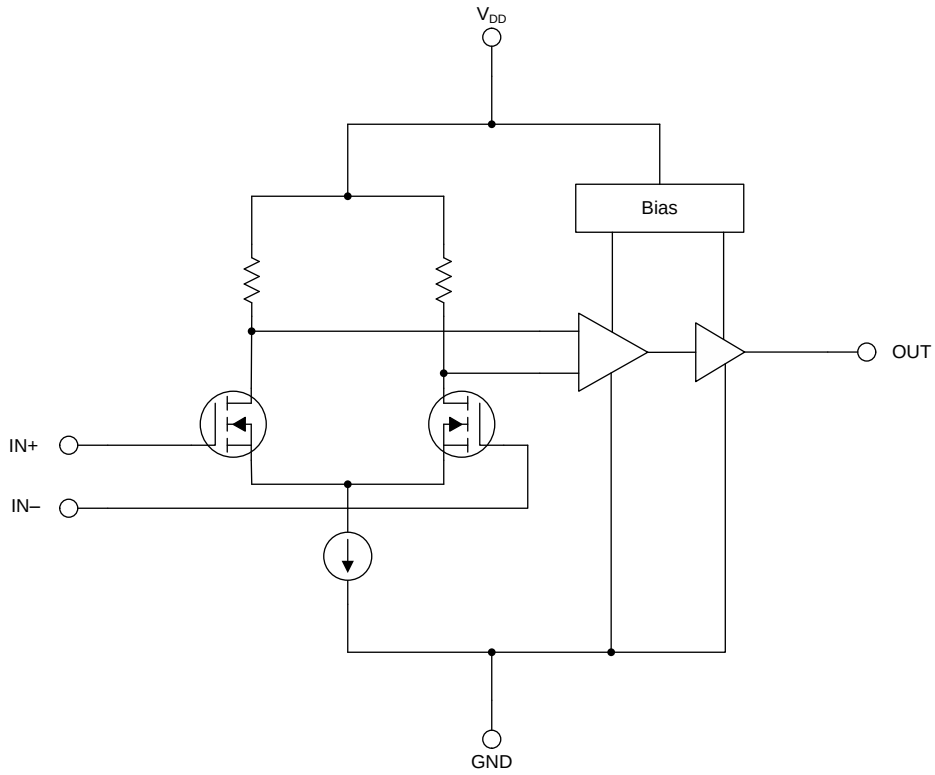
引脚		I/O	说明
名称	TLV274 SOIC TSSOP PDIP		
GND	11	—	负电源或接地（对于单电源供电）
1IN–	2	I	反相输入，通道 1
1IN+	3	I	同相输入，通道 1
2IN–	6	I	反相输入，通道 2
2IN+	5	I	同相输入，通道 2
3IN–	9	I	反相输入，通道 3
3IN+	10	I	同相输入，通道 3
4IN–	13	I	反相输入，通道 4
4IN+	12	I	同相输入，通道 4
1OUT	1	O	输出，通道 1
2OUT	7	O	输出，通道 2
3OUT	8	O	输出，通道 3
4OUT	14	O	输出，通道 4
V_{DD}	4	—	正电源

8 详细 说明

8.1 概述

TLV27x 由单电源供电，仅消耗 550µA 的静态电流。凭借轨至轨输出摆幅能力和 3MHz 带宽，TLV27x 非常适合电池供电型应用和工业 应用。

8.2 功能框图



Copyright © 2016, Texas Instruments Incorporated

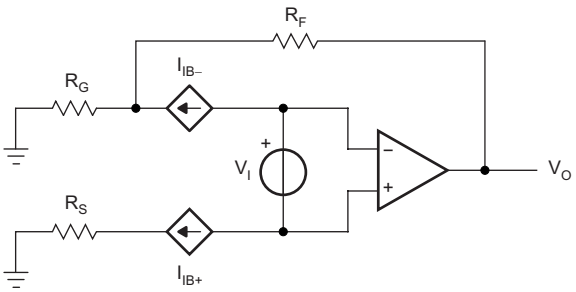
8.3 特性 说明

8.3.1 轨至轨输出

TLV27x 系列运算放大器 特性 轨至轨输出级。轨至轨输出可在低电压系统中实现宽动态范围。此特性以及低功耗和高带宽使 TLV27x 系列非常适合用于便携式和电池供电型系统。

8.3.2 失调电压

输出失调电压 (V_{OO}) 是输入失调电压 (V_{IO}) 和两个输入偏置电流 (I_{IB}) 乘以相应增益的总和。使用图 25 中的原理图和公式 1 计算输出失调电压：



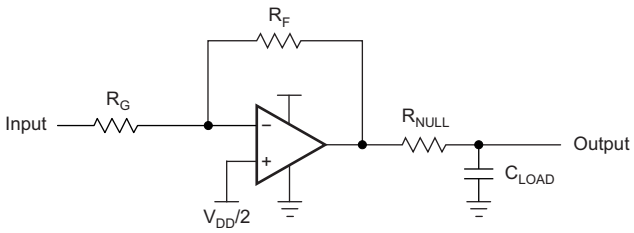
Copyright © 2016, Texas Instruments Incorporated

图 **25.** 输出失调电压模型

$$V_{OO} = V_{IO}\left[1 + \left(\frac{R_F}{R_G}\right)\right] \pm I_{IB+}R_S\left[1 + \left(\frac{R_F}{R_G}\right)\right] \pm I_{IB-}R_F \quad (1)$$

8.3.3 驱动容性负载

当以这种方式配置放大器时，直接位于输出端的容性负载会降低器件的相位裕量，从而导致高频率振铃或振荡。所以，对于大于 10pF 的容性负载，TI 建议将一个电阻器 (R_{NULL}) 与放大器输出端串联，如图 26 所示。20Ω 的最低值应该适用于大多数 应用。



Copyright © 2016, Texas Instruments Incorporated

图 **26.** 驱动容性负载

8.4 器件功能模式

TLV27x 具有单功能模式。该器件在施加的电源电压介于 2.7V (±1.35V) 和 16V (±8V) 之间时可以正常工作。*典型特性* 中显示了随工作条件变化而变化的电气参数。

9 应用和实现

注

以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

9.1 应用信息

TLV27x 系列器件具有出色的直流和交流性能。这些器件采用高达 16V 的电源供电，并提供超低输入偏置电流和 3MHz 带宽。这些 特性 使 TLV27x 成为强大的运算放大器，适用于电池供电型应用和工业 应用。

9.2 典型应用

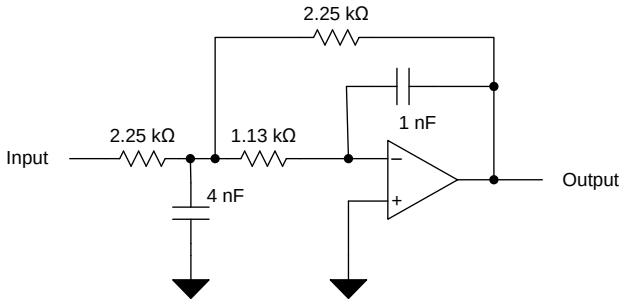


图 27. 二阶低通滤波器

9.2.1 设计要求

- 增益 = 1V/V
- 低通截止频率 = 50kHz
- –40dB/十倍频的滤波器响应
- 在增益与频率响应间的关系图中保持低于 3dB 的增益峰值

9.2.2 详细设计流程

图 27 展示了用于低通网络功能的无限增益多反馈电路。使用公式 2 计算电压传递函数。

$$\frac{\text{Output}}{\text{Input}}(s) = \frac{-1/R_1R_3C_2C_5}{s^2 + (s/C_2)(1/R_1 + 1/R_3 + 1/R_4) + 1/R_3R_4C_2C_5} \quad (2)$$

该电路将产生信号反转。对于该电路，直流增益和低通截止频率可通过 公式 3 计算得出：

$$\text{Gain} = \frac{R_4}{R_1}$$

$$f_C = \frac{1}{2\pi}\sqrt{(1/R_3R_4C_2C_5)} \quad (3)$$

版权 © 2004–2016, Texas Instruments Incorporated

典型应用 (接下页)

可使用软件工具简化滤波器设计。 WEBENCH®滤波器设计器是一款简单、功能强大且便于使用的有源滤波器设计程序。借助 WEBENCH® 滤波设计器，用户可使用精选 TI 运算放大器和 TI 供应商合作伙伴提供的无源组件来构建最佳滤波器设计方案。

WEBENCH 设计中心以基于网络的工具形式提供 WEBENCH 滤波器设计器。用户通过该工具可在数分钟内完成多级有源滤波器解决方案的设计、优化和仿真。

9.2.3 应用曲线

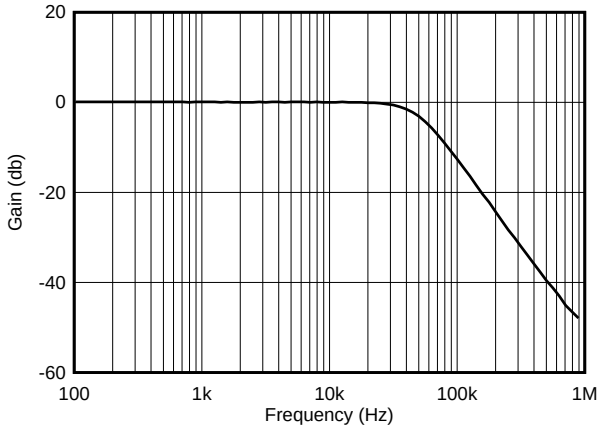
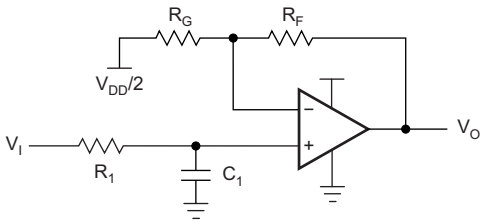


图 28. TLV27x 二阶 50kHz 低通滤波器

9.3 系统示例

9.3.1 一般配置

当接收到低电平信号时，通常需要限制即将进入系统的信号的带宽。实现这种限制的最简单方法是在放大器的同相端子上放置一个 RC 滤波器（请参阅图 29 和公式 4）。



Copyright © 2016, Texas Instruments Incorporated

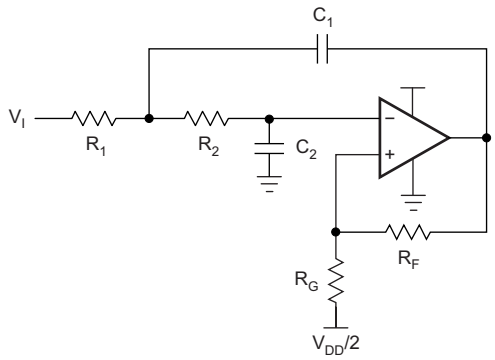
图 29. 单极点低通滤波器

$$\frac{V_O}{V_I} = \left(1 + \frac{R_F}{R_G}\right)\left(\frac{1}{1 + sR_1C_1}\right)$$

$$f_{-3db} = \frac{1}{2\pi R_1 C_1} \quad (4)$$

系统示例 (接下页)

如果需要更多的衰减，需要多个极点滤波器。对于此任务，可使用 Sallen-Key 滤波器，如图 30 中所示。为了获得最佳结果，放大器的带宽应为滤波器频率带宽的 8 到 10 倍；请参阅公式 5。不使用具有这种特性的放大器可能导致放大器出现相移。



Copyright © 2016, Texas Instruments Incorporated

图 30. 两极低通 Sallen-Key 滤波器

$R_1 = R_2 = R$
$C_1 = C_2 = C$
Q = Peaking Factor
(Butterworth Q = 0.707)

$$f_{-3db} = \frac{1}{2\pi RC}$$

$$R_G = \frac{R_F}{\left(2 - \frac{1}{Q}\right)} \quad (5)$$

版权 © 2004–2016, Texas Instruments Incorporated

10 电源建议

TLV27x 的额定工作电压范围是 2.7V 至 16V（±1.35V 至 ±8V）；许多规格在 –40°C 至 125°C 的温度下适用。*典型特性* 中介绍了随工作电压或温度的变化而明显变化的参数。

CAUTION

电源电压超过 16.5V 可能会对器件造成永久损坏；请参阅*绝对最大额定值*。

将 0.1µF 旁路电容器置于电源引脚附近，可减少从高噪声电源或高阻抗电源中耦合进来的误差。有关旁路电容器放置的更多详细信息，请参阅*布局指南*。

11 布局

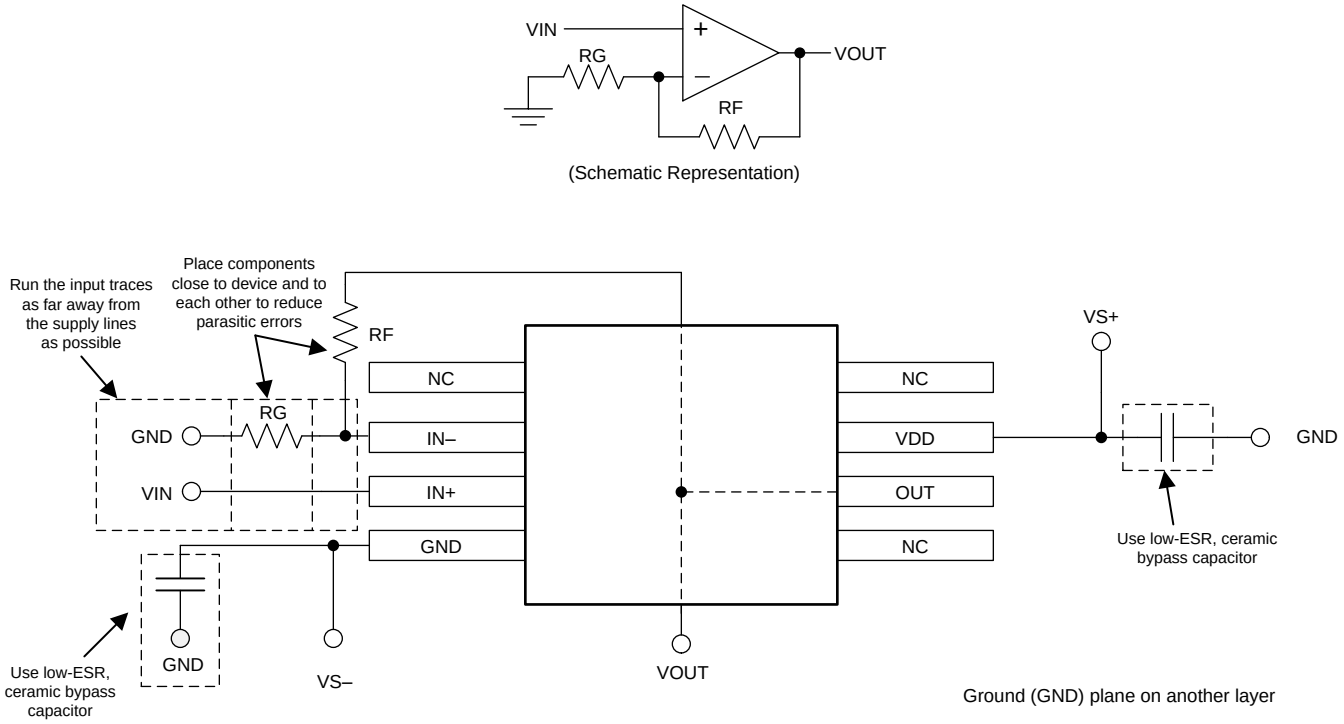
11.1 布局指南

为了达到 TLV27x 的高性能水平，应遵循正确的印刷电路板 (PCB) 设计方法。下面给出了一组通用的准则。

- 接地平面 — TI 强烈建议在电路板上使用接地平面来为所有组件提供低电感接地连接。但是，在放大器输入和输出区域，可移除接地平面以便最小化杂散电容。
- 适当的电源去耦 — 在每个电源端子上使用一个 6.8µF 钽电容器与一个 0.1µF 陶瓷电容器并联。根据应用情况，也许可以在若干放大器之间共享钽电容器，但每个放大器的电源端子上应始终使用 0.1µF 陶瓷电容器。另外，0.1µF 电容器应尽可能靠近电源端子。随着此距离增大，连接迹线中的电感会使电容器效率降低。设计人员应力求使器件电源端子和陶瓷电容器之间的距离小于 0.1 英寸。
- 插座 — 可以使用但不建议使用。插座引脚中的额外引线电感常常会导致稳定性问题。将表面贴装式封装直接焊接到印刷电路板上是最好的实施方式。
- 短迹线/紧凑型部件安置 — 当杂散串联电感最小化时，即可实现最佳的高性能。为了实现这一点，电路布局应尽可能紧凑，从而尽量减少所有迹线的长度。应特别注意放大器的反相输入端。它的长度应尽可能短。这有助于最大限度减小放大器输入端的杂散电容。
- 表面贴装无源组件 — 出于多种原因，建议对高性能放大器电路使用表面贴装无源组件。首先，由于表面贴装组件的引线电感极低，因此大大减少了杂散串联电感问题。其次，表面贴装组件的小尺寸特性自然而然会使布局更紧凑，进而最小化杂散电感和电容。如果使用引线式组件，TI 建议尽可能缩短引线长度。

版权 © 2004–2016, Texas Instruments Incorporated

11.2 布局示例



Copyright © 2016, Texas Instruments Incorporated

图 **31. TLV27x** 布局示例

版权 © 2004–2016, Texas Instruments Incorporated

12 器件和文档支持

12.1 文档支持

12.1.1 相关文档

使用 TLV27x 时，建议参考下列相关文档。所有这些文档都可从 www.ti.com 上下载（除非另有说明）。

- *《用直观方式补偿跨阻放大器》*(SBOA055)
- *《运算放大器增益稳定性，第 3 部分：交流增益误差分析》*(SLYT383)
- *《运算放大器增益稳定性，第 2 部分：直流增益误差分析》*(SLYT374)
- *《在全差分有源滤波器中使用无限增益、MFB 滤波器拓扑》*(SLYT343)
- *《运算放大器性能分析》*(SBOA054)
- *《运算放大器的单电源运行》*(SBOA059)
- *《调整放大器》*(SBOA067)
- *无铅成品组件的储存寿命评估*(SZZA046)

12.2 相关链接

表 2 列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件以及申请样片或购买产品的快速访问链接。

表 **2.** 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
TLV271	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV272	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV274	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

12.3 接收文档更新通知

要接收文档更新通知，请导航至 TI.com 上的器件产品文件夹。请单击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.4 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。*** **此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。**

设计支持 ***TI 参考设计支持*** **可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。**

12.5 商标

E2E is a trademark of Texas Instruments.
WEBENCH is a registered trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

12.6 静电放电警告



这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

12.7 Glossary

SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，也不会对此文档进行修订。如欲获取此数据表的浏览器版本，请参阅左侧的导航。

版权 © 2004–2016, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TLV271CD	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	T271C	Samples
TLV271CDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	VBHC	Samples
TLV271CDBVRG4	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	VBHC	Samples
TLV271CDBVT	ACTIVE	SOT-23	DBV	5	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	VBHC	Samples
TLV271CDBVTG4	ACTIVE	SOT-23	DBV	5	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	VBHC	Samples
TLV271CDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	T271C	Samples
TLV271ID	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T271I	Samples
TLV271IDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	VBHI	Samples
TLV271IDBVRG4	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	VBHI	Samples
TLV271IDBVT	ACTIVE	SOT-23	DBV	5	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	VBHI	Samples
TLV271IDBVTG4	ACTIVE	SOT-23	DBV	5	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	VBHI	Samples
TLV271IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T271I	Samples
TLV271IP	ACTIVE	PDIP	P	8	50	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 125	T271I	Samples
TLV272CD	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	T272C	Samples
TLV272CDG4	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	T272C	Samples
TLV272CDGK	ACTIVE	VSSOP	DGK	8	80	RoHS & Green	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	0 to 70	AVF	Samples
TLV272CDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	0 to 70	AVF	Samples
TLV272CDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	T272C	Samples
TLV272CDRG4	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	T272C	Samples
TLV272ID	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T272I	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TLV272IDG4	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T272I	Samples
TLV272IDGK	ACTIVE	VSSOP	DGK	8	80	RoHS & Green	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	AVG	Samples
TLV272IDGKG4	ACTIVE	VSSOP	DGK	8	80	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AVG	Samples
TLV272IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	AVG	Samples
TLV272IDGKRG4	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AVG	Samples
TLV272IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T272I	Samples
TLV272IDRG4	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T272I	Samples
TLV272IP	ACTIVE	PDIP	P	8	50	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 125	T272I	Samples
TLV274CD	ACTIVE	SOIC	D	14	50	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	TLV274C	Samples
TLV274CDG4	ACTIVE	SOIC	D	14	50	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	TLV274C	Samples
TLV274CDR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	TLV274C	Samples
TLV274CPW	ACTIVE	TSSOP	PW	14	90	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	TLV274C	Samples
TLV274CPWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	TLV274C	Samples
TLV274CPWRG4	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	TLV274C	Samples
TLV274ID	ACTIVE	SOIC	D	14	50	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV274I	Samples
TLV274IDG4	ACTIVE	SOIC	D	14	50	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV274I	Samples
TLV274IDR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV274I	Samples
TLV274IDRG4	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV274I	Samples
TLV274IN	ACTIVE	PDIP	N	14	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 125	TLV274I	Samples
TLV274IPW	ACTIVE	TSSOP	PW	14	90	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV274I	Samples
TLV274IPWG4	ACTIVE	TSSOP	PW	14	90	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV274I	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TLV274IPWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV274I	Samples
TLV274IPWRG4	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV274I	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV271, TLV272, TLV274 :

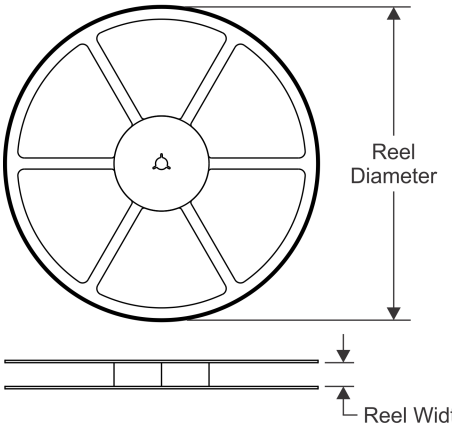
- Automotive : TLV271-Q1, TLV272-Q1, TLV274-Q1

NOTE: Qualified Version Definitions:

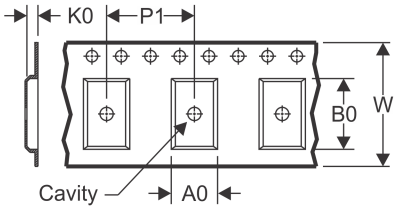
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

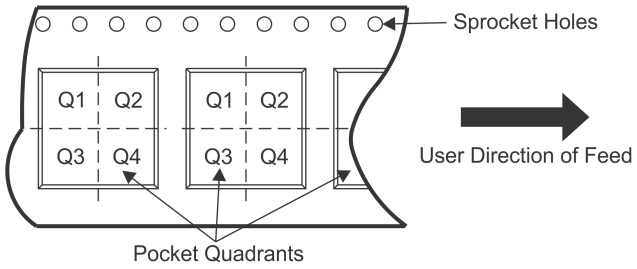


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

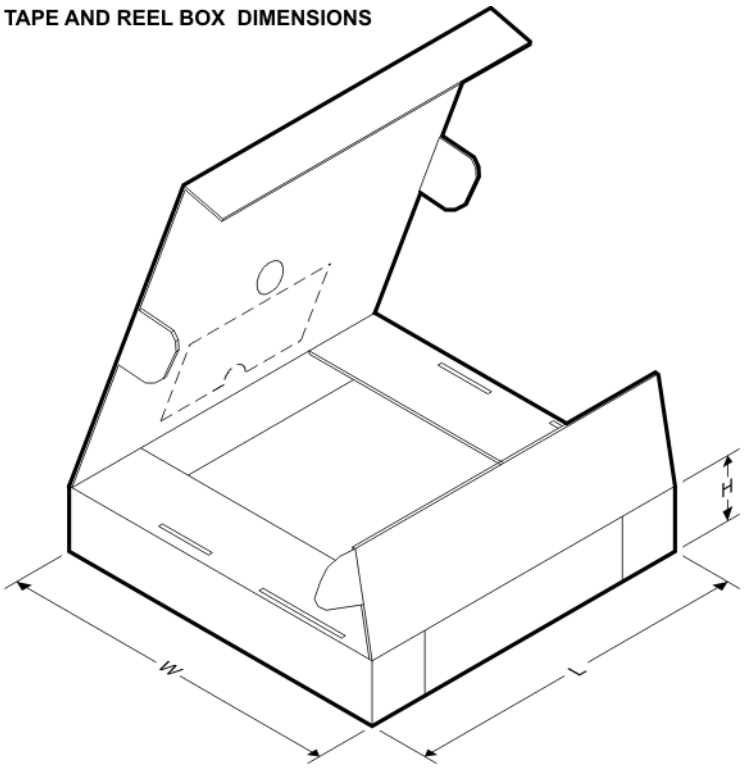
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV271CDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TLV271CDBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TLV271CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV271IDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TLV271IDBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TLV271IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV272CDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV272CDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV272CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV272IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV272IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV272IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV274CDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV274CPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV274IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV274IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

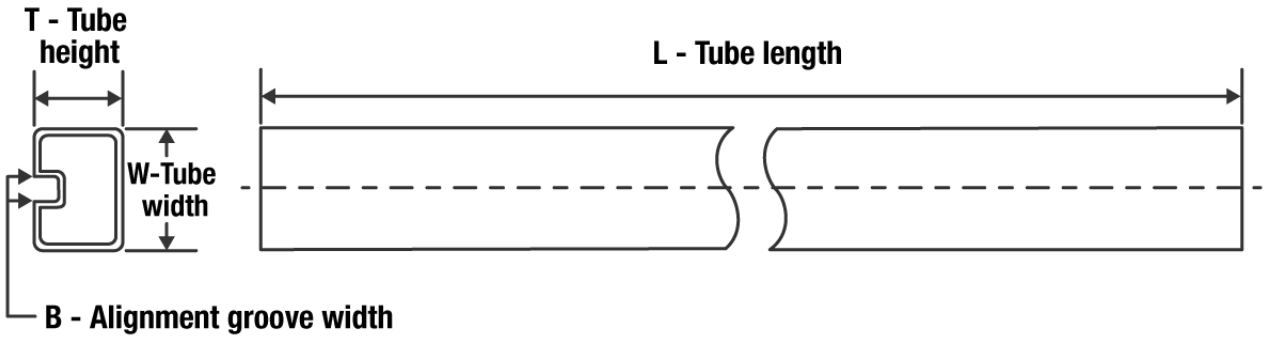
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV271CDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TLV271CDBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
TLV271CDR	SOIC	D	8	2500	340.5	336.1	25.0
TLV271IDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TLV271IDBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
TLV271IDR	SOIC	D	8	2500	340.5	336.1	25.0
TLV272CDGKR	VSSOP	DGK	8	2500	358.0	335.0	35.0
TLV272CDGKR	VSSOP	DGK	8	2500	364.0	364.0	27.0
TLV272CDR	SOIC	D	8	2500	340.5	336.1	25.0
TLV272IDGKR	VSSOP	DGK	8	2500	358.0	335.0	35.0
TLV272IDGKR	VSSOP	DGK	8	2500	364.0	364.0	27.0
TLV272IDR	SOIC	D	8	2500	340.5	336.1	25.0
TLV274CDR	SOIC	D	14	2500	340.5	336.1	32.0
TLV274CPWR	TSSOP	PW	14	2000	853.0	449.0	35.0
TLV274IDR	SOIC	D	14	2500	340.5	336.1	32.0
TLV274IPWR	TSSOP	PW	14	2000	853.0	449.0	35.0

TUBE



*All dimensions are nominal

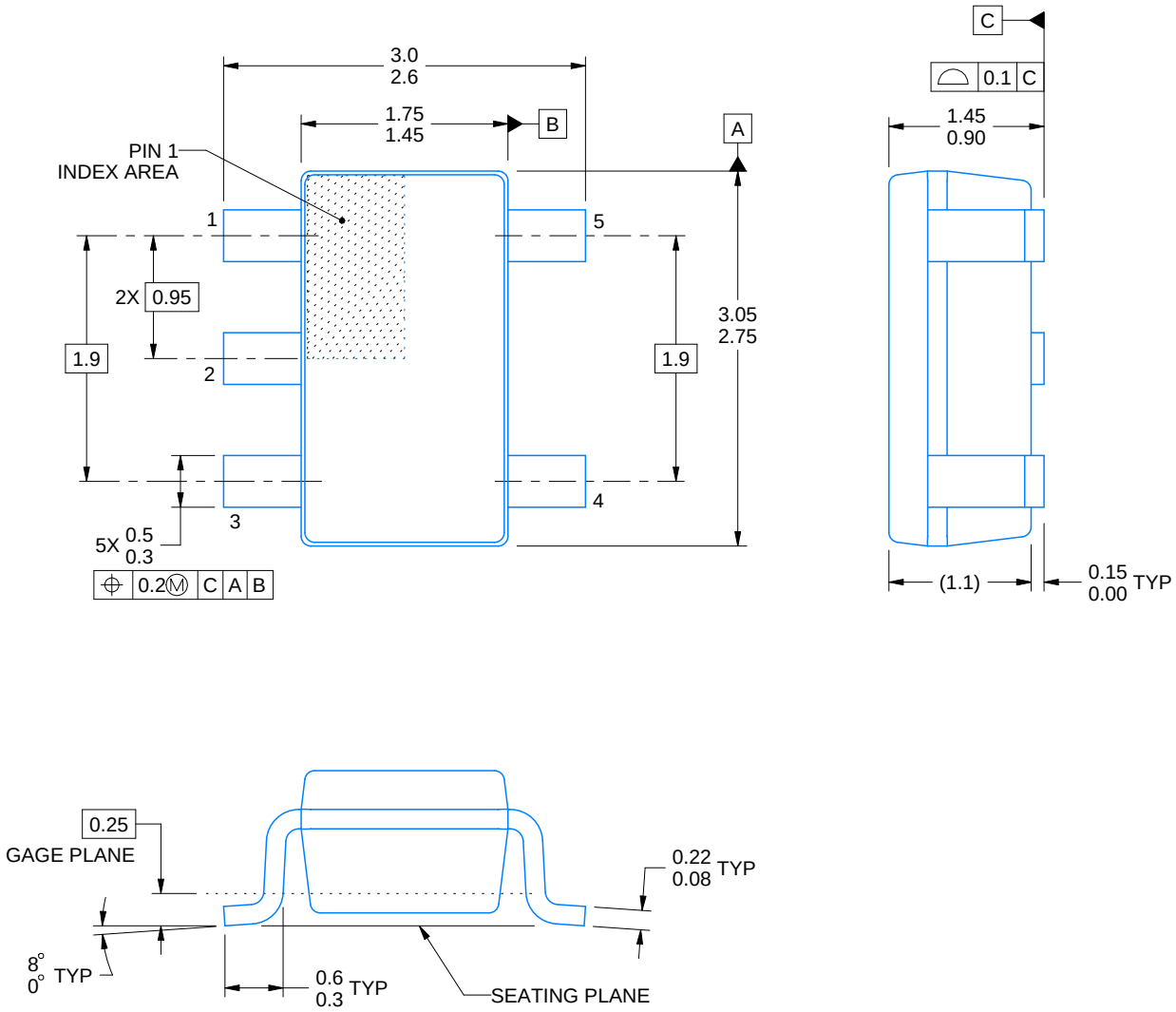
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TLV271CD	D	SOIC	8	75	507	8	3940	4.32
TLV271ID	D	SOIC	8	75	507	8	3940	4.32
TLV271IP	P	PDIP	8	50	506	13.97	11230	4.32
TLV272CD	D	SOIC	8	75	507	8	3940	4.32
TLV272CDG4	D	SOIC	8	75	507	8	3940	4.32
TLV272CDGK	DGK	VSSOP	8	80	330	6.55	500	2.88
TLV272ID	D	SOIC	8	75	507	8	3940	4.32
TLV272IDG4	D	SOIC	8	75	507	8	3940	4.32
TLV272IDGK	DGK	VSSOP	8	80	330	6.55	500	2.88
TLV272IDGKG4	DGK	VSSOP	8	80	330	6.55	500	2.88
TLV272IP	P	PDIP	8	50	506	13.97	11230	4.32
TLV274CD	D	SOIC	14	50	507	8	3940	4.32
TLV274CDG4	D	SOIC	14	50	507	8	3940	4.32
TLV274CPW	PW	TSSOP	14	90	530	10.2	3600	3.5
TLV274ID	D	SOIC	14	50	507	8	3940	4.32
TLV274IDG4	D	SOIC	14	50	507	8	3940	4.32
TLV274IN	N	PDIP	14	25	506	13.97	11230	4.32
TLV274IPW	PW	TSSOP	14	90	530	10.2	3600	3.5
TLV274IPWG4	PW	TSSOP	14	90	530	10.2	3600	3.5

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

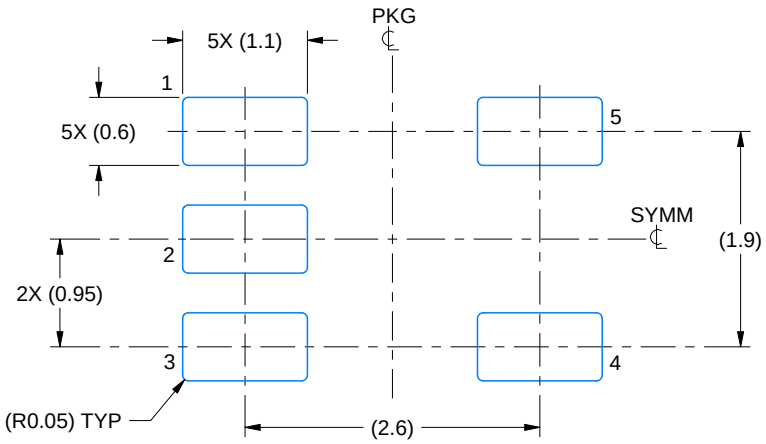
SMALL OUTLINE TRANSISTOR



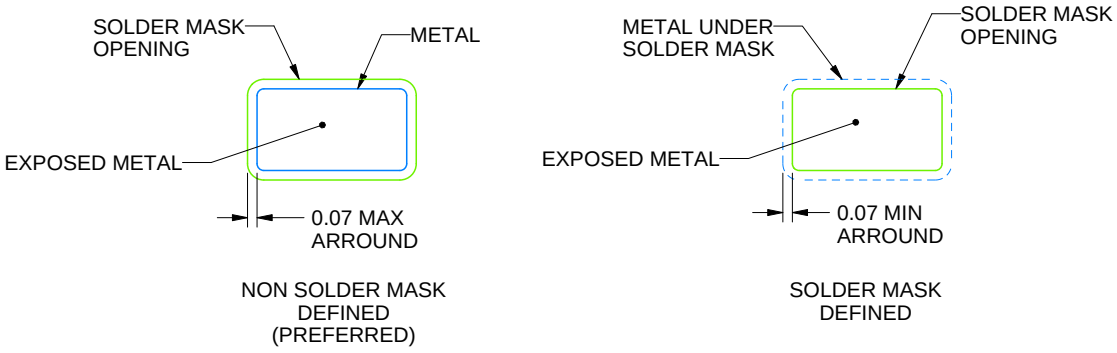
4214839/F 06/2021

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

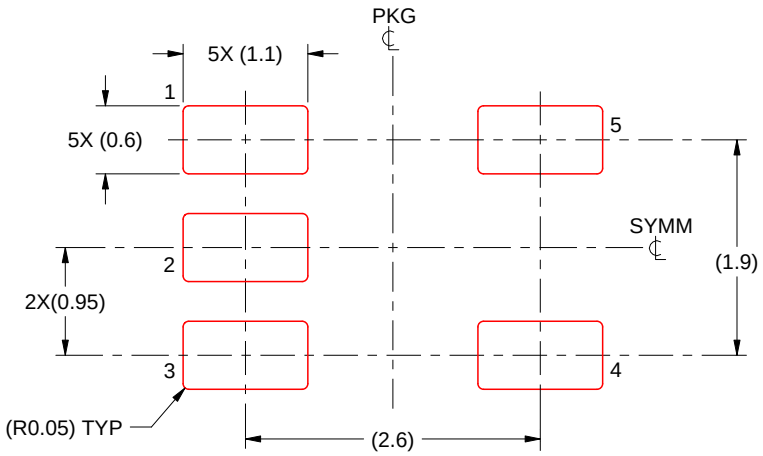


SOLDER MASK DETAILS

4214839/F 06/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



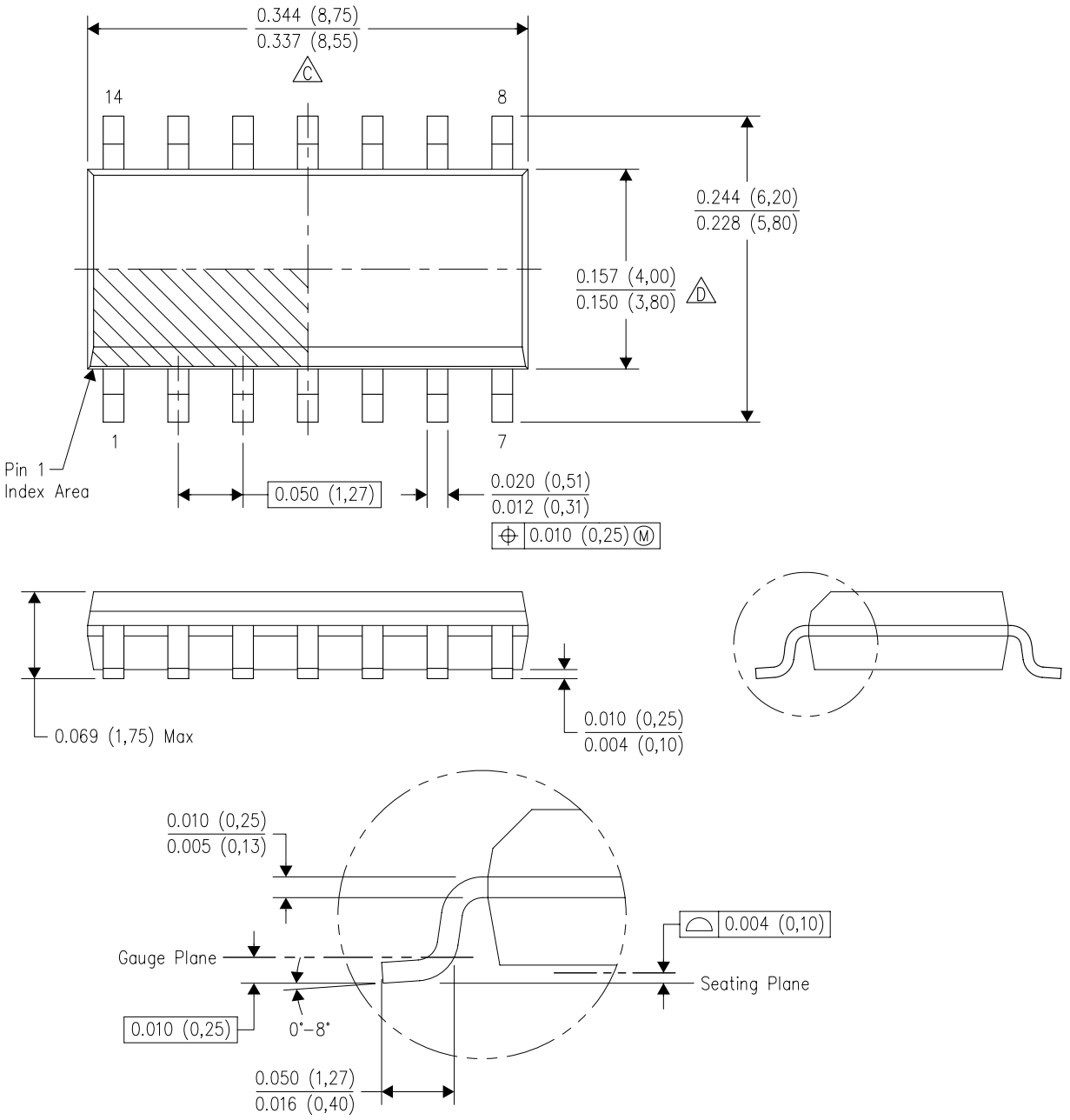
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/F 06/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

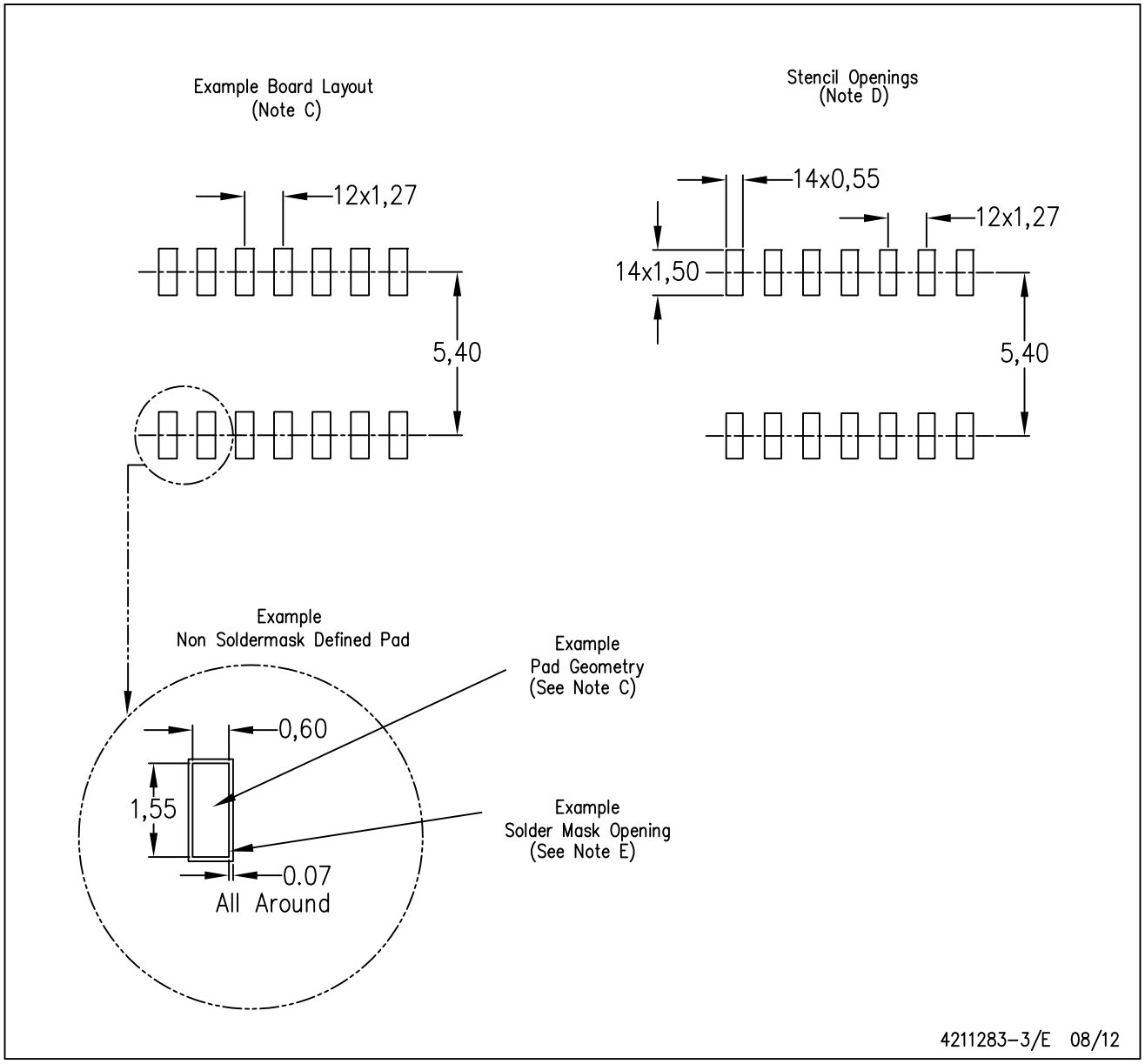
D (R–PDSO–G14) PLASTIC SMALL OUTLINE



4040047–5/M 06/11

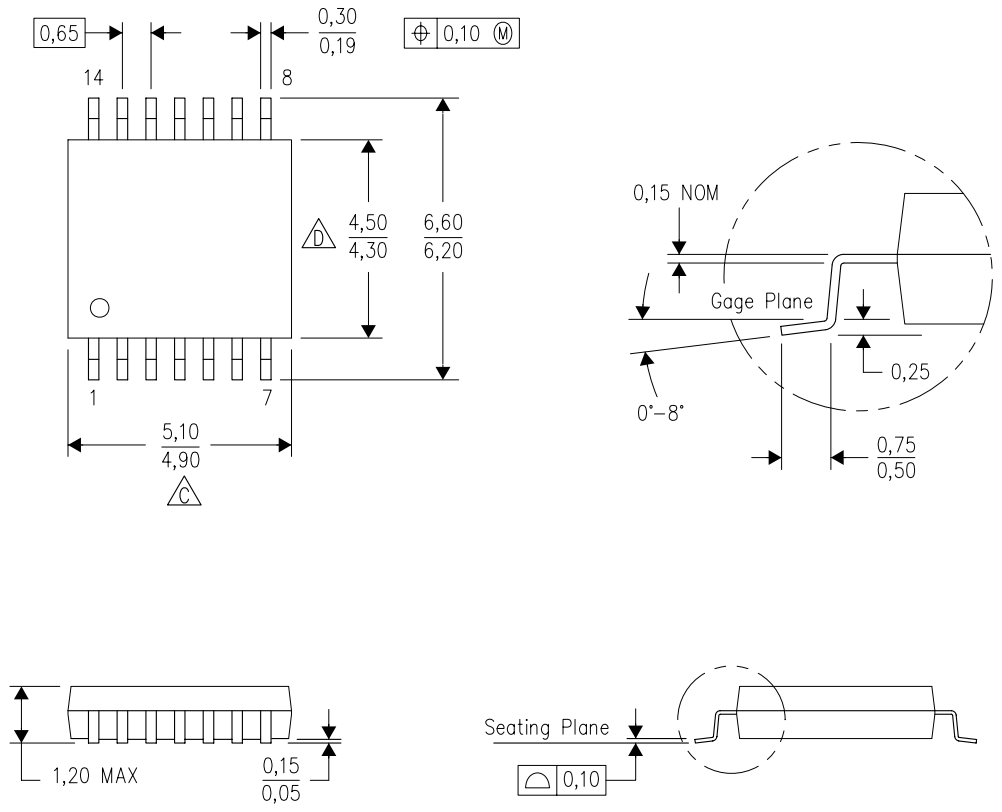
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AB.

D (R–PDSO–G14) PLASTIC SMALL OUTLINE



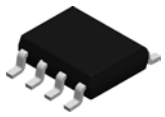
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



4040064–3/G 02/11

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
E. Falls within JEDEC MO–153

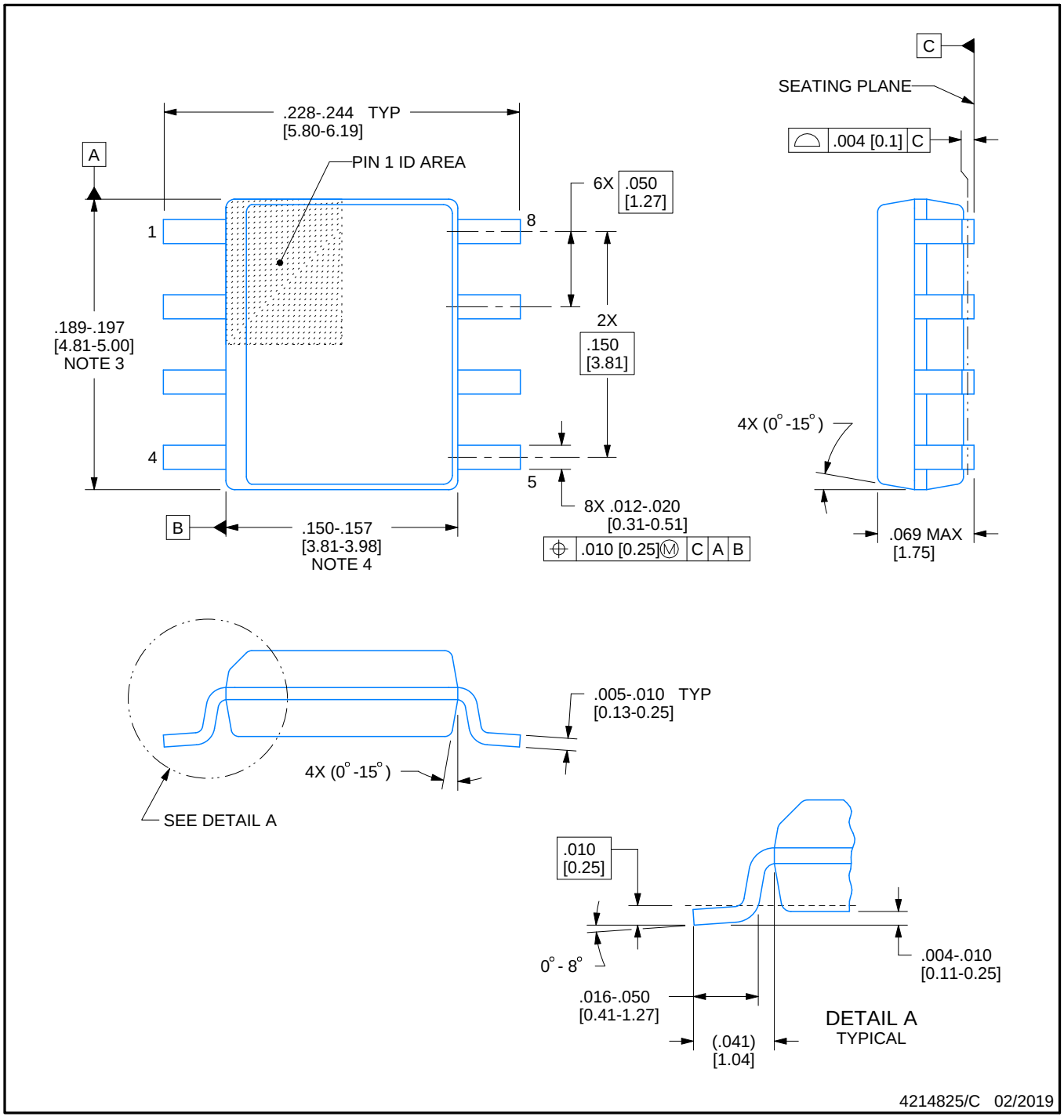


PACKAGE OUTLINE

D0008A

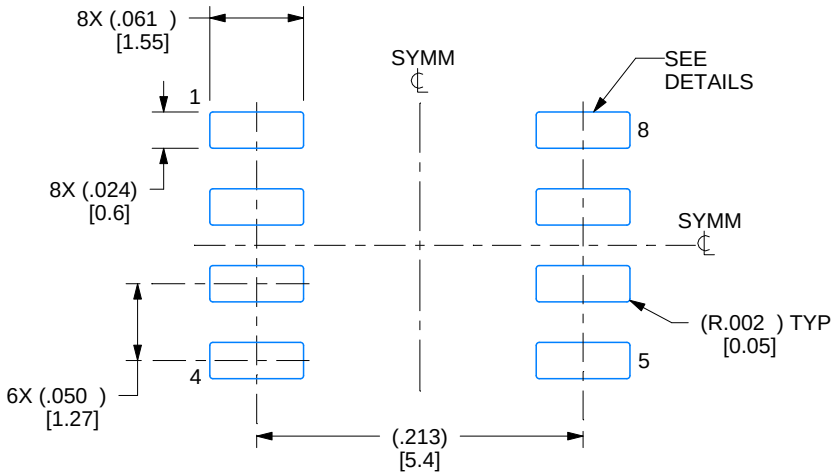
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

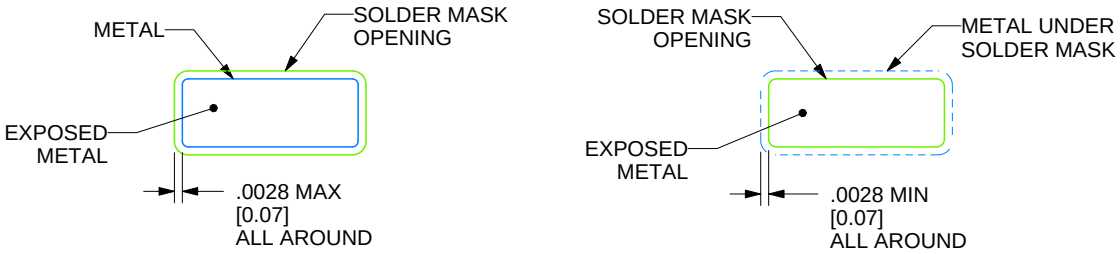


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

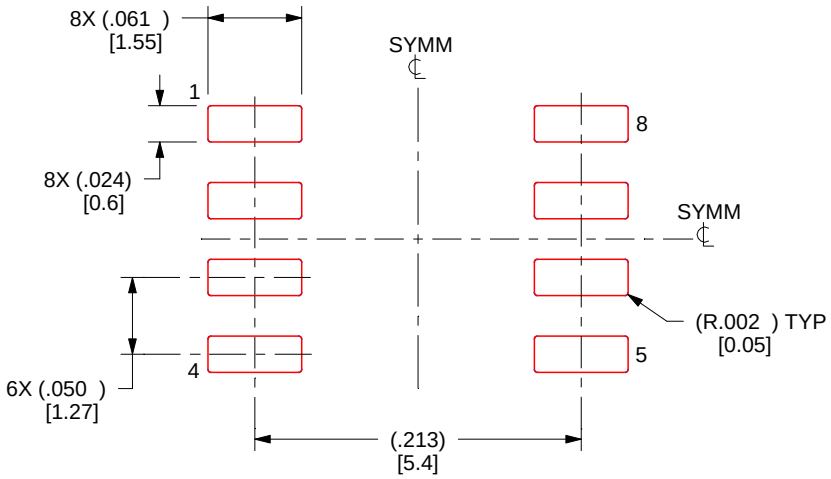
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



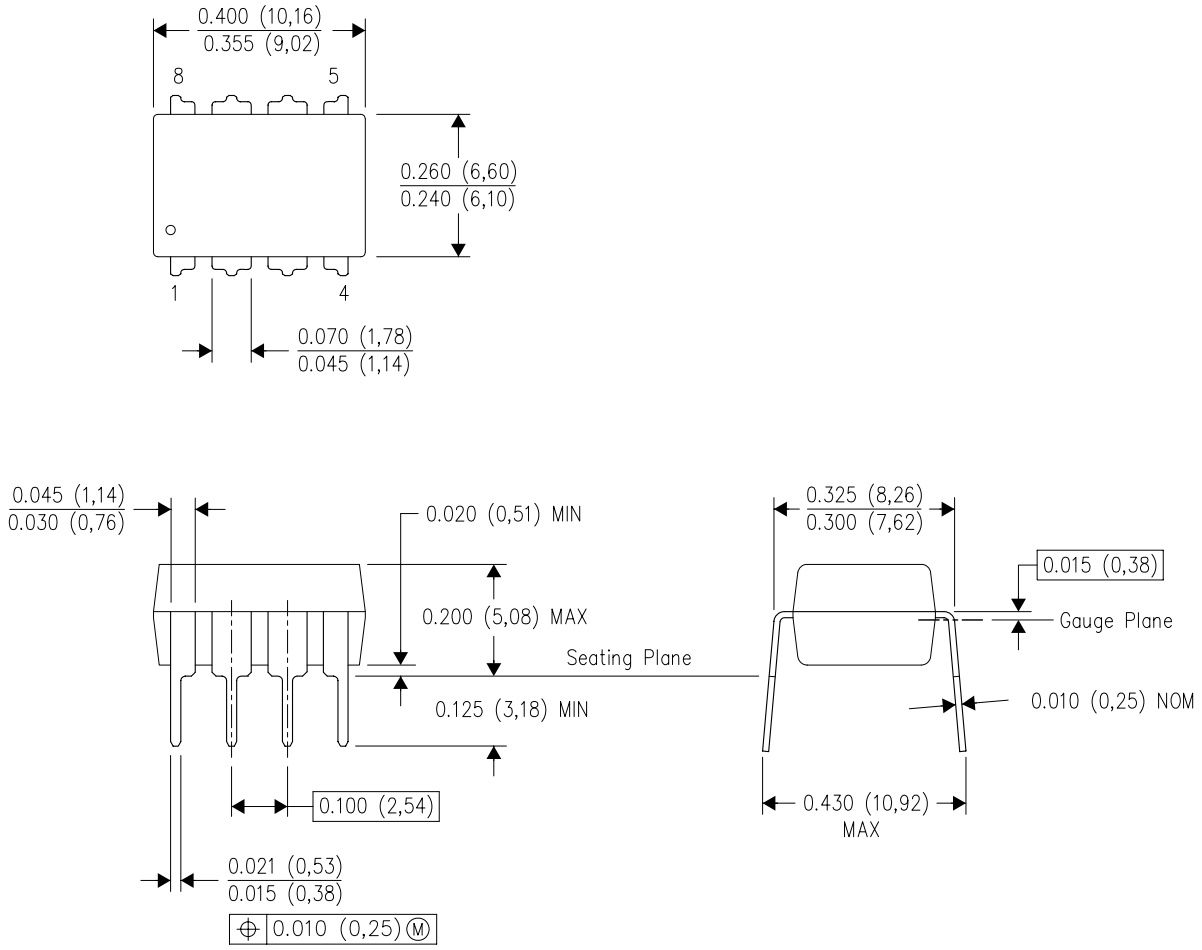
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE

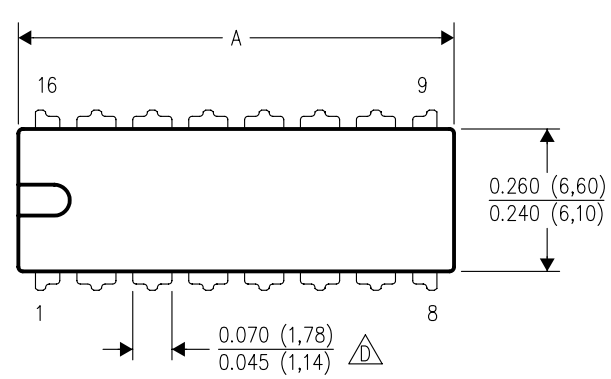


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

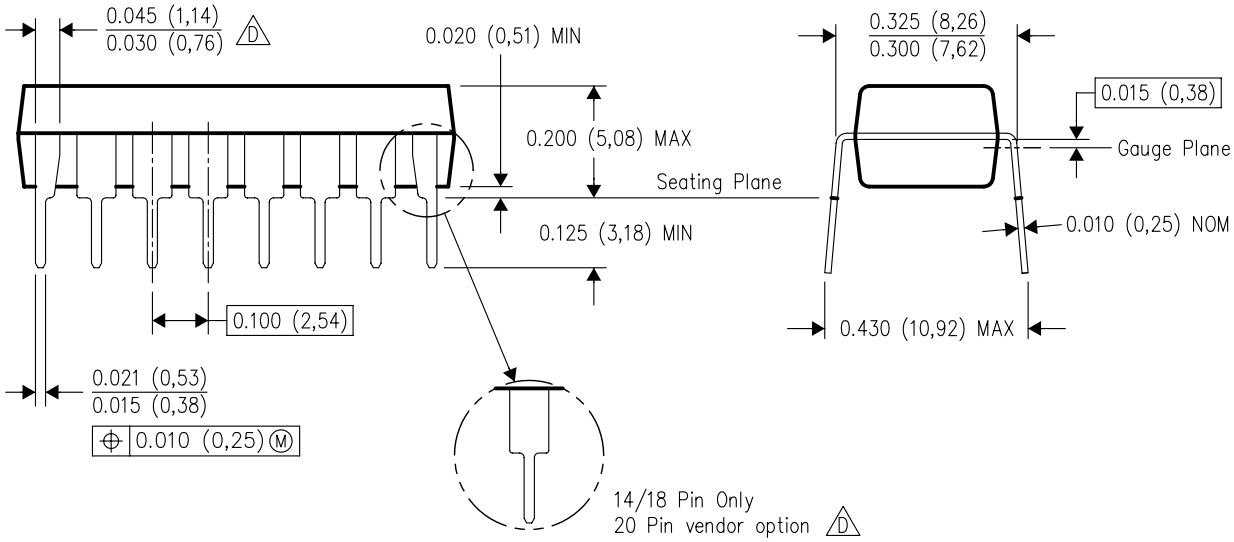
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



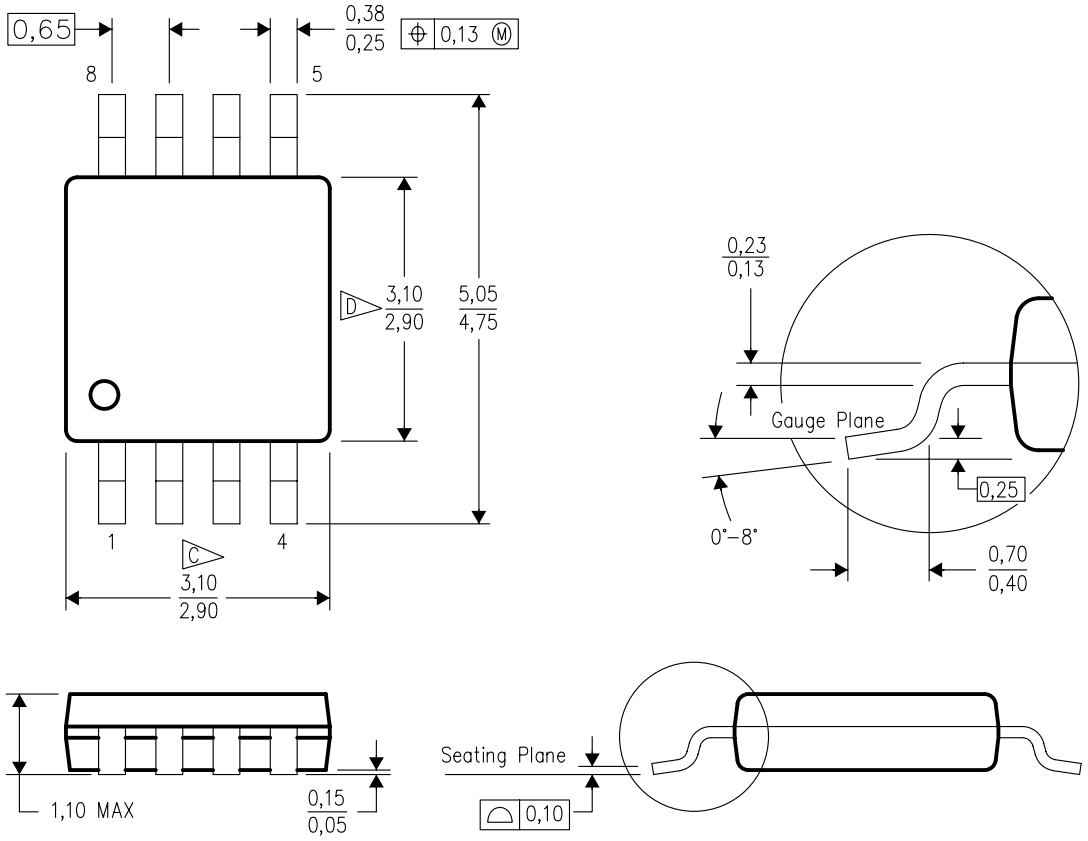
DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

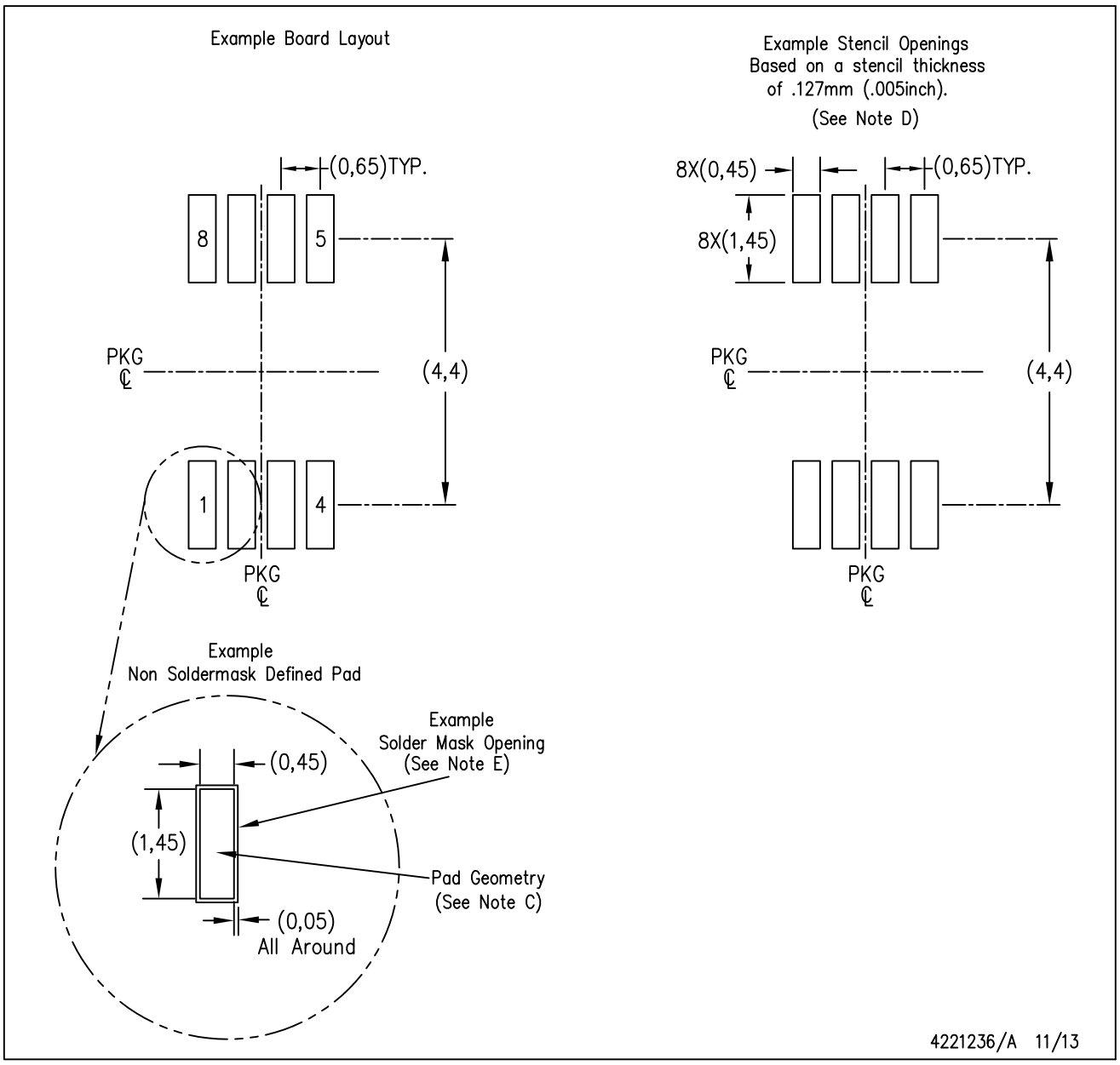
DGK (S–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE



4073329/E 05/06

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
E. Falls within JEDEC MO–187 variation AA, except interlead flash.

DGK (S–PDSO–G8) PLASTIC SMALL OUTLINE PACKAGE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2022，德州仪器 (TI) 公司