TLV600x 面向成本敏感型系统的低功耗、 轨到轨输入/输出、1MHz 运算放大器

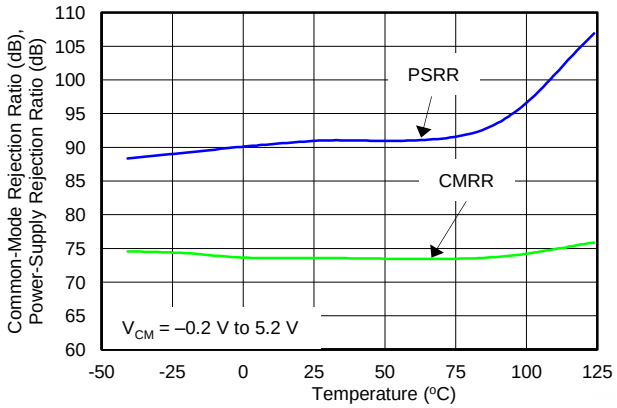
1 特性

- 面向成本敏感型系统的精密放大器
- 低静态电流：75μA/通道
- 电源电压范围：1.8V 至 5.5V
- 输入电压噪声密度：1kHz 时为 28nV/√Hz
- 轨到轨输入和输出
- 增益带宽：1MHz
- 低输入偏置电流：1pA
- 低失调电压：0.75mV
- 单位增益稳定
- 内部射频 (RF) 和电磁干扰 (EMI) 滤波器
- 工作温度范围：
  -40°C 至 +125°C

2 应用范围

- 工业和消费类电子产品
- 便携式设备
- 便携式血糖仪系统
- 烟雾探测器
- 白色家电
- 移动电源

CMRR 和 PSRR 与温度间的关系



3 说明

TLV600x 系列单通道、双通道和四通道运算放大器是专门针对通用 应用进行设计的。该系列器件具有轨到轨输入和输出 (RRIO) 摆幅、低静态电流（典型值：75μA）、高带宽 (1MHz) 以及低噪声（1KHz 时为 28 nV/√Hz）等特性，对于要求在成本和性能之间取得良好平衡的 应用 而言极具吸引力，例如消费类电子产品、烟雾探测器和白色家电。TLV600x 具有低输入偏置电流（典型值：±1.0pA），因此适用于 源阻抗高达兆欧级 的应用。

TLV600x 采用稳健耐用的设计，方便电路设计人员使用。该器件在高达 150pF 的容性负载条件下单位增益稳定，并集成有 RF/EMI 抑制滤波器，在过驱条件下不会出现反相而且具有高静电放电 (ESD) 保护（4kV 人体放电模型 (HBM)）。

此类器件经过优化，适合在 1.8V (±0.9V) 至 5.5V (±2.75V) 的低电压状态下工作，并可在 -40°C 至 125°C 的温度范围内额定运行。

TLV6001（单通道）采用 SC70-5 和 SOT23-5 封装。TLV6002（双通道）采用 SOIC-8 和 VSSOP-8 封装，TLV6004（四通道）采用 TSSOP-14 封装。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
TLV6001	SC70 (5)	2.00mm × 1.25mm
	SOT-23 (5)	2.90mm × 1.60mm
TLV6002	SOIC (8)	4.90mm x 3.91mm
	VSSOP (8)	3.00mm × 3.00mm
TLV6004	薄型小外形尺寸封装 (TSSOP) (14)	5.00mm x 4.40mm

(1) 要了解所有可用封装，请见数据表末尾的可订购产品附录。

An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

目录

1 特性 ... 1
2 应用范围 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 器件比较表 ... 3
6 引脚配置和功能 ... 3
7 规格 ... 7
7.1 绝对最大额定值 ... 7
7.2 ESD 额定值 ... 7
7.3 建议的工作条件 ... 7
7.4 热性能信息：TLV6001 ... 8
7.5 热性能信息：TLV6002 ... 8
7.6 热性能信息：TLV6004 ... 8
7.7 电气特性：V_S= 1.8V 至 5V（±0.9V 至 ±2.75V） ... 9
7.8 典型特性：图形列表 ... 10
7.9 典型特性 ... 11
8 详细 说明 ... 14
8.1 概述 ... 14
8.2 功能框图 ... 14
8.3 特性 说明 ... 15
8.4 器件功能模式 ... 16
8.5 输入和 ESD 保护 ... 16
9 应用和实现 ... 17
9.1 应用信息 ... 17
9.2 典型应用 ... 17
9.3 系统示例 ... 18
10 电源相关建议 ... 19
11 布局 ... 20
11.1 布局准则 ... 20
11.2 布局示例 ... 20
12 器件和文档支持 ... 21
12.1 文档支持 ... 21
12.2 相关链接 ... 21
12.3 接收文档更新通知 ... 21
12.4 社区资源 ... 21
12.5 商标 ... 21
12.6 静电放电警告 ... 21
12.7 Glossary ... 21
13 机械、封装和可订购信息 ... 21

4 修订历史记录

Changes from Revision C (December 2016) to Revision D — **Page**

- Changed 在*引脚功能：TLV6001* 表中将反相输入引脚改为同相输入引脚 ... 3
- Changed 在*引脚功能：TLV6001R* 表中将反相输入引脚改为同相输入引脚 ... 4
- Changed 在*引脚功能：TLV6001U* 表中将反相输入引脚改为同相输入引脚 ... 4
- 已更改 将*相关链接*表中的“样片和购买”更改成了“立即订购” ... 21

Changes from Revision B (October 2016) to Revision C — **Page**

- Changed *引脚配置和功能*一节中的所有引脚以反映正确的引脚名称和顺序 ... 3

Changes from Revision A (July 2016) to Revision B — **Page**

- Added 将 TLV6001R 引脚图添加到*引脚配置和功能*一节 ... 4
- Added 将 TLV6001U 引脚图添加到*引脚配置和功能*一节 ... 4

Changes from Original (June 2016) to Revision A — **Page**

- 已更改 产品状态“产品预览”至“量产数据” ... 1
- 已更改 *相关文档*部分的格式。 ... 21
- 已更改 *接收文档更新通知*部分的措辞 ... 21

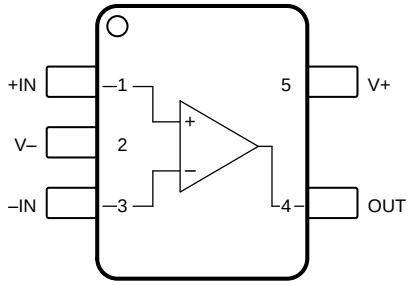
Copyright © 2016–2017, Texas Instruments Incorporated

5 器件比较表

器件	通道数	封装-引线				
		SC70	SOT-23	SOIC	VSSOP	TSSOP
TLV6001	1	5	5	—	—	—
TLV6002	2	—	—	8	8	—
TLV6004	4	—	—	—	—	14

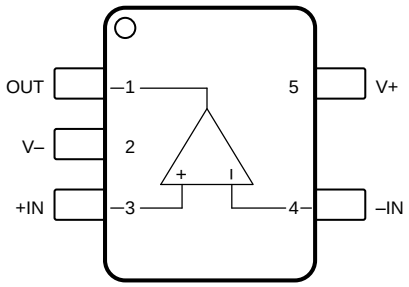
6 引脚配置和功能

TLV6001：DCK 封装
5 引脚 SC70
俯视图



Not to scale

TLV6001：DBV 封装
5 引脚 SOT-23
俯视图



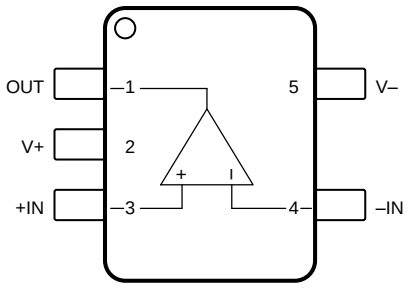
Not to scale

引脚功能：TLV6001

引脚			I/O	说明
名称	DCK (SC70)	DBV (SOT-23)		
–IN	3	4	I	反相输入
+IN	1	3	I	同相输入
OUT	4	1	O	输出
V–	2	2	—	负电源（最低）
V+	5	5	—	正电源（最高）

Copyright © 2016–2017, Texas Instruments Incorporated

TLV6001R：DBV 封装
5 引脚 SOT-23
俯视图

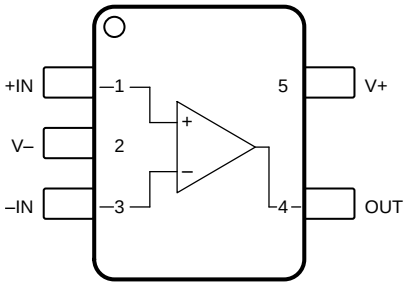


Not to scale

引脚功能：TLV6001R

引脚		I/O	说明
名称	编号		
–IN	4	I	反相输入
+IN	3	I	同相输入
OUT	1	O	输出
V–	5	—	负电源（最低）
V+	2	—	正电源（最高）

TLV6001U：DBV 封装
5 引脚 SOT-23
俯视图



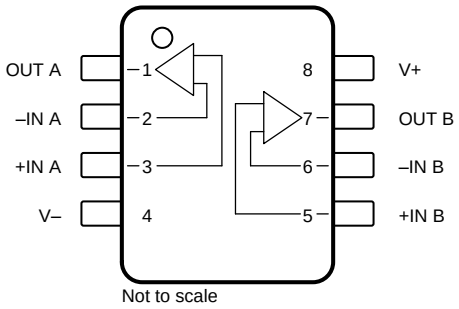
Not to scale

引脚功能：TLV6001U

引脚		I/O	说明
名称	编号		
–IN	3	I	反相输入
+IN	1	I	同相输入
OUT	4	O	输出
V–	2	—	负电源（最低）
V+	5	—	正电源（最高）

Copyright © 2016–2017, Texas Instruments Incorporated

TLV6002：D、DGK 封装
8 引脚 SOIC，8 引脚 VSSOP
TLV6002 俯视图



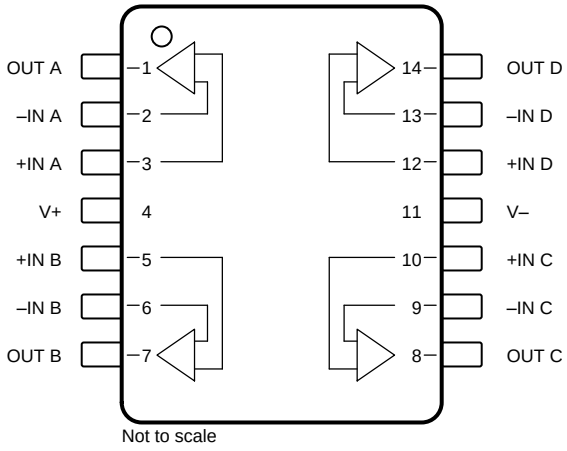
Not to scale

引脚功能：TLV6002

引脚			I/O	说明
名称	D (SOIC)	DGK (VSSOP)		
–IN A	2	2	I	反相输入，通道 A
–IN B	6	6	I	反相输入，通道 B
+IN A	3	3	I	同相输入，通道 A
+IN B	5	5	I	同相输入，通道 B
OUT A	1	1	O	输出，通道 A
OUT B	7	7	O	输出，通道 B
V–	4	4	—	负电源（最低）
V+	8	8	—	正电源（最高）

Copyright © 2016–2017, Texas Instruments Incorporated

TLV6004：PW 封装
14 引脚 TSSOP
俯视图



Not to scale

引脚功能：TLV6004

引脚		I/O	说明
名称	编号		
–IN A	2	I	反相输入，通道 A
–IN B	6	I	反相输入，通道 B
–IN C	9	I	反相输入，通道 C
–IN D	13	I	反相输入，通道 D
+IN A	3	I	同相输入，通道 A
+IN B	5	I	同相输入，通道 B
+IN C	10	I	同相输入，通道 C
+IN D	12	I	同相输入，通道 D
OUT A	1	O	输出，通道 A
OUT B	7	O	输出，通道 B
OUT C	8	O	输出，通道 C
OUT D	14	O	输出，通道 D
V–	11	—	负电源（最低）
V+	4	—	正电源（最高）

Copyright © 2016–2017, Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

在自然通风温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电压	电源电压		7	V
	信号输入引脚，电压(2)	(V–) – 0.5	(V+) + 0.5	V
电流	信号输入引脚，电流(2)	-10	10	mA
	输出短路(3)	连续		mA
温度	工作温度，T_A	–40	150	°C
	结温，T_J		150	°C
	贮存温度，T_{stg}	-65	150	°C

(1) 超出*绝对最大额定值*下列出的应力值可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下的器件的功能性操作以及在超出*推荐的操作条件*下的任何其它操作，在此并未说明。在绝对最大额定值条件下长时间运行会影响器件可靠性。
(2) 输入引脚被二极管钳制至电源轨。摆幅超过电源轨 0.5V 的输入信号的电流必须限制在 10mA 或者更少。
(3) 对地短路，每个封装对应一个放大器。

7.2 ESD 额定值

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±4000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	

(1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 规定：250V CDM 能够在标准 ESD 控制流程下安全生产。

7.3 建议的工作条件

在自然通风条件下的工作温度范围内（除非另有说明）

		最小值	最大值	单位
V_S	电源电压	1.8	5.5	V
T_A	额定温度范围	-40	125	°C

Copyright © 2016–2017, Texas Instruments Incorporated

7.4 热性能信息：TLV6001

热指标(1)		TLV6001		单位
		DBV (SOT-23)	DCK (SC70)	
		5 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	228.5	281.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	99.1	91.6	°C/W
$R_{\theta JB}$	结至电路板热阻	54.6	59.6	°C/W
ψ_{JT}	结至顶部的特征参数	7.7	1.5	°C/W
ψ_{JB}	结至电路板的特征参数	53.8	58.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅应用报告*《半导体和 IC 封装热指标》*。

7.5 热性能信息：TLV6002

热指标(1)		TLV6002		单位
		D (SOIC)	DGK (VSSOP)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	138.4	191.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	89.5	61.9	°C/W
$R_{\theta JB}$	结至电路板热阻	78.6	111.9	°C/W
ψ_{JT}	结至顶部的特征参数	29.9	5.1	°C/W
ψ_{JB}	结至电路板的特征参数	78.1	110.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅应用报告*《半导体和 IC 封装热指标》*。

7.6 热性能信息：TLV6004

热指标(1)		TLV6004	单位
		PW (TSSOP)	
		14 引脚	
$R_{\theta JA}$	结至环境热阻	121.0	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	49.4	°C/W
$R_{\theta JB}$	结至电路板热阻	62.8	°C/W
ψ_{JT}	结至顶部的特征参数	5.9	°C/W
ψ_{JB}	结至电路板的特征参数	62.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅应用报告*《半导体和 IC 封装热指标》*。

Copyright © 2016–2017, Texas Instruments Incorporated

7.7 电气特性：V_S= 1.8V 至 5V（±0.9V 至 ±2.75V）(1)

T_A = 25°C 时，R_L = 10kΩ 连接至 V_S / 2，并且 V_{CM} = V_{OUT} = V_S / 2，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入失调电压			0.75	4.5	mV
dV_{OS}/dT	V_{OS} 温漂	T_A = –40°C 至 125°C		2		μV/°C
PSRR	电源抑制比			86		dB
输入偏置电流						
I_B	输入偏置电流	T_A = 25°C		±1.0		pA
I_{OS}	输入偏移电流			±1.0		pA
输入阻抗						
Z_{ID}	差分			100 || 1		MΩ || pF
Z_{IC}	共模			1 || 5		10^{13}Ω || pF
输入电压范围						
V_{CM}	共模电压范围	无相位反向，轨到轨输入	(V-)-0.2		(V+)+0.2	V
CMRR	共模抑制比	V_{CM} = –0.2V 至 5.7V	60	76		dB
开环增益						
A_{OL}	开环电压增益	0.3V < V_O < (V+) – 0.3V，R_L = 2kΩ	90	110		
	相位裕量	V_S=5.0V，G=+1		65		度
输出						
V_O	自电源轨的电压输出摆幅	R_L = 100kΩ		5		mV
		R_L = 2kΩ		75	100	mV
I_{SC}	短路电流			±15		mA
R_O	开环输出阻抗			2300		Ω
频率响应						
GBW	增益带宽积			1		MHz
SR	压摆率			0.5		V/μs
t_S	稳定时间	到 0.1%，V_S=5.0V，2V 阶跃，G=+1 时的稳定时间		5		μs
噪声						
	输入电压噪声（峰峰值）	f=0.1Hz 至 10Hz		6		μV_{PP}
e_n	输入电压噪声密度	f = 1kHz		28		nV/√Hz
i_n	输入电流噪声密度	f=1kHz		5		fA/√Hz
电源						
V_S	额定电压范围		1.8 (±0.9)		5.5 (±2.75)	V
I_Q	每个放大器的静态电流	I_O = 0mA，V_S = 5.0V		75	100	μA
	开通时间	V_S=0V 至 5V，达到 90% I_Q水平		10		μs

(1) 除非另外注明，否则具有规格上限或下限的参数都在 25ºC 下经过 100% 生产检测。过热限值基于特性和统计分析。

Copyright © 2016–2017, Texas Instruments Incorporated

7.8 典型特性：图形列表

Table 1. 图形列表

标题	图表
开环增益和相位与频率间的关系	Figure 1
静态电流与电源电压间的关系	Figure 2
失调电压产生分布	Figure 3
失调电压与共模电压间的关系（最大电源电压）	Figure 4
CMRR 和 PSRR 与频率间的关系 (RTI)	Figure 5
0.1Hz 至 10Hz 输入电压噪声 (5.5V)	Figure 6
输入电压噪声频谱密度与频率间的关系 (1.8V，5.5V)	Figure 7
输入偏置和偏移电流与温度间的关系	Figure 8
开环输出阻抗与频率间的关系	Figure 9
最大输出电压与频率和电源电压间的关系	Figure 10
输出电压摆幅与输出电流间的关系（过热）	Figure 11
G=1，-1，10 时闭环增益与频率间的关系 (1.8V)	Figure 12
小信号阶跃响应，同相 (1.8V)	Figure 13
小信号阶跃响应，同相 (5.5V)	Figure 14
大信号阶跃响应，同相 (1.8V)	Figure 15
大信号阶跃响应，同相 (5.5V)	Figure 16
无相位反转	Figure 17
EMIRR IN+ 与频率间的关系	Figure 18

Copyright © 2016–2017, Texas Instruments Incorporated

7.9 典型特性

T_A = 25°C 时，V_S = 5V，R_L = 10kΩ 连接至 V_S / 2，并且 V_{CM} = V_{OUT} = V_S / 2，除非另有说明。

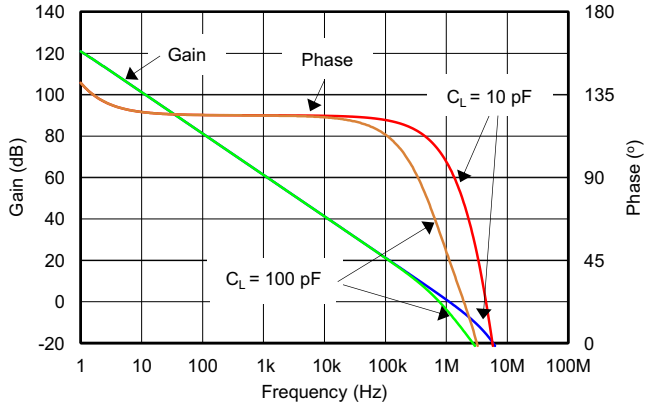


Figure 1. 开环增益和相位与频率间的关系

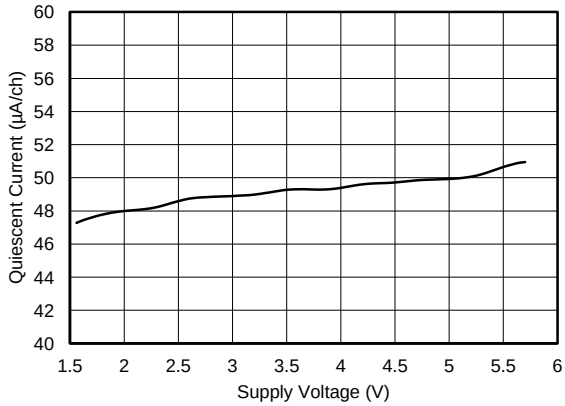


Figure 2. 静态电流与电源电压间的关系

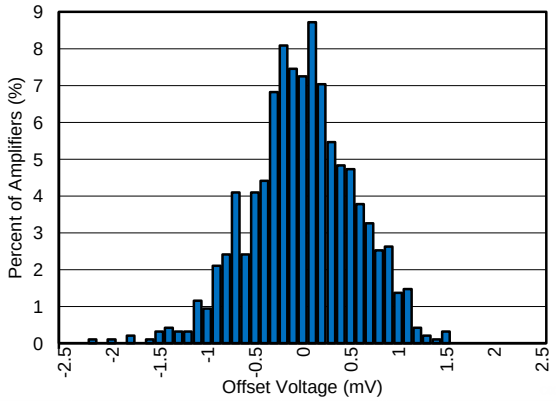


Figure 3. 失调电压产生分布

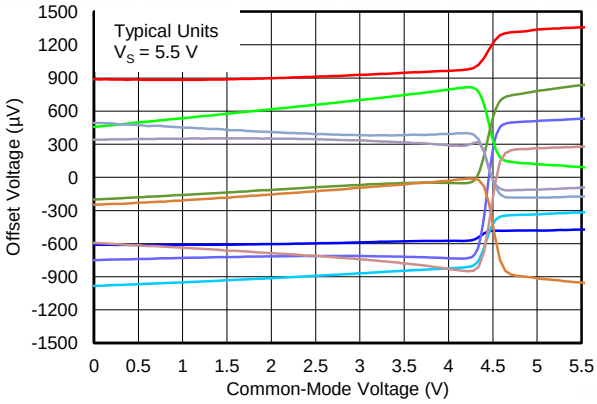


Figure 4. 失调电压与共模电压间的关系

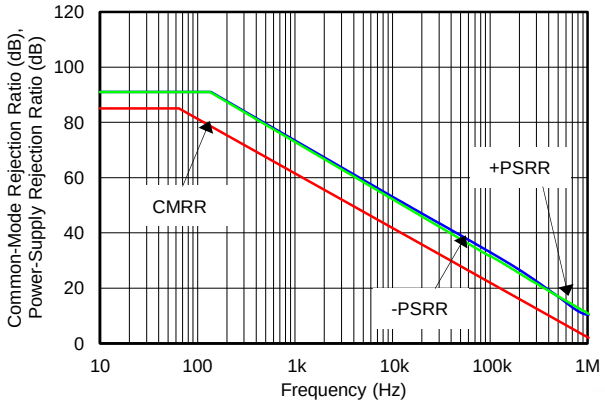


Figure 5. CMRR 和 PSRR 与频率间的关系（以输入为参考）

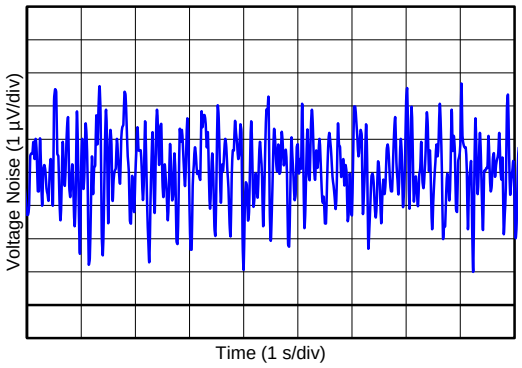


Figure 6. 0.1Hz 至 10Hz 输入电压噪声

典型特性 (continued)

T_A = 25°C 时，V_S = 5V，R_L = 10kΩ 连接至 V_S / 2，并且 V_{CM} = V_{OUT} = V_S / 2，除非另有说明。

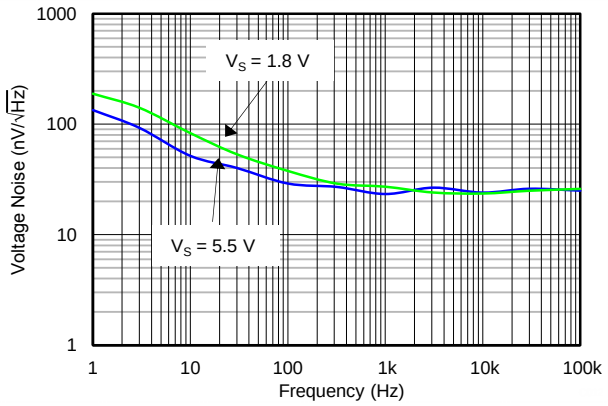


Figure 7. 输入电压噪声频谱密度与频率间的关系

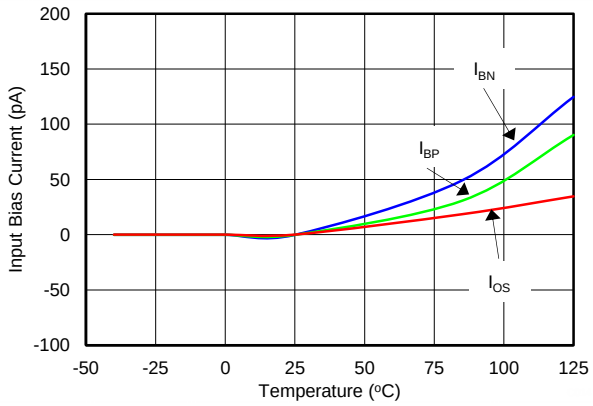


Figure 8. 输入偏置和偏移电流与温度间的关系

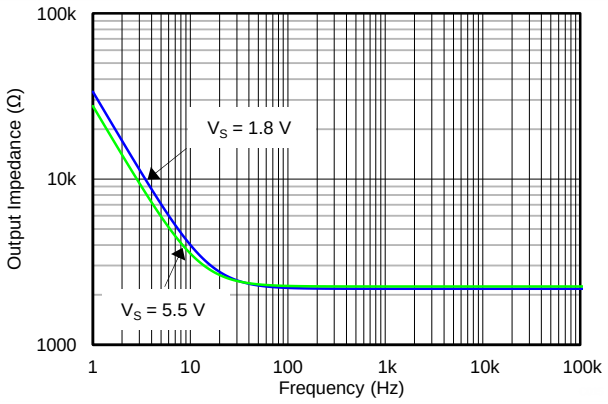


Figure 9. 开环输出阻抗与频率间的关系

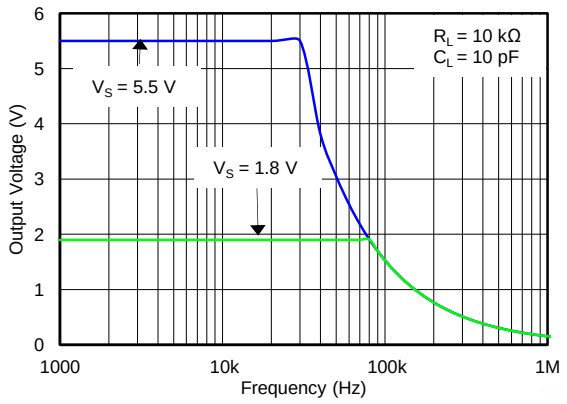


Figure 10. 最大输出电压与频率和电源电压间的关系

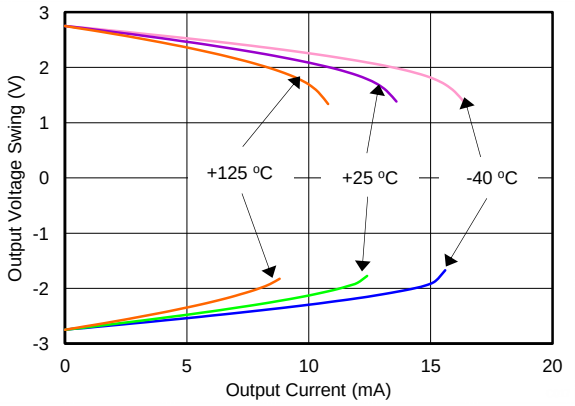


Figure 11. 输出电压摆幅与输出电流间的关系（不同温度下）

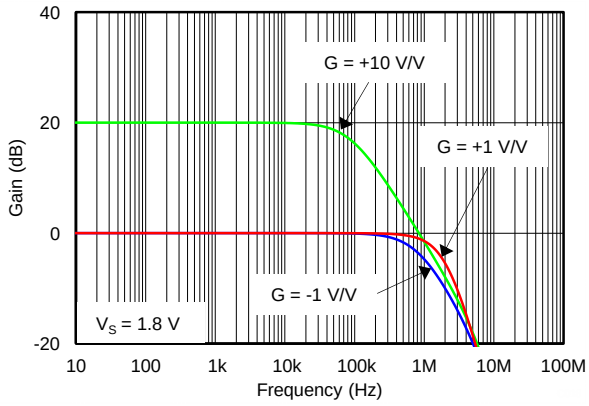


Figure 12. 闭环增益与频率间的关系（最小供电电压）

Copyright © 2016–2017, Texas Instruments Incorporated

典型特性 (continued)

T_A = 25°C 时，V_S = 5V，R_L = 10kΩ 连接至 V_S / 2，并且 V_{CM} = V_{OUT} = V_S / 2，除非另有说明。

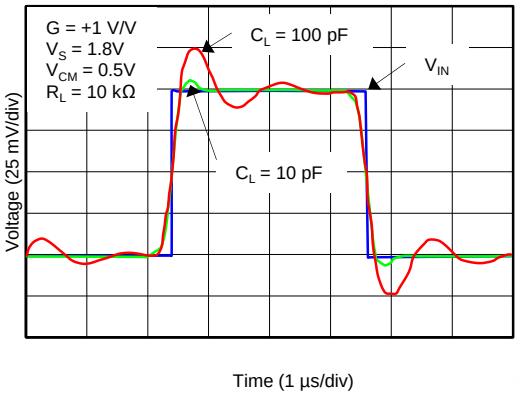


Figure 13. 小信号脉冲响应（最小供电电压）

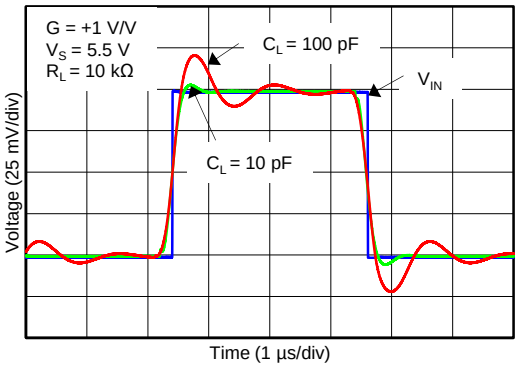


Figure 14. 小信号脉冲响应（最大供电电压）

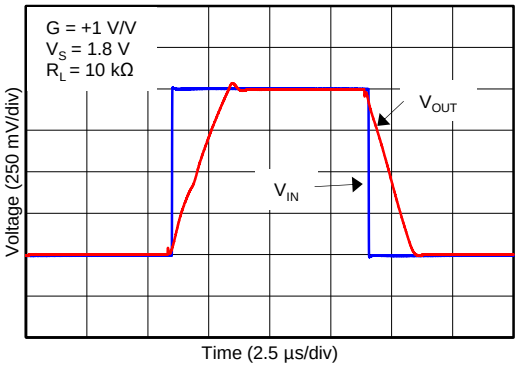


Figure 15. 大信号脉冲响应（最小供电电压）

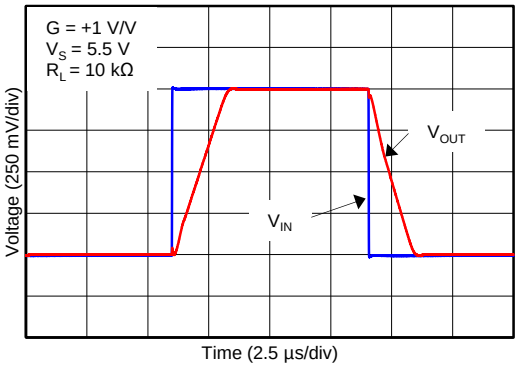


Figure 16. 大信号脉冲响应（最大供电电压）

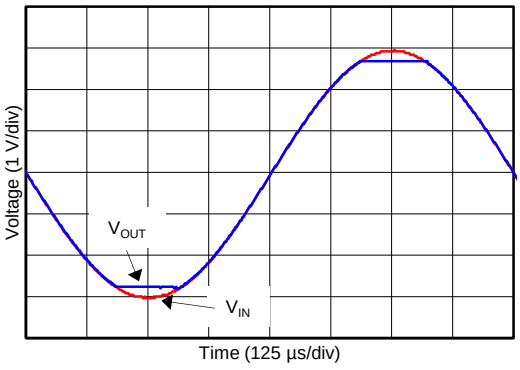


Figure 17. 无相位反转

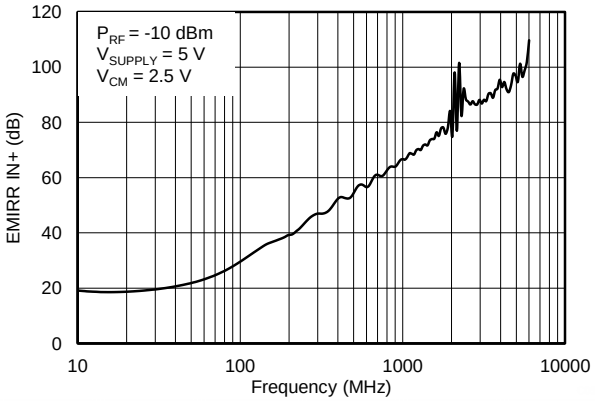


Figure 18. EMIRR IN+ 与频率间的关系

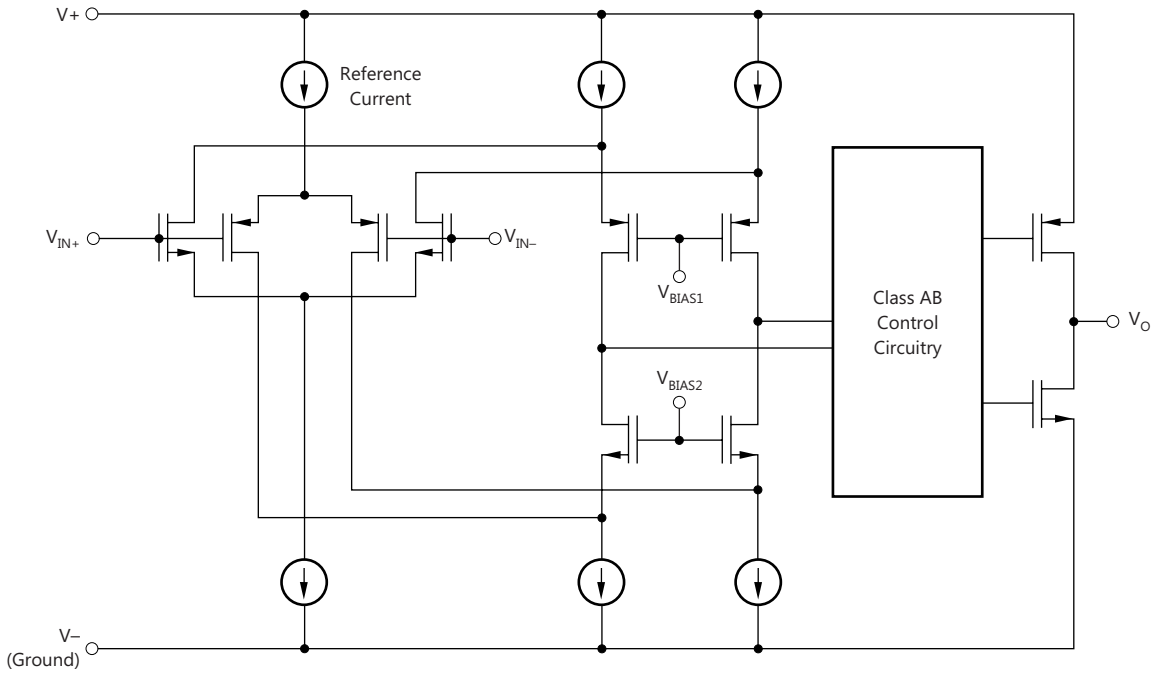
Copyright © 2016–2017, Texas Instruments Incorporated

8 详细 说明

8.1 概述

TLV600x 系列运算放大器是通用型低成本器件，适用于各种便携式应用。 它具有轨至轨输入和输出摆幅、低静态电流和宽动态范围的特点，非常适用于驱动采样模数转换器 (ADC) 和其他单通道电源应用。

8.2 功能框图



Copyright © 2017, Texas Instruments Incorporated

Copyright © 2016–2017, Texas Instruments Incorporated

8.3 特性 说明

8.3.1 工作电压

TLV600x 系列的额定工作电压范围为 1.8V 至 5.5V（±0.9V 至 ±2.75V），并在此范围内经过测试。*典型特性* 部分中显示了随电源电压变化的参数。

8.3.2 轨至轨输入

TLV600x 系列的输入共模电压范围在电源轨基础上向外扩展了 200mV。此性能由一个互补输入级实现：一个 N 通道输入差分对和一个与之并联的 P 通道差分对，如*功能框图*所示。当输入电压靠近正轨（通常为 (V+) – 1.3V 到高于正电源电压 200mV）时，N 通道对有效；而当输入为低于负电源电压 200mV 到大约 (V+) – 1.3V 范围时，P 通道对打开。在一个通常介于 (V+) – 1.4V 到 (V+) – 1.2V 的小转换区域内，两个对都打开。此 200mV 转换区域可能会随工艺不同而变化高达 300mV。因此，此转换区域（两个级都打开）在低端上的范围介于 (V+) – 1.7V 至 (V+) – 1.5V 之间，在高端上的范围高达 (V+) – 1.1V 至 (V+) – 0.9V 之间。在此转换区域内，与器件在该区域外运行相比，PSRR、CMRR、失调电压和 THD 可能会减小。

8.3.3 轨至轨输出

TLV600x 器件设计为一种微功耗、低噪声运算放大器，可提供强大的输出驱动能力。它采用一个具有共源晶体管的 AB 类输出级来实现完全的轨至轨输出摆幅功能。对于高达 100kΩ 的电阻负载，无论施加的电源电压是多少，输出摆幅通常在两个电源轨的 5mV 以内。不同的负载情况会改变放大器向靠近电源轨附近摆动的能力，如Figure 11 所示。

8.3.4 共模抑制比 (CMRR)

可通过几种方式来指定 TLV600x 的 CMRR，以便为给定应用提供最佳匹配；请参阅 *电气特性*。首先，给出了低于转换区域 [V_{CM}<(V+)-1.3V] 的共模范围内器件的 CMRR。当应用需要使用其中一个差分输入对时，此规格最能说明器件的能力。其次，指定了在（V_{CM} = –0.2V 至 5.7V）时整个共模范围内的 CMRR。最后的这个值包含转换区域内的变化，如 Figure 4所示。

8.3.5 容性负载和稳定性

TLV600x 旨在用于 需要驱动 容性负载的应用。和所有其他运算放大器一样，在某些特定情况下，TLV600x 可能会变得不稳定。当确定放大器在运行中能否保持稳定时，需要考虑特定运算放大器电路配置、布局布线、增益和输出负载等因素。在单位增益 (1V/V) 缓冲器配置下驱动容性负载的运算放大器比在更高噪声增益下工作的放大器表现出更明显的不稳定倾向。与运算放大器输出电阻结合在一起的容性负载在反馈环路内生成一个使相位裕量减小的极点。相位裕量的减小随着负载电容的增加而增加。在单位增益配置下工作时，TLV600x 在纯容性负载达到大约 1nF 时仍然保持稳定。某些电容器（C_L 大于 1µF）的等效串联电阻 (ESR) 足以改变反馈环路内的相位特性，从而使放大器保持稳定。增加放大器闭环增益使得放大器能够驱动更大的电容。当在更高电压增益上观察放大器的过冲响应时，这个增加的驱动能力会十分明显。

Copyright © 2016–2017, Texas Instruments Incorporated

特性 说明 (continued)

当放大器在单位增益配置下工作时，要增大其容性负载驱动能力，一种方法是插入一个与输出串联的小电阻器，通常为!~ ~~!~~10Ω 至 20Ω，!~ ~~!~~如Figure 19所示。这个电阻器将大大减少与大容性负载相关的过冲和振铃。但这个方法可能会带来一个问题，即增加的串联电阻和任一与容性负载并联的电阻会生成一个分压器。此分压器在输出上引入一个减少输出摆幅的增益误差。

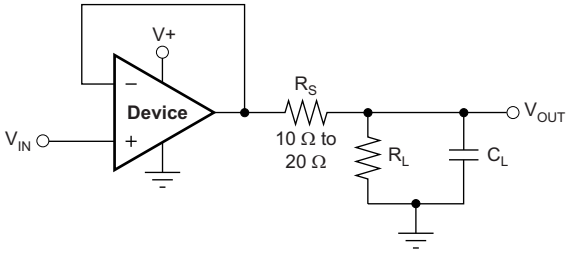


Figure 19. 改进容性负载驱动

8.3.6 EMI 敏感性和输入滤波

各种运算放大器对于电磁干扰 (EMI) 的敏感性会有所不同。如果传导 EMI 进入运算放大器，放大器输出中观察到的直流偏移值在有 EMI 时可能偏离标称值。这个偏离是由于内部半导体结相关的信号校正引起的。虽然所有的运算放大器引脚功能都可能受到 EMI 的影响，但是信号输入引脚可能是最易受影响的。TLV600x 系列内部包含了输入低通滤波器，可降低放大器对 EMI 的影响。此滤波器提供共模和差模滤波。此滤波器设计用于约 35MHz (–3dB)、 !~ ~~roll-off~~!~滚降为20 dB 每 10 倍频程的截止频率。

德州仪器 (TI) 已经开发出在 10MHz 至 6GHz 宽频谱范围内准确测量和量化运算放大器抗扰度的功能。EMI 抑制比 (EMIRR) 度量可实现运算放大器与 EMI 抗扰度的直接比较。Figure 18显示了对 TLV600x 系列执行此测试的结果。详细信息参见*运算放大器的 EMI 抑制比* (SBOA128)，下载地址为 www.ti.com。

8.4 器件功能模式

TLV600x 具有单功能模式。只要电源电压在 1.8V (±0.9V) 与 5.5V (±2.75V) 之间，这些器件就会启动。

8.5 输入和 ESD 保护

TLV600x 在所有引脚上均内部包含了静电放电 (ESD) 保护电路。就输入和输出引脚而言，这种保护主要包括输入和电源引脚之间连接的导流二极管。只要电流如*绝对最大额定值*表中所述不超过 10mA，ESD 保护二极管还能提供电路内输入过驱保护。Figure 20显示了如何通过将串联输入电阻器添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声；在对噪声敏感的应用中，该值必须保持在最低 值。

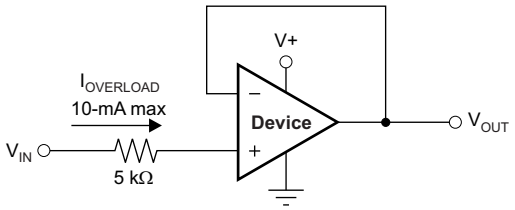


Figure 20. 输入电流保护

Copyright © 2016–2017, Texas Instruments Incorporated

9 应用和实现

NOTE

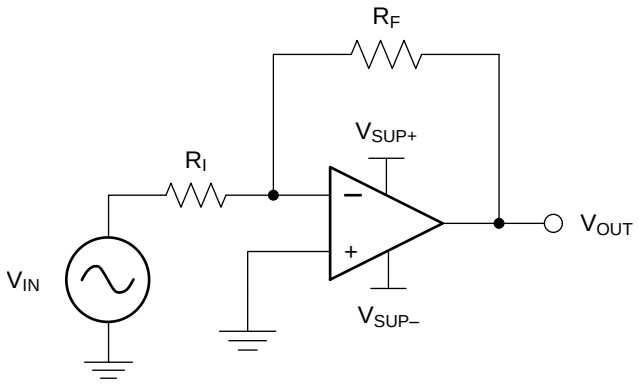
以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

9.1 应用信息

TLV600x 是专为便携式应用而设计的一系列低功耗、轨至轨输入和输出运算放大器。 这些器件的工作电压介于 1.8V 至 5.5V，单位增益稳定，并且适用于广泛的通用型 应用。AB 类输出级能够驱动连接至 V+ 和接地间任一点的小于或等于 10kΩ 的负载。输入共模电压范围包括两个电源轨，并允许在任何单通道电源应用中使用 TLV600x。

9.2 典型应用

运算放大器的典型应用是反相放大器（如 Figure 21 中所示）。反相放大器在输入端采用正电压，然后输出与输入端反相的信号，生成相同幅度的负电压。此类放大器以相同的方式使负输入电压在输出端变为正电压。此外，通过选择输入电阻器 R_I 和反馈电阻器 R_F，可以增加放大效果。



Copyright © 2016, Texas Instruments Incorporated

Figure 21. 应用电路原理图

9.2.1 设计要求

选择的电源电压必须大于输入电压范围和期望输出范围。必须考虑输入共模范围限制 (V_{CM}) 和相对于电源轨的输出电压摆幅 (V_O)。例如，此应用将 ±0.5V (1V) 的信号扩展到 ±1.8V (3.6V)。将电源设置在 ±2.5V 就足以适应此应用。

9.2.2 详细设计流程

使用 Equation 1 和 Equation 2 来确定反相放大器需要的增益：

$$A_V = \frac{V_{OUT}}{V_{IN}} \quad (1)$$

$$A_V = \frac{1.8}{-0.5} = -3.6 \quad (2)$$

典型应用 (continued)

确定所需增益后，请选择 R_I 或 R_F 的值。由于放大器电路使用毫安范围的电流，因此通用 应用 需要选择千欧姆范围的值。此毫安电流范围确保了该器件不会消耗过多电流。需要权衡的是，大电阻器（十万欧姆级别）消耗的电流最小，但产生的噪声最大。小电阻器（百欧姆级别）生成的噪声小，但消耗电流大。此示例使用的 R_I 为 10kΩ，这意味着对 R_F 使用的值为 36kΩ。这些值是通过 Equation 3 确定的：

$$A_V = -\frac{R_F}{R_I} \tag{3}$$

9.2.3 应用曲线

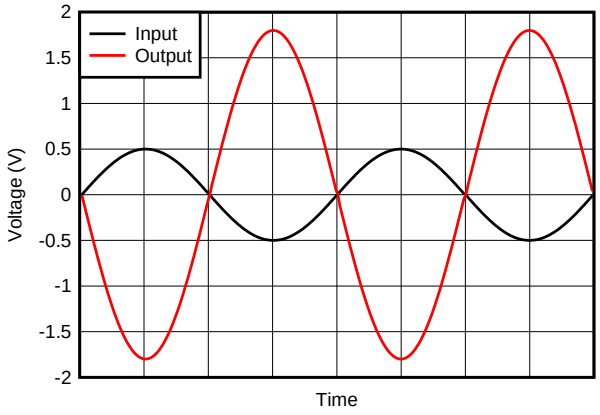


Figure 22. 反相放大器输入和输出

9.3 系统示例

当接收到低电平信号时，经常需要限制即将进入系统的信号的带宽。建立这个受限带宽的最简单的方法是在放大器的同相端子上放置一个 RC 滤波器，如 Figure 23 中所示。

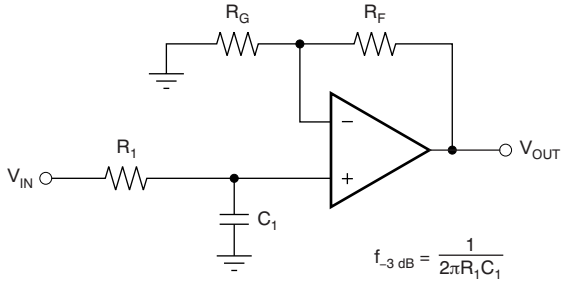


Figure 23. 单极点低通滤波器

Copyright © 2016–2017, Texas Instruments Incorporated

系统示例 (continued)

如果需要更多的衰减，需要多个极点滤波器。对于此任务，可使用 Sallen-Key 滤波器，如Figure 24 中所示。为了获得最佳结果，放大器的带宽必须是滤波器频率带宽的 8 到 10 倍。不遵守这一准则可能导致放大器出现相移。

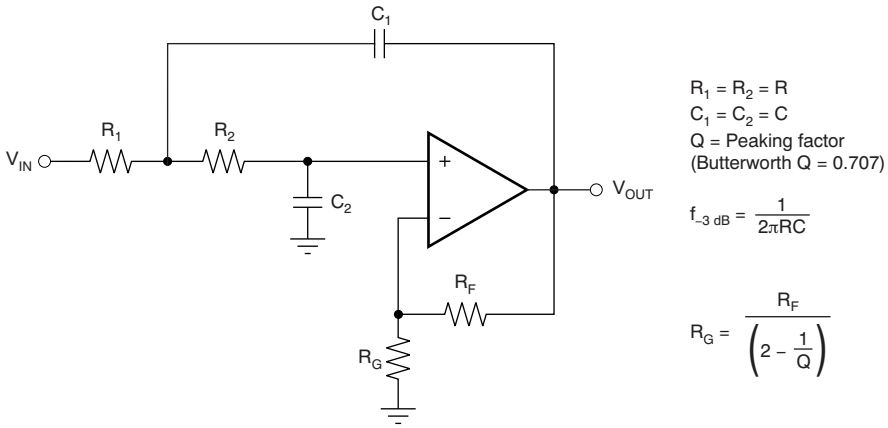


Figure 24. 两极低通 Sallen-Key 滤波器

10 电源相关建议

TLV600x 的额定工作电压范围是 1.8V 至 5.5V（±0.9V 至 ±2.75V）；许多规格在 –40°C 至 +125°C 的温度下适用。*典型特性* 中提供的参数可能会随工作电压或温度的不同而出现显著变化。

CAUTION

电源电压超过 7V 可能会对器件造成永久损坏。（参阅*绝对最大额定值*表）。

将 0.1µF 旁路电容放置于电源引脚附近，旁路电容可以提供低阻抗回路来降低电源的耦合噪声。有关旁路电容器放置的更多详细信息，请参阅*布局准则*。

Copyright © 2016–2017, Texas Instruments Incorporated

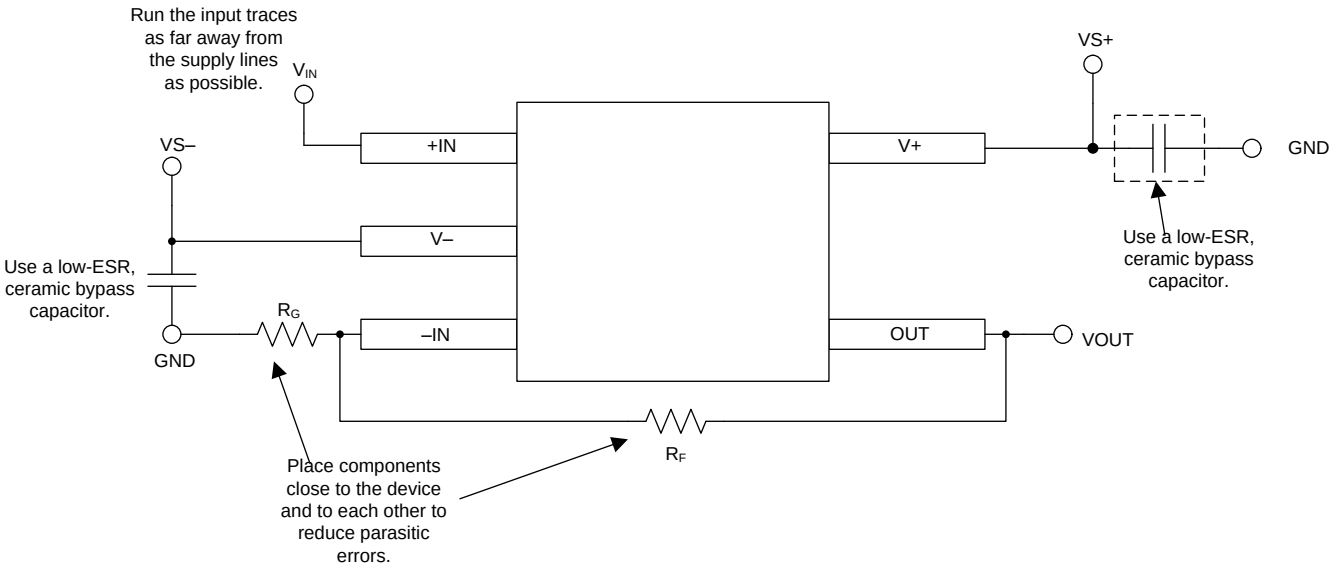
11 布局

11.1 布局准则

为使器件表现出最佳工作性能，需采用效果较好的印刷电路板 (PCB) 布局规范，包括：

- 噪声可通过电路电源引脚以及运算放大器传入模拟电路。通过使用旁路电容器提供模拟电路的本地低阻抗电源，可减少耦合噪声。
  - 在每个电源引脚和接地端之间连接低 ESR 0.1μF 陶瓷旁路电容器，放置位置尽量靠近器件。从 V+ 到接地端的单个旁路电容器适用于单通道电源 应用。
- 将电路的模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 中通常将一层或多层专门作为接地层。接地层有助于散热和降低电磁干扰 (EMI) 噪声。请小心地对数字接地和模拟接地进行物理隔离，同时应注意接地电流。有关更多详细信息，请参见 *电路板布局技巧* (SLOA089)。
- 为了减少寄生耦合，请让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分离状态，让敏感走线与有噪声的走线垂直相交要比平行相交好得多。
- 外部组件的位置应尽量靠近器件。请让 R_F 和 R_G 接近反相输入，以便最大限度减小寄生电容（如 Figure 25 中所示）。
- 尽可能缩短输入走线。切记，输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近不同电势下的走线所产生的泄漏电流。

11.2 布局示例



Copyright © 2016, Texas Instruments Incorporated

Figure 25. 同相配置的运算放大器电路板布局

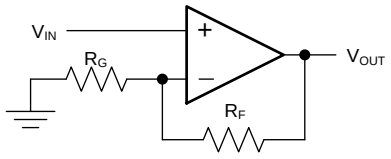


Figure 26. Figure 25 的原理图表示

版权 © 2016–2017, Texas Instruments Incorporated

12 器件和文档支持

12.1 文档支持

12.1.1 相关文档

相关文档如下：

- *《运算放大器的 EMI 抑制比》*（文献编号：SBOA128）
- *《电路板布局技巧》*(SLOA089)

12.2 相关链接

表 2 列出了快速访问链接。类别包括技术文档、支持与社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 **2.** 相关链接

器件	产品文件夹	立即订购	技术文档	工具和软件	支持和社区
TLV6001	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV6002	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV6004	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

12.3 接收文档更新通知

要接收文档更新通知，请导航至 TI.com 上的器件产品文件夹。请单击右上角的*通知我* 进行注册，即可收到任意产品信息更改每周摘要。有关更改的详细信息，请查看任意已修订文档中包含的修订历史记录。

12.4 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。*** **此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。**

设计支持 ***TI 参考设计支持*** **可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。**

12.5 商标

E2E is a trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

12.6 静电放电警告

ESD 可能会损坏该集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理措施和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。 精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.7 Glossary

SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

13 机械、封装和可订购信息

以下页面包括机械、封装和可订购信息。这些信息是指定器件的最新可用数据。这些数据发生变化时，我们可能不会另行通知或修订此文档。如欲获取此产品说明书的浏览器版本，请参见左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TLV6001IDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14W2	Samples
TLV6001IDBVT	ACTIVE	SOT-23	DBV	5	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14W2	Samples
TLV6001IDCKR	ACTIVE	SC70	DCK	5	3000	RoHS & Green	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	13X	Samples
TLV6001IDCKT	ACTIVE	SC70	DCK	5	250	RoHS & Green	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	13X	Samples
TLV6001RIDBVR	NRND	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	16O2	
TLV6001RIDBVT	NRND	SOT-23	DBV	5	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	16O2	
TLV6001UIDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	16P2	Samples
TLV6001UIDBVT	ACTIVE	SOT-23	DBV	5	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	16P2	Samples
TLV6002IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	14TV	Samples
TLV6002IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	14TV	Samples
TLV6002IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	(TL6002, V6002)	Samples
TLV6004IPWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	TLV6004	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV6001, TLV6002 :

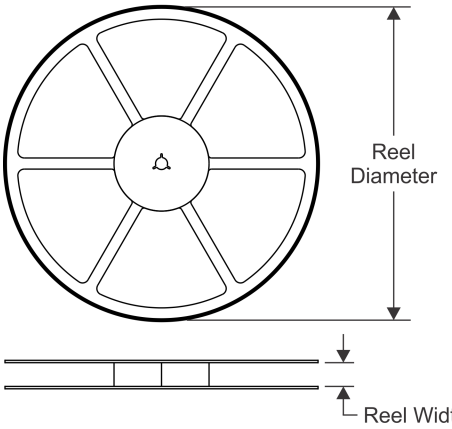
- Automotive : TLV6001-Q1, TLV6002-Q1

NOTE: Qualified Version Definitions:

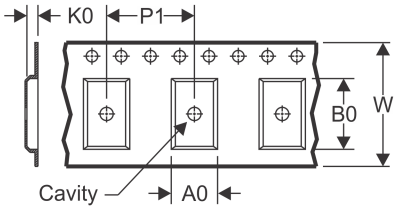
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

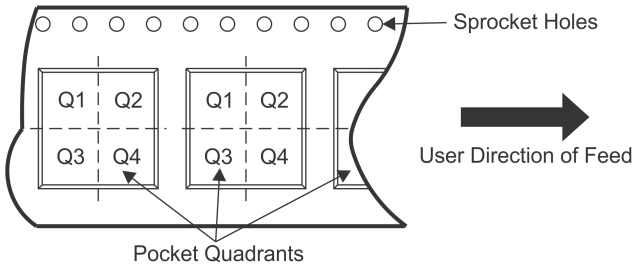


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

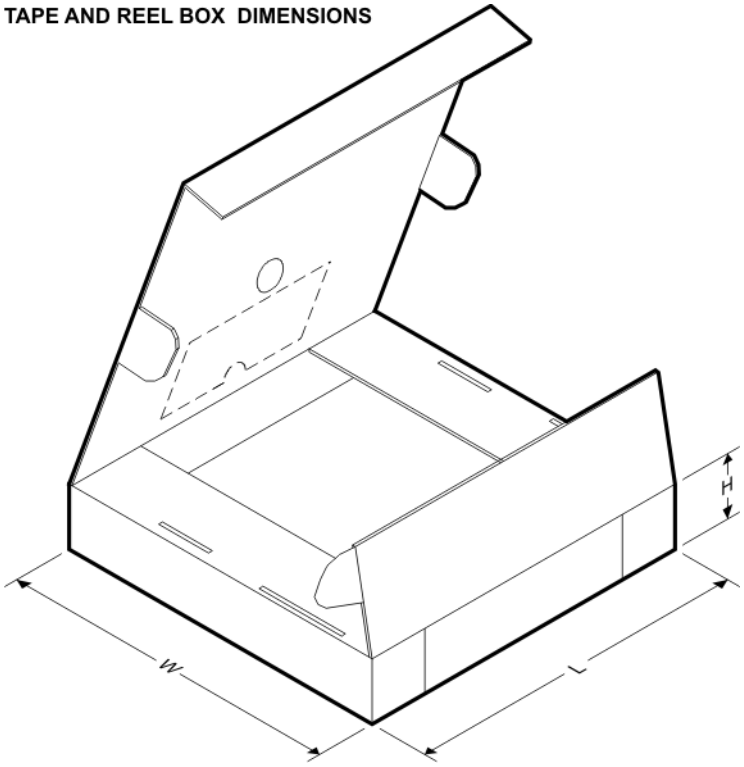
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV6001IDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TLV6001IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV6001IDBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TLV6001IDBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV6001IDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV6001IDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV6001IDCKT	SC70	DCK	5	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV6001IDCKT	SC70	DCK	5	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV6001RIDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TLV6001RIDBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TLV6001UIDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV6001UIDBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV6002IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV6002IDGKT	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV6002IDR	SOIC	D	8	2500	330.0	15.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV6002IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV6004IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV6004IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

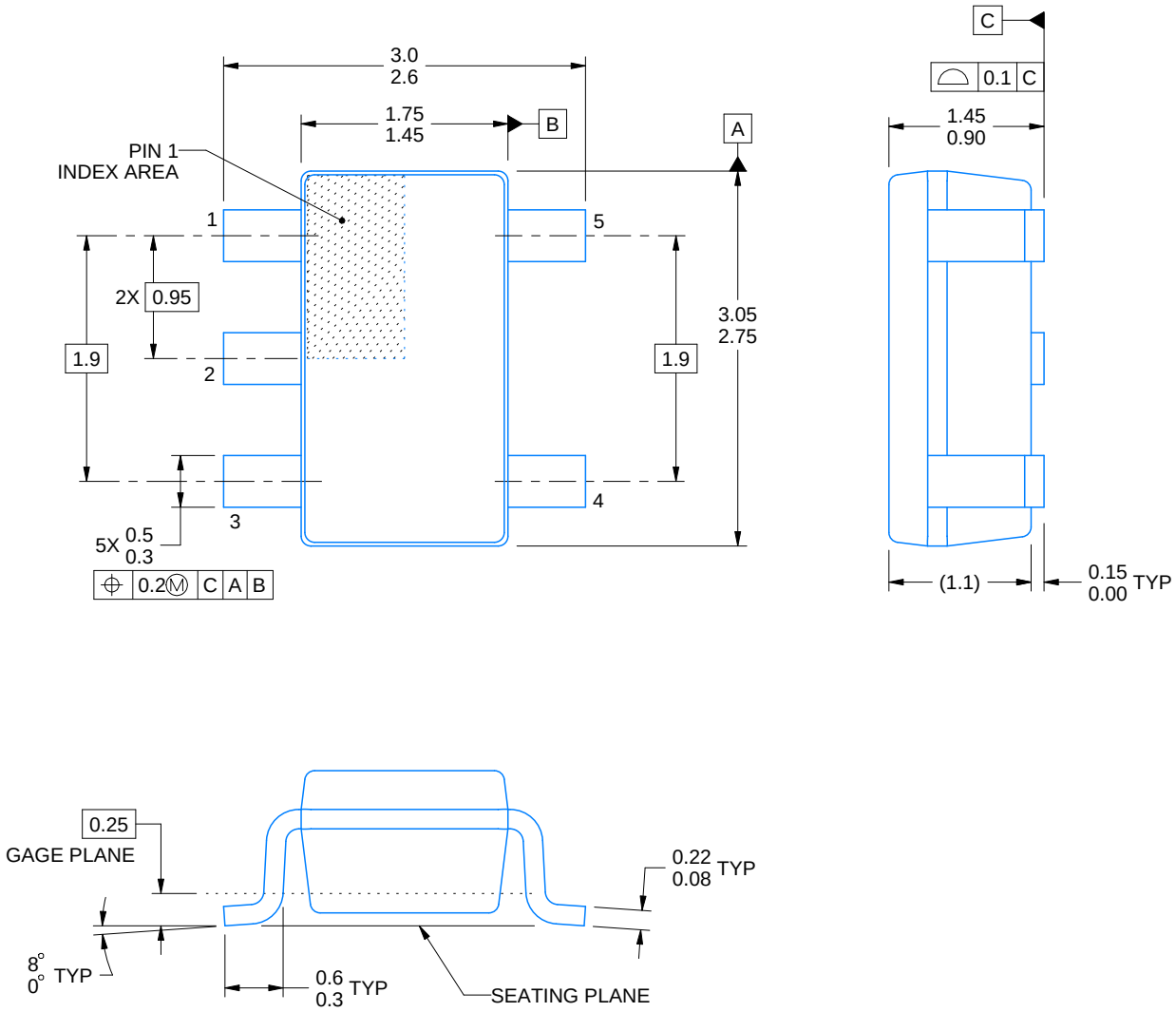
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV6001IDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TLV6001IDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV6001IDBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
TLV6001IDBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
TLV6001IDCKR	SC70	DCK	5	3000	180.0	180.0	18.0
TLV6001IDCKR	SC70	DCK	5	3000	190.0	190.0	30.0
TLV6001IDCKT	SC70	DCK	5	250	190.0	190.0	30.0
TLV6001IDCKT	SC70	DCK	5	250	180.0	180.0	18.0
TLV6001RIDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TLV6001RIDBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
TLV6001UIDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV6001UIDBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
TLV6002IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
TLV6002IDGKT	VSSOP	DGK	8	250	366.0	364.0	50.0
TLV6002IDR	SOIC	D	8	2500	336.6	336.6	41.3
TLV6002IDR	SOIC	D	8	2500	340.5	336.1	25.0
TLV6004IPWR	TSSOP	PW	14	2000	366.0	364.0	50.0
TLV6004IPWR	TSSOP	PW	14	2000	853.0	449.0	35.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

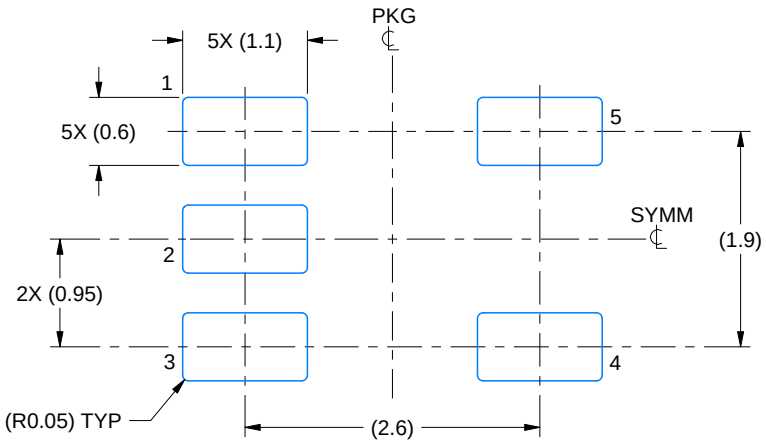
SMALL OUTLINE TRANSISTOR



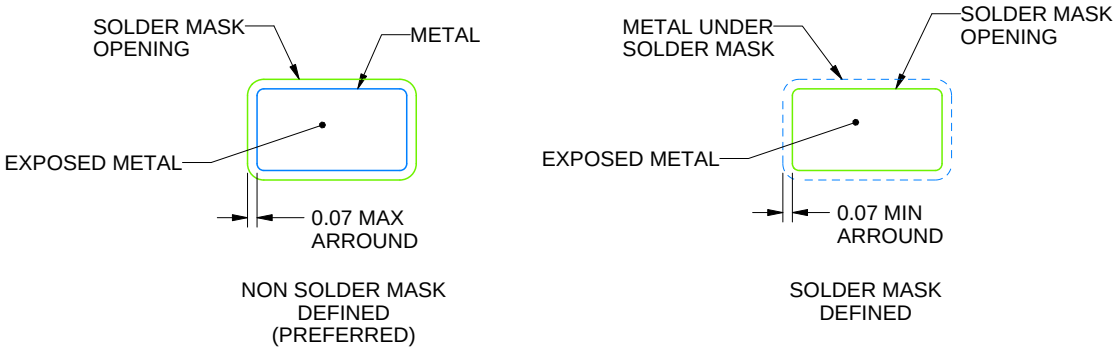
4214839/F 06/2021

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

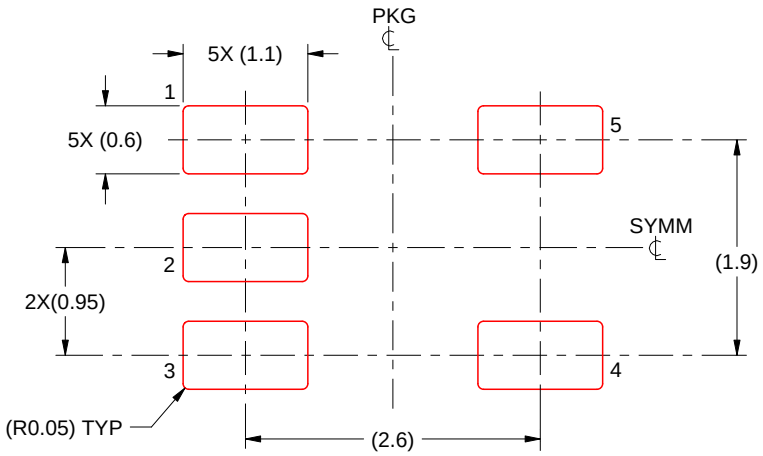


SOLDER MASK DETAILS

4214839/F 06/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



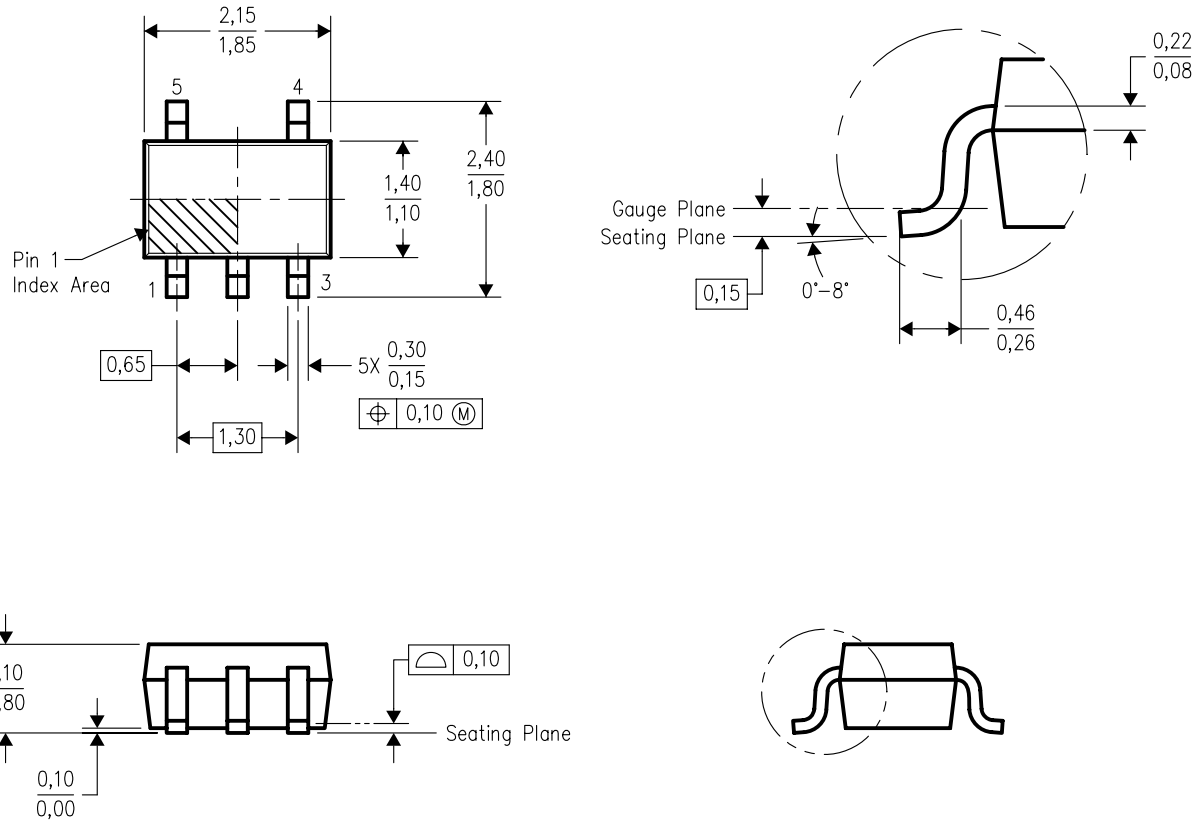
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/F 06/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

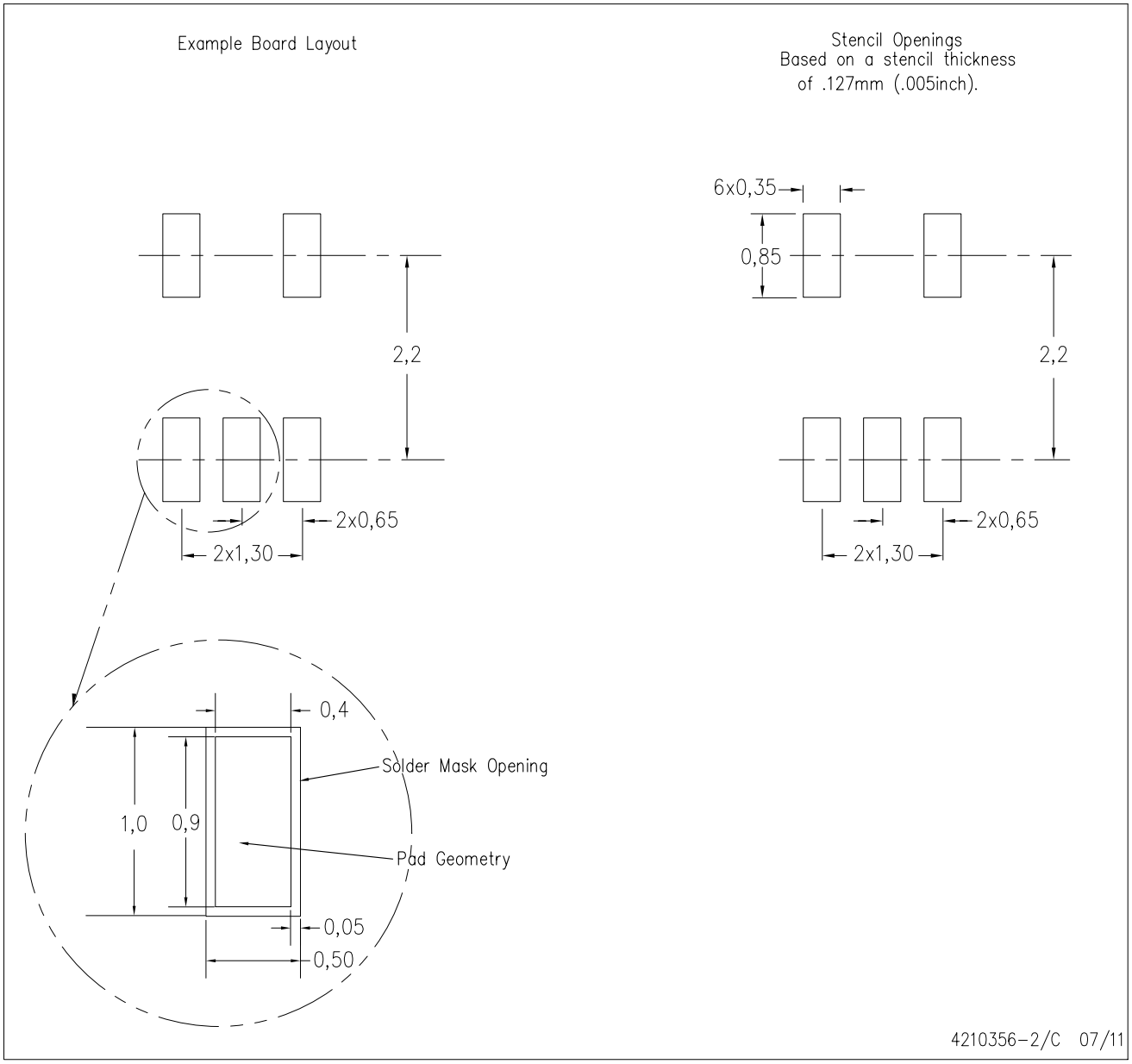
DCK (R–PDSO–G5) PLASTIC SMALL–OUTLINE PACKAGE



4093553–3/G 01/2007

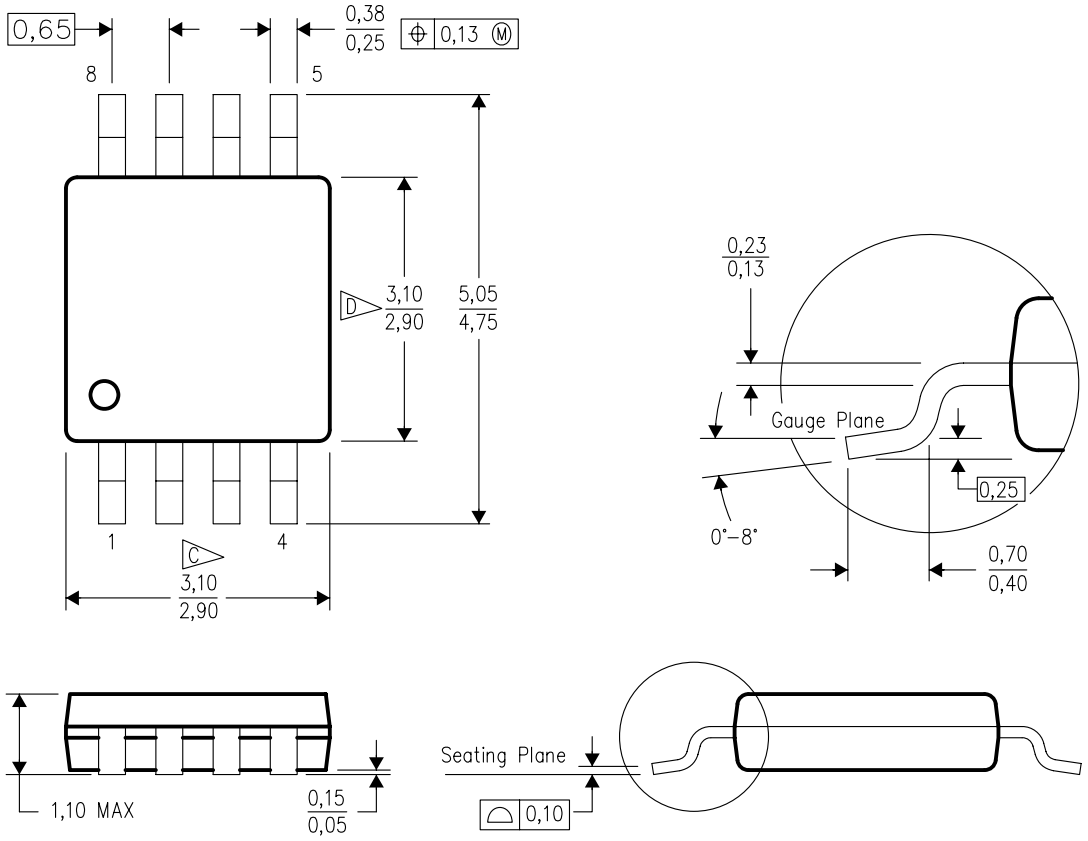
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
D. Falls within JEDEC MO–203 variation AA.

DCK (R–PDSO–G5) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Customers should place a note on the circuit board fabrication drawing not to alter the center solder mask defined pad.
D. Publication IPC–7351 is recommended for alternate designs.
E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC–7525 for other stencil recommendations.

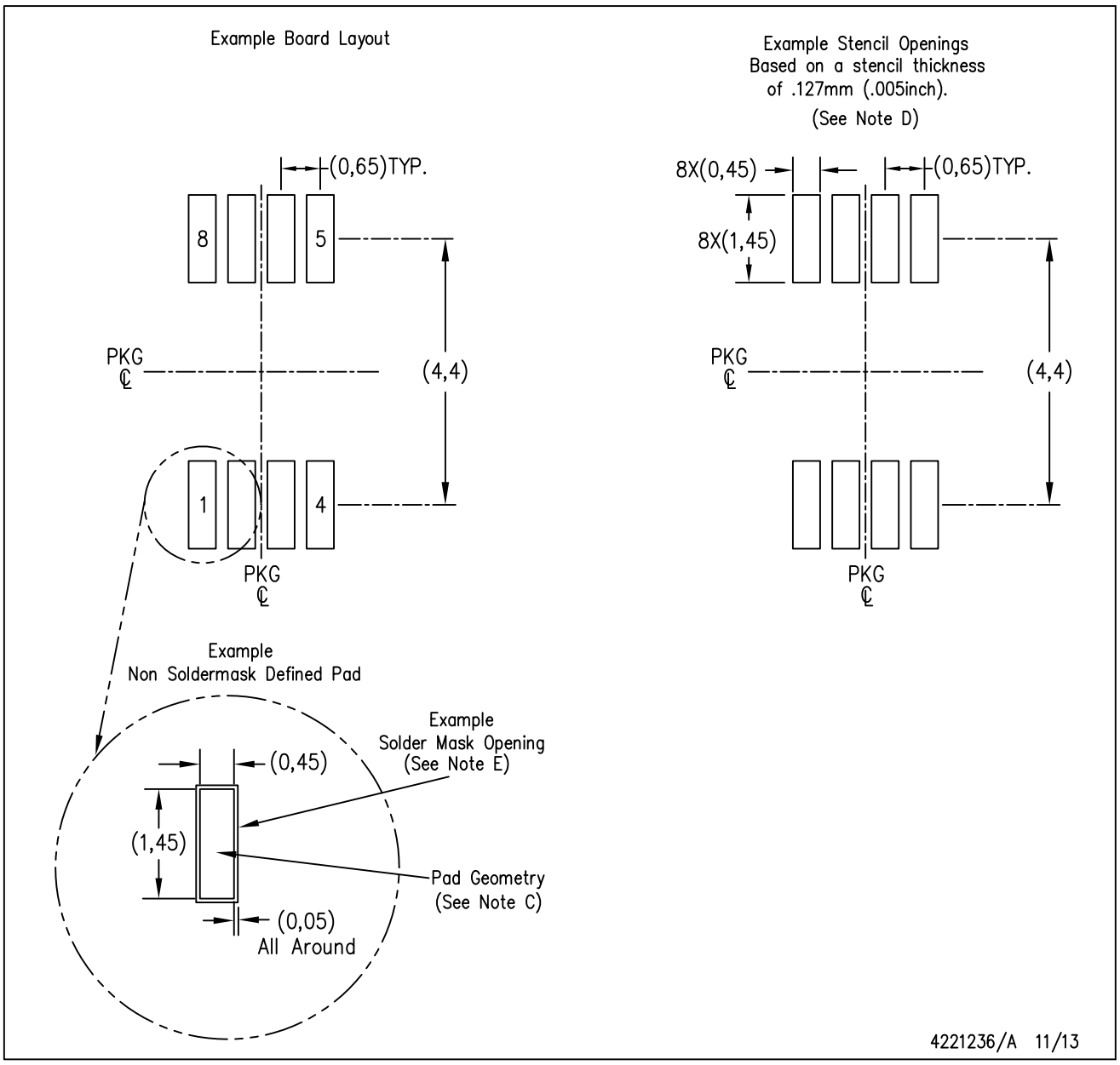
DGK (S–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE



4073329/E 05/06

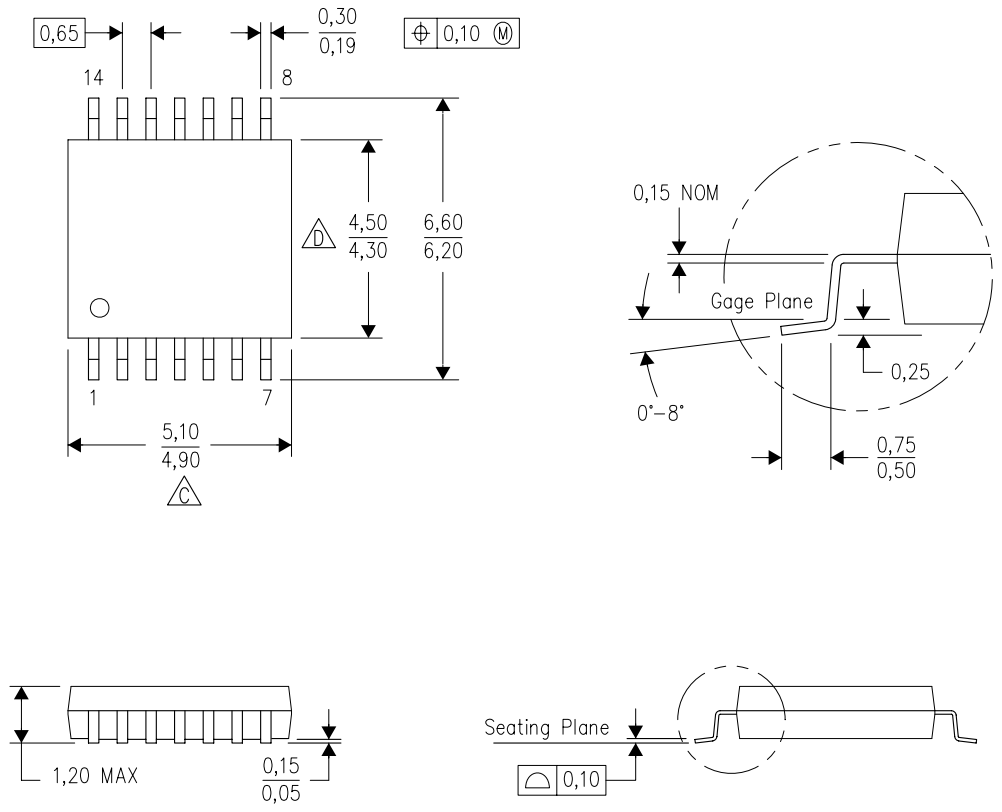
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
E. Falls within JEDEC MO–187 variation AA, except interlead flash.

DGK (S–PDSO–G8) PLASTIC SMALL OUTLINE PACKAGE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

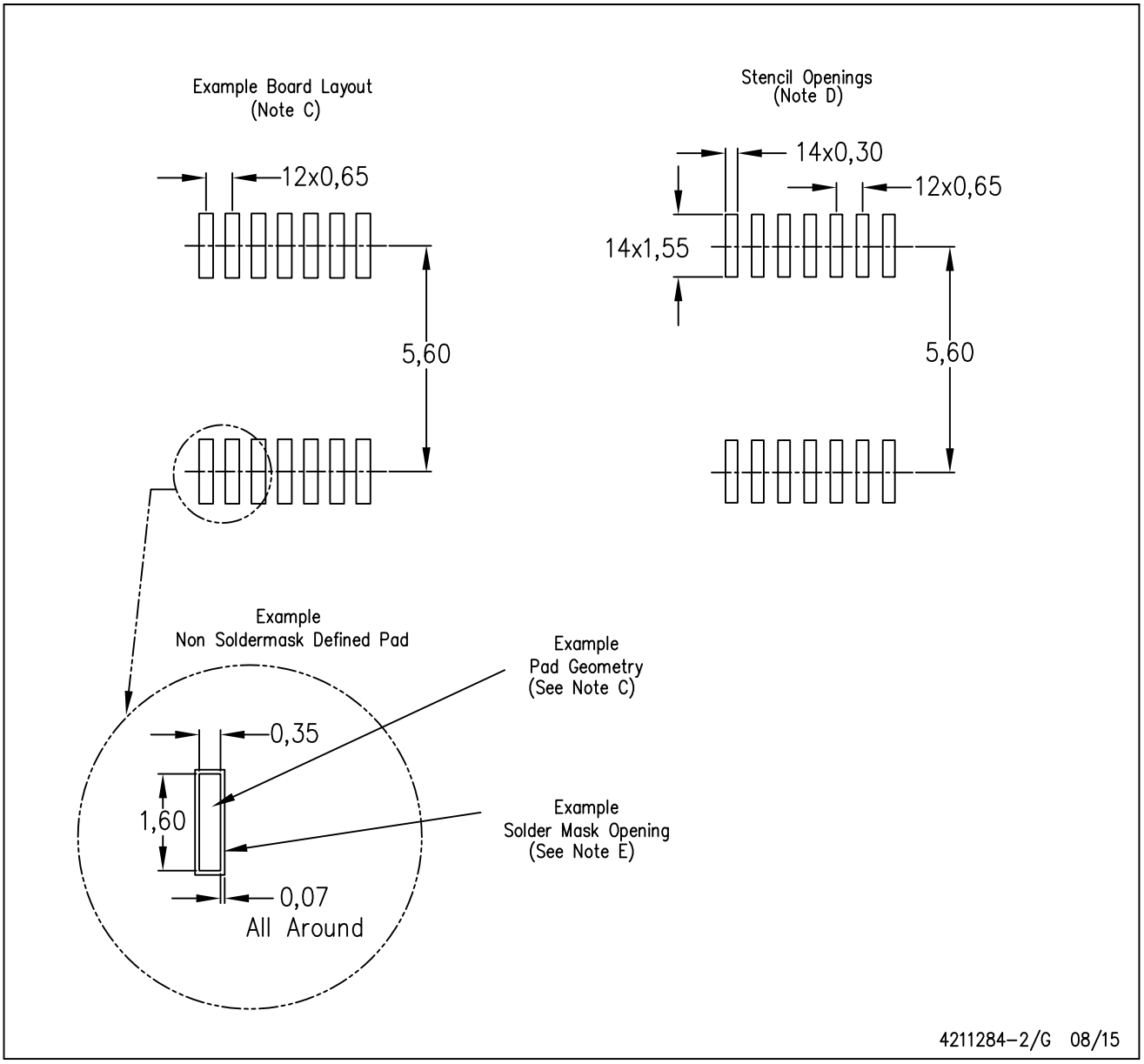
PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



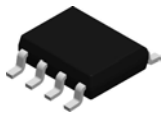
4040064–3/G 02/11

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
E. Falls within JEDEC MO–153

PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

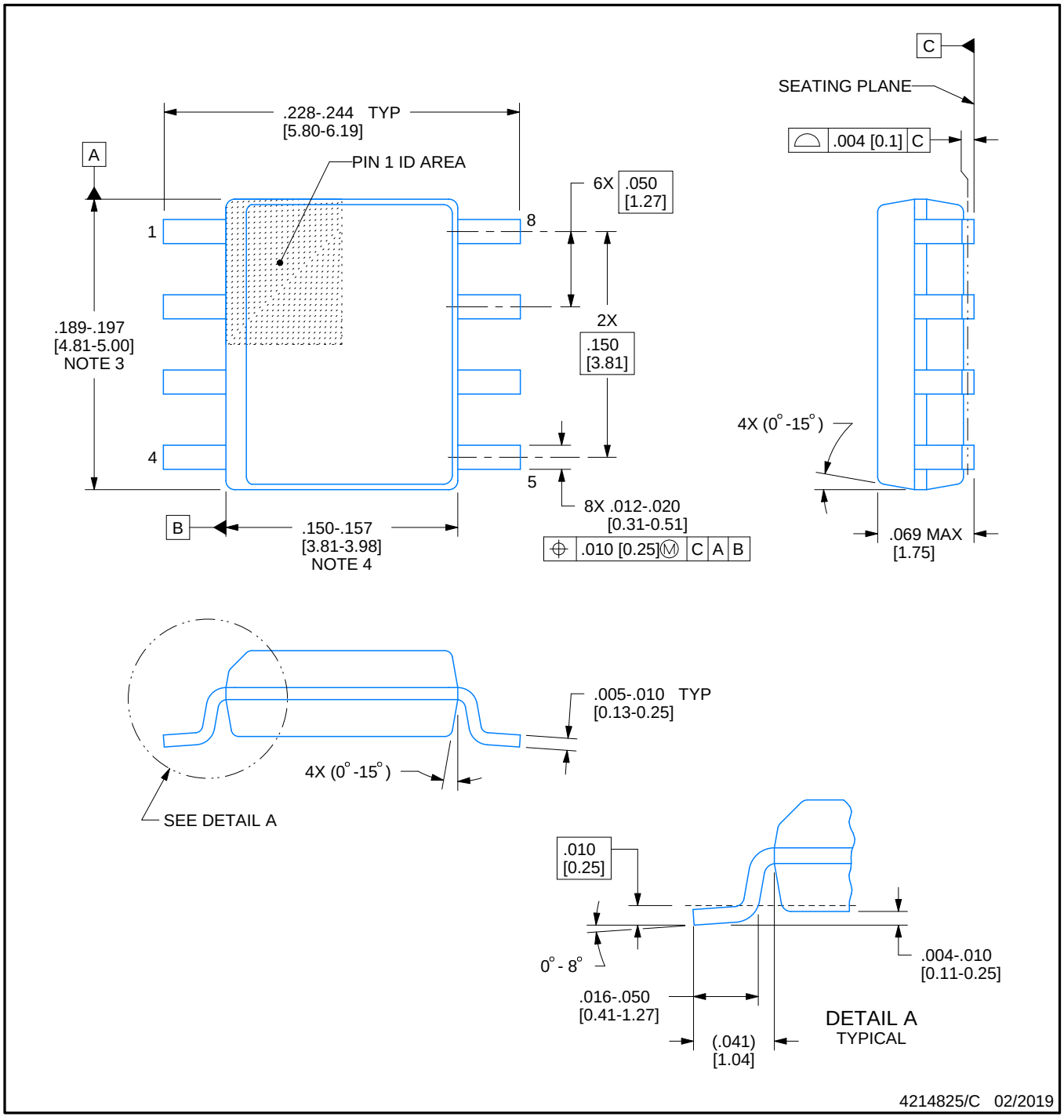


PACKAGE OUTLINE

D0008A

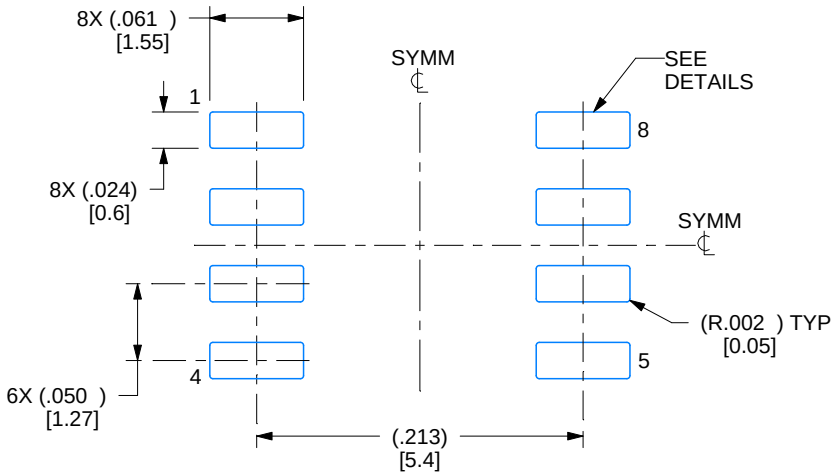
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

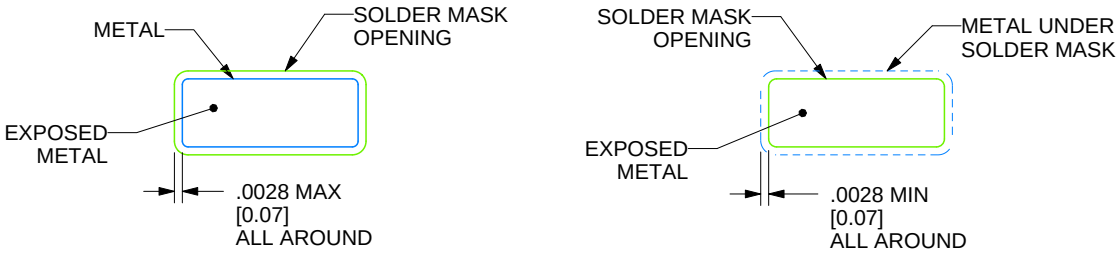


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

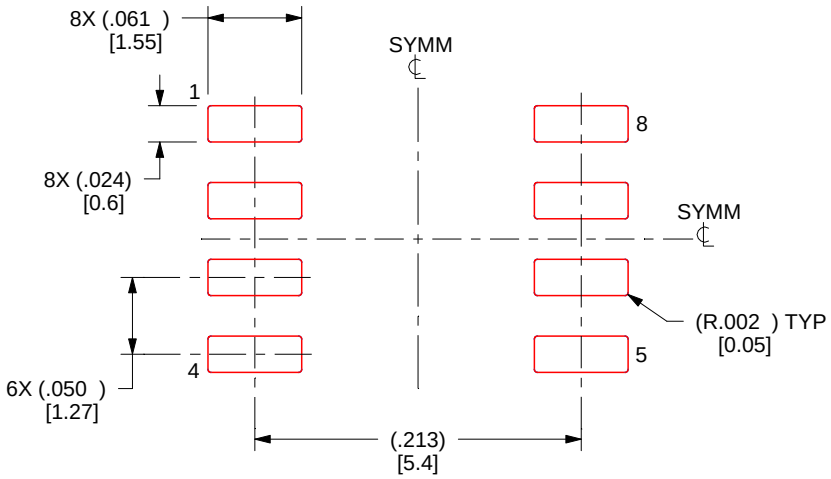
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2021，德州仪器 (TI) 公司