

UCC27289 具有 8V UVLO 和负电压支持的 3A 120V 半桥驱动器

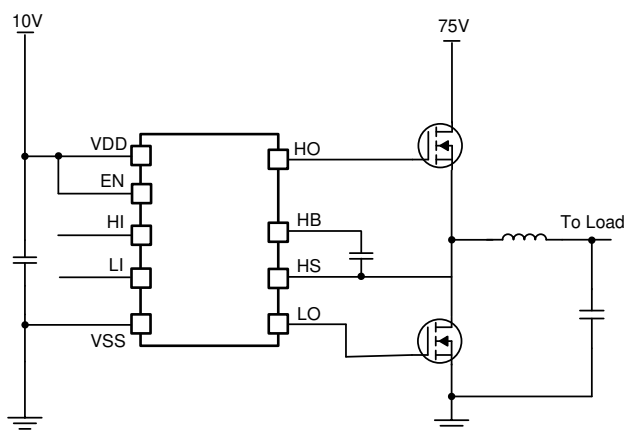
1 特性

- 可驱动两个采用高侧/低侧配置的 N 沟道 MOSFET
- 在 DRC 封装中启用/禁用功能
- 禁用时消耗的电流很低 (7 μ A)
- 16ns 典型传播延迟
- 1800pF 负载时的上升时间为 12ns，下降时间典型值为 10ns
- 1ns 典型延迟匹配
- 集成式 100V 自举二极管
- 8V 典型欠压锁定
- 输入引脚上接受的绝对最大负电压 (-5V)
- HS 引脚上接受的绝对最大负电压 (-14 V)
- ± 3 A 峰值输出电流
- 绝对最大启动电压为 120V
- 输入相互独立且 VDD
- 两个通道的欠压锁定
- 额定结温范围为 -40°C 至 140°C

2 应用

- 商用网络和服务服务器 PSU
- 商用通信电源整流器
- 直流输入 BLDC 电机驱动器
- 光伏微型逆变器
- 测试和测量设备

简化版应用图



3 说明

UCC27289 是一款功能强大的 N 沟道 MOSFET 驱动器，最大开关节点 (HS) 额定电压为 100V。借助此器件，可在基于半桥或同步降压配置的拓扑中控制两个 N 沟道 MOSFET。UCC27289 具有 3A 的峰值灌电流和拉电流以及较低的上拉和下拉电阻，能够在 MOSFET 米勒平台转换期间以极低开关损耗驱动大功率 MOSFET。由于输入与电源电压无关，因此 UCC27289 与模拟控制器和数字控制器均可结合使用。两个输入完全相互独立，如果需要，可通过重叠输入进行重叠。启用和禁用功能通过降低驱动器的功耗并响应系统内的故障事件，提供额外的系统灵活性。

输入引脚和 HS 引脚能够承受较大的负电压，因此提高了系统稳健性。较小的传播延迟和延迟匹配规格可尽可能降低死区时间要求，从而提高系统效率。

高侧和低侧驱动器级均配有欠压锁定 (UVLO) 功能，因此可在 VDD 电压低于指定阈值时将输出强制为低电平。在许多应用中，集成自举二极管无需使用外部分立式二极管，节省布板空间和降低系统成本。UCC27289 采用多种封装，可满足多种系统要求，比如严苛环境下的稳健性、紧凑型应用中的密度。

器件信息

器件型号	封装 (大小) ⁽¹⁾
UCC27289D	SOIC8 (6mm x 5mm)
UCC27289DRC	SON10 (3mm x 3mm)
UCC27289DRM	SON8 (4mm x 4mm)
UCC27289DPR	SON10 (4mm x 4mm)

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



内容

1 特性	1	7.4 器件功能模式	15
2 应用	1	8 应用和实现	16
3 说明	1	8.1 应用信息.....	16
4 Revision History	2	8.2 Typical Application.....	17
5 Pin Configuration and Functions	3	9 电源相关建议	24
6 规格	4	10 布局	25
6.1 绝对最大额定值.....	4	10.1 布局指南.....	25
6.2 ESD 等级.....	4	10.2 布局示例.....	25
6.3 建议的操作条件.....	4	11 器件和文档支持	26
6.4 热性能信息.....	5	11.1 接收文档更新通知.....	26
6.5 Electrical Characteristics.....	5	11.2 支持资源.....	26
6.6 开关特性.....	6	11.3 商标.....	26
6.7 典型特性.....	8	11.4 静电放电警告.....	26
7 详细说明	13	11.5 术语表.....	26
7.1 Overview.....	13	12 机械、封装和可订购信息	26
7.2 功能方框图.....	13		
7.3 特性说明.....	13		

4 Revision History

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (December 2020) to Revision A (May 2022)	Page
• Updated typical peak pullup/pulldown current from +2.5 A/-3.5 A to ± 3 A in Electrical Characteristics.....	5
• Updated I_{HBS} typical leakage to 5.0 μ A and test voltage from 110 V to 100 V in Electrical Characteristics.....	5

5 Pin Configuration and Functions

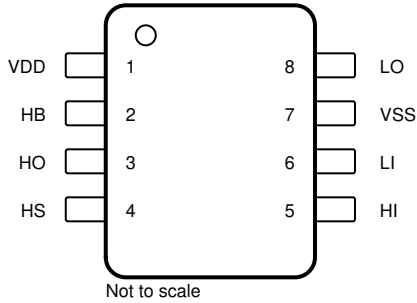


图 5-1. D Package 8-Pin SOIC Top View

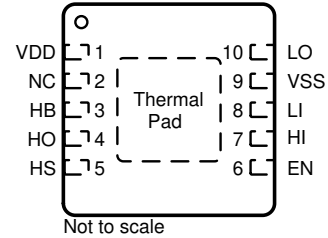


图 5-2. DRC Package 10-Pin SON Top View

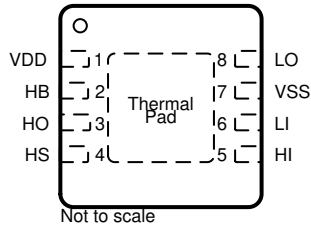


图 5-3. DRM Package 8-Pin SON Top View

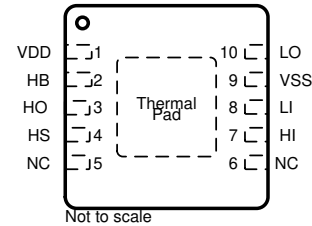


图 5-4. DPR Package 10-Pin SON Top View

Pin Functions

Name	PIN				I/O ⁽¹⁾	DESCRIPTION
	DRC	DRM	DPR	D		
EN	6	n/a	n/a	n/a	I	Enable input. When this pin is pulled high, it will enable the driver. If left floating or pulled low, it will disable the driver. 1 nF filter capacitor is recommended for high-noise systems.
HB	3	2	2	2	P	High-side bootstrap supply. The bootstrap diode is on-chip but the external bootstrap capacitor is required to generate bootstrap supply from VDD. Connect positive side of the bootstrap capacitor and cathode of an external diode to this pin. The external diode should be 100V (minimum) rated. Higher voltage rated diode is acceptable too. Typical recommended value of HB bypass capacitor is 0.1 μ F. This value primarily depends on the gate charge of the high-side MOSFET.
HI	7	5	7	5	I	High-side input.
HO	4	3	3	3	O	High-side output. Connect to the gate of the high-side power MOSFET or one end of external gate resistor, when used.
HS	5	4	4	4	P	High-side source connection. Connect to source of high-side power MOSFET. Connect negative side of bootstrap capacitor to this pin.
LI	8	6	8	6	I	Low-side input
LO	10	8	10	8	O	Low-side output. Connect to the gate of the low-side power MOSFET or one end of external gate resistor, when used.
NC	2	n/a	5,6	n/a	-	Not connected internally.
VDD	1	1	1	1	P	Positive supply to the low-side gate driver. Decouple this pin to VSS. Typical decoupling capacitor value is 1 μ F. When using an external boot diode, connect the anode to this pin. If series resistor is used in series with the boot diode then connect one end of series boot resistor to this pin and other end of the resistor should be connected to the anode of the external boot diode.
VSS	9	7	9	7	G	Negative supply terminal for the device which is generally the system ground.
Thermal Pad	-	-	-	n/a	-	Connect to a large thermal mass trace (generally IC ground plane) to improve thermal performance. This can only be electrically connected to VSS.

(1) P = Power, G = Ground, I = Input, O = Output, I/O = Input/Output

6 规格

6.1 绝对最大额定值

所有电压值均以 V_{SS} 为基准^{(1) (2)}

		最小值	最大值	单位
V_{DD}	电源电压	-0.3	20	V
V_{EN} 、 V_{HI} 、 V_{LI}	EN、HI 和 LI 上的输入电压值	-5	20	V
V_{LO}	LO 上的输出电压值	DC	$V_{DD} + 0.3$	V
		脉冲 < 100ns ⁽³⁾	$V_{DD} + 0.3$	
V_{HO}	HO 上的输出电压值	DC	$V_{HS} - 0.3$	V
		脉冲 < 100ns ⁽³⁾	$V_{HS} - 2$	
V_{HS}	HS 上的电压值	DC	100	V
		脉冲 < 100ns ⁽³⁾	100	
V_{HB}	HB 上的电压值	-0.3	120	V
V_{HB-HS}	HB 上以 HS 为基准的电压值	-0.3	20	V
T_J	工作结温	-40	150	°C
	引线温度 (焊接时, 10 秒)		300	°C
T_{stg}	贮存温度	-65	150	°C

- (1) 应力超出绝对最大额定值下列的值可能会对器件造成永久损坏。这些仅仅是应力额定值，并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 所有电压值均以 V_{SS} 为基准。电流是指定端子的正输入、负输出。
- (3) 这些值仅根据特征进行验证。

6.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电		
	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ^{(1) (2)}	±2000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽³⁾	±1500	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) 引脚 HS、HB 和 HO 的额定电压为 500V HBM
- (3) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议的操作条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
V_{DD}	电源电压	8	12	16	V
V_{EN} 、 V_{HI} 、 V_{LI}	输入电压	0		V_{DD}	
V_{LO}	低侧输出电压	0		V_{DD}	
V_{HO}	高侧输出电压	V_{HS}		V_{HB}	
V_{HS}	HS 上的电压值 ⁽¹⁾	-8		100	V
	HS 上的电压值 (脉冲 < 100ns) ⁽¹⁾	-12		100	
V_{HB}	HB 上的电压值	$V_{HS} + 8$		$V_{HS} + 16$	V
V_{sr}	HS 上的电压压摆率			50	V/ns
T_J	工作结温	-40		140	°C

- (1) $V_{HB-HS} < 16V$ (HB 上以 HS 为基准的电压值必须小于 16V)

6.4 热性能信息

热指标 ⁽¹⁾	UCC27289				单位
	DRC	DRM	DPR	D	
	10 引脚	8 引脚	10 引脚	8 引脚	
$R_{\theta JA}$ 结至环境热阻	47.3	43.3	43.0	118.3	°C/W
$R_{\theta JC(top)}$ 结至外壳 (顶部) 热阻	50.3	37.7	33.0	53.6	°C/W
$R_{\theta JB}$ 结至电路板热阻	21.3	19.2	19.0	63.1	°C/W
ψ_{JT} 结至顶部特征参数	1.0	0.8	0.6	10.7	°C/W
ψ_{JB} 结至电路板特征参数	21.2	19.2	19.0	62.1	°C/W
$R_{\theta JC(bot)}$ 结至外壳 (底部) 热阻	4.4	6.3	6.2	不适用	°C/W

(1) 有关热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告 (SPRA953)。

6.5 Electrical Characteristics

$V_{DD} = V_{EN} = V_{HB} = 12\text{ V}$, $V_{HS} = V_{SS} = 0\text{ V}$, No load on LO or HO, $T_J = -40^\circ\text{C}$ to $+140^\circ\text{C}$, (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
SUPPLY CURRENTS					
I_{DD} VDD quiescent current	$V_{LI} = V_{HI} = 0$		0.36	0.45	mA
I_{DDO} VDD operating current	$f = 500\text{ kHz}$, $C_{LOAD} = 0$		2.2	4.5	mA
I_{HB} HB quiescent current	$V_{LI} = V_{HI} = 0\text{ V}$		0.2	0.4	mA
I_{HBO} HB operating current	$f = 500\text{ kHz}$, $C_{LOAD} = 0$		2.5	4	mA
I_{HBS} HB to VSS quiescent current	$V_{HS} = V_{HB} = 100\text{ V}$		5.0	50	μA
I_{HBOS} HB to VSS operating current ⁽¹⁾	$f = 500\text{ kHz}$, $C_{LOAD} = 0$		0.1		mA
I_{DD_DIS} I_{DD} when driver is disabled	$V_{EN} = 0$		7.0		μA
ENABLE					
V_{EN} Voltage threshold on EN pin to enable the driver			1.54	2.0	V
V_{DIS} Voltage threshold on EN pin to disable the driver		0.7	1.21		V
V_{ENHYS} Enable pin Hysteresis			0.3		V
R_{EN} EN pin internal pull-down resistor			250		k Ω
INPUT					
V_{HIT} Input rising threshold (HI and LI)		1.9	2.1	2.4	V
V_{LIT} Input falling threshold (HI and LI)		0.9	1.1	1.3	V
V_{IHYS} Input voltage Hysteresis (HI and LI)			1.0		V
R_{IN} Input pulldown resistance (HI and LI)		100	250	350	k Ω
UNDERVOLTAGE LOCKOUT PROTECTION (UVLO)					
V_{DDR} VDD rising threshold		6.5	7.0	7.8	V
V_{DDF} VDD falling threshold		5.7	6.5	7.3	V
V_{DDHYS} VDD threshold hysteresis			0.5		V
V_{HBR} HB rising threshold with respect to HS pin		5.5	6.3	7.1	V
V_{HBF} HB falling threshold with respect to HS pin		5.0	5.8	6.6	V
V_{HBHYS} HB threshold hysteresis			0.5		V
BOOTSTRAP DIODE					
V_F Low-current forward voltage	$I_{VDD-HB} = 100\text{ }\mu\text{A}$		0.65	0.85	V
V_{FI} High-current forward voltage	$I_{VDD-HB} = 80\text{ mA}$		0.85	1.0	V
R_D Dynamic resistance, $\Delta V_F / \Delta I$	$I_{VDD-HB} = 100\text{ mA}$ and 80 mA		1.5	2.5	Ω
LO GATE DRIVER					

UCC27289

ZHCSN25A - DECEMBER 2020 - REVISED MAY 2022

 $V_{DD} = V_{EN} = V_{HB} = 12\text{ V}$, $V_{HS} = V_{SS} = 0\text{ V}$, No load on LO or HO, $T_J = -40^\circ\text{C}$ to $+140^\circ\text{C}$, (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{LOL}	Low level output voltage	$I_{LO} = 100\text{ mA}$		0.085	0.4	V
V_{LOH}	High level output voltage	$I_{LO} = -100\text{ mA}$, $V_{LOH} = V_{DD} - V_{LO}$		0.13	0.42	V
	Peak pullup current ⁽¹⁾	$V_{LO} = 0\text{ V}$		3.0		A
	Peak pulldown current ⁽¹⁾	$V_{LO} = 12\text{ V}$		3.0		A
HO GATE DRIVER						
V_{HOL}	Low level output voltage	$I_{HO} = 100\text{ mA}$		0.1	0.4	V
V_{HOH}	High level output voltage	$I_{HO} = -100\text{ mA}$, $V_{HOH} = V_{HB} - V_{HO}$		0.13	0.42	V
	Peak pullup current ⁽¹⁾	$V_{HO} = 0\text{ V}$		3.0		A
	Peak pulldown current ⁽¹⁾	$V_{HO} = 12\text{ V}$		3.0		A

(1) Parameter not tested in production

6.6 开关特性

 $V_{DD} = V_{HB} = 12\text{ V}$, $V_{HS} = V_{SS} = 0\text{ V}$, LO 或 HO 无负载, $T_J = -40^\circ\text{C}$ 至 $+140^\circ\text{C}$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
传播延迟						
t_{DLFF}	V_{LI} 下降至 V_{LO} 下降	请参阅图 6-1	16	30		ns
t_{DHFF}	V_{HI} 下降至 V_{HO} 下降	请参阅图 6-1	16	30		ns
t_{DLRR}	V_{LI} 上升至 V_{LO} 上升	请参阅图 6-1	16	30		ns
t_{DHRR}	V_{HI} 上升至 V_{HO} 上升	请参阅图 6-1	16	30		ns
延迟匹配						
t_{MON}	从 LO 导通至 HO 关断	请参阅图 6-1	1	7		ns
t_{MOFF}	从 LO 关断至 HO 导通	请参阅图 6-1	1	7		ns
输出上升和下降时间						
t_R	LO、HO 上升时间	$C_{LOAD} = 1800\text{ pF}$, 10% 至 90%	12			ns
t_F	LO、HO 下降时间	$C_{LOAD} = 1800\text{ pF}$, 90% 至 10%	10			ns
t_R	LO、HO (3-9V) 上升时间	$C_{LOAD} = 0.1\text{ }\mu\text{F}$, 30% 至 70%	0.33	0.6		$\mu\text{ s}$
t_F	LO、HO (3-9V) 下降时间	$C_{LOAD} = 0.1\text{ }\mu\text{F}$, 70% 至 30%	0.23	0.6		$\mu\text{ s}$
其他						
$T_{PW, \min}$	可改变输出的最小输入脉冲宽度		20			ns
	自举二极管关断时间 ⁽¹⁾	$I_F = 20\text{ mA}$, $I_{REV} = 0.5\text{ A}$	50			ns

(1) 未经量产测试的参数

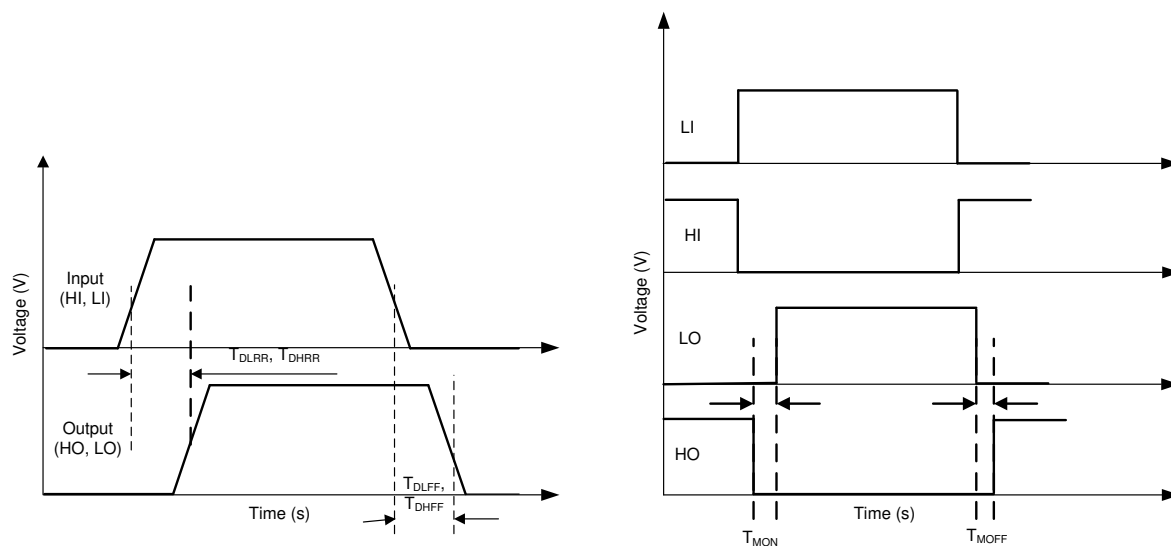


图 6-1. 时序图

6.7 典型特性

除非另有说明，否则 $V_{DD} = V_{HB} = 12V$ ， $V_{HS} = V_{VSS} = 0V$ ，输出无负载

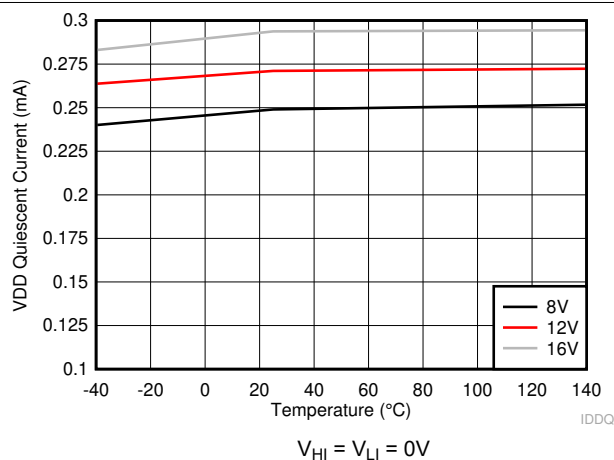


图 6-2. VDD 静态电流

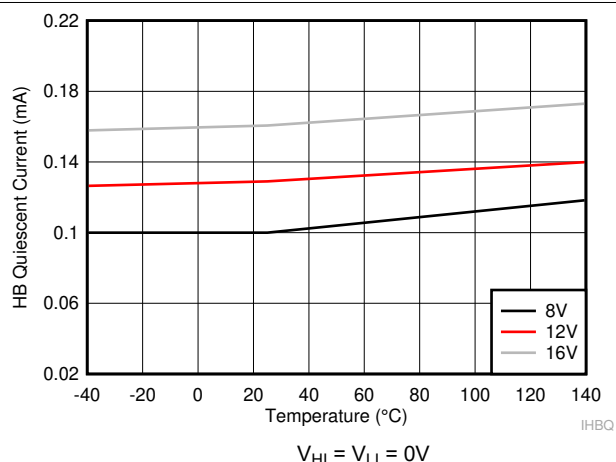
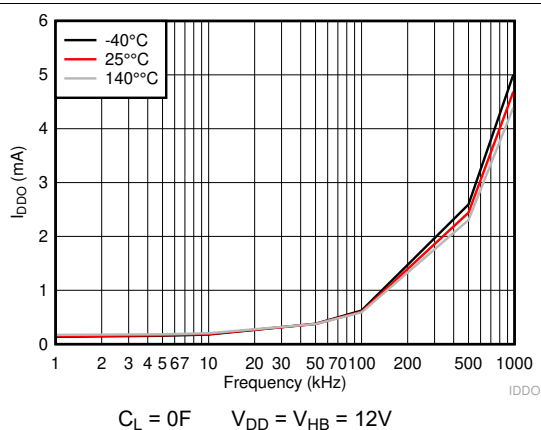
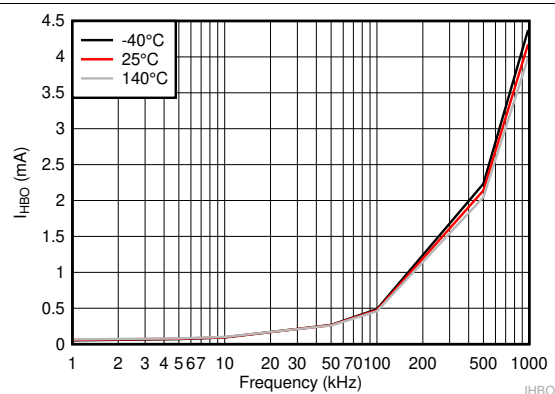


图 6-3. HB 静态电流



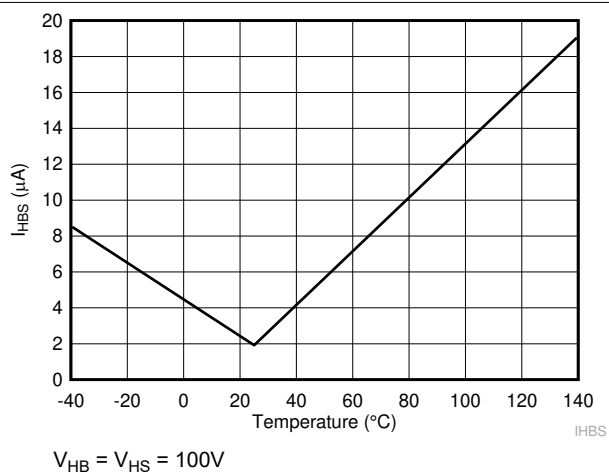
$C_L = 0F$ $V_{DD} = V_{HB} = 12V$

图 6-4. VDD 工作电流



$C_L = 0F$ $V_{DD} = V_{HB} = 12V$

图 6-5. HB 工作电流



$V_{HB} = V_{HS} = 100V$

图 6-6. HB 至 VSS 静态电流

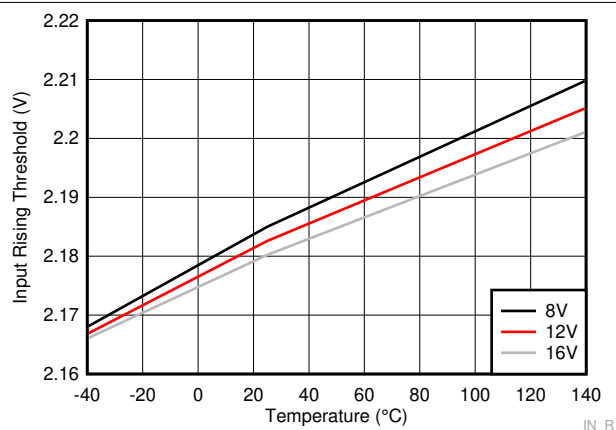


图 6-7. 输入上升阈值

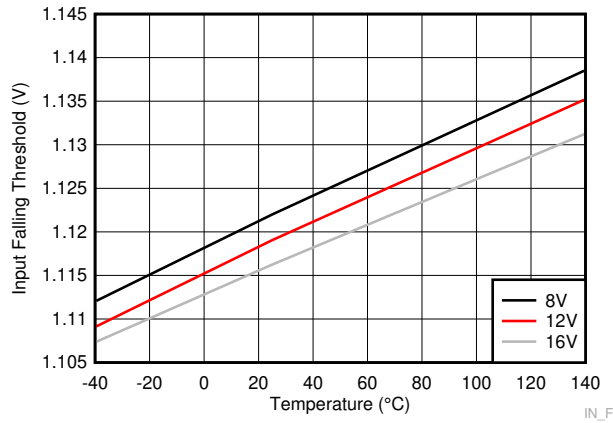


图 6-8. 输入下降阈值

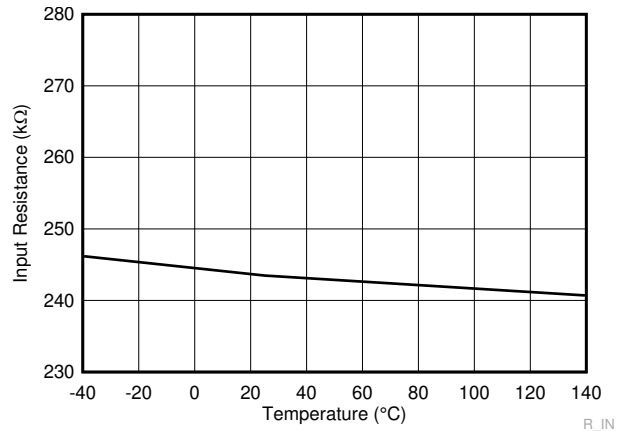


图 6-9. 输入下拉电阻器

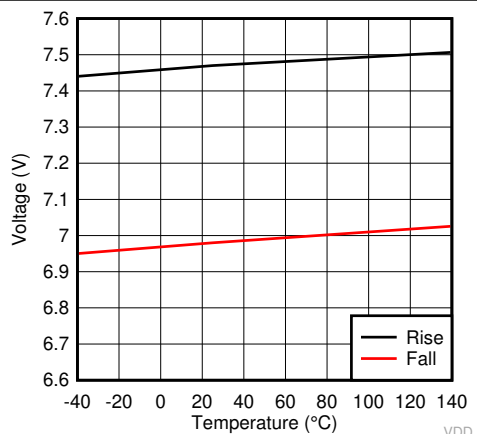


图 6-10. VDD UVLO 阈值

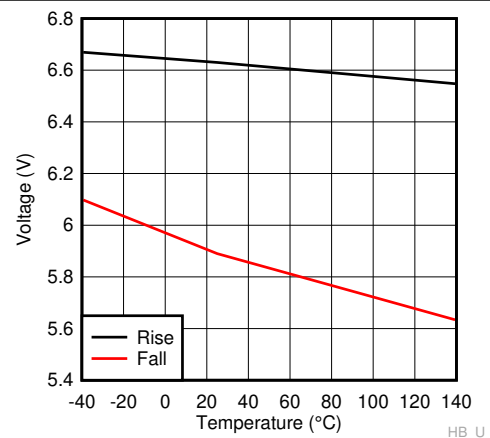
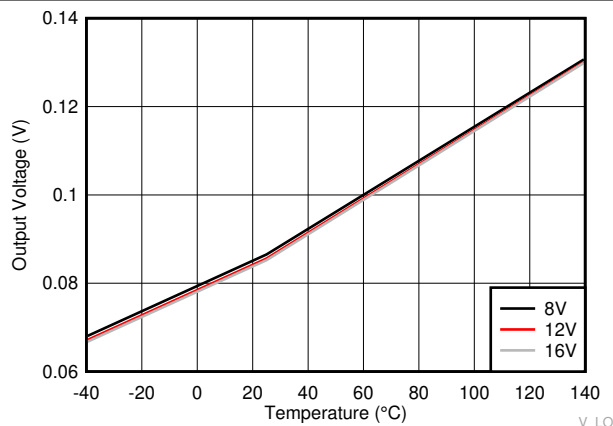
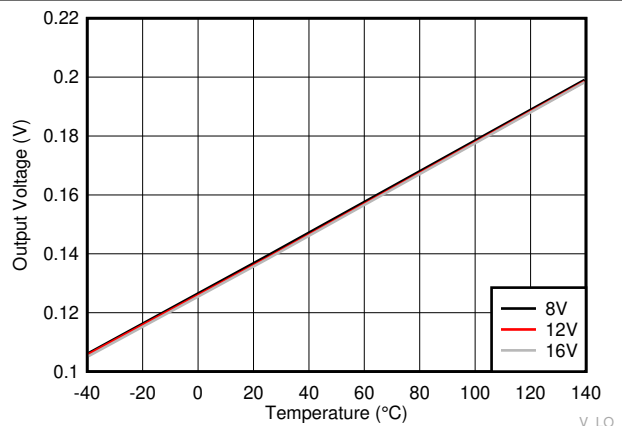


图 6-11. HB UVLO 阈值



$I_O = 100\text{mA}$

图 6-12. LO 低输出电压 (V_{LOL})



$I_O = -100\text{mA}$

图 6-13. LO 高输出电压 (V_{LOH})

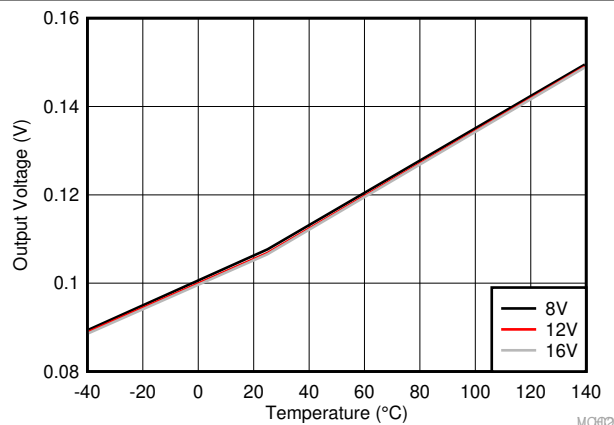
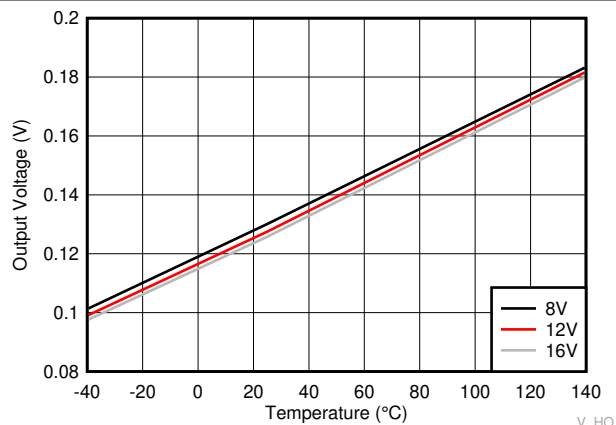
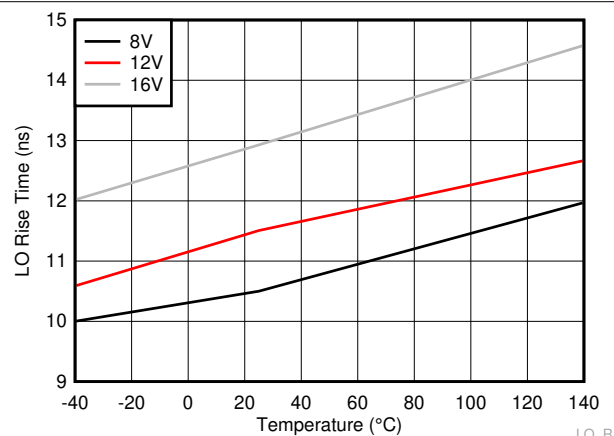
 $I_O = 100\text{mA}$ 图 6-14. HO 低输出电压 (V_{HOL}) $I_O = -100\text{mA}$ 图 6-15. HO 高输出电压 (V_{HOH}) $C_L = 1800\text{pF}$

图 6-16. LO 上升时间

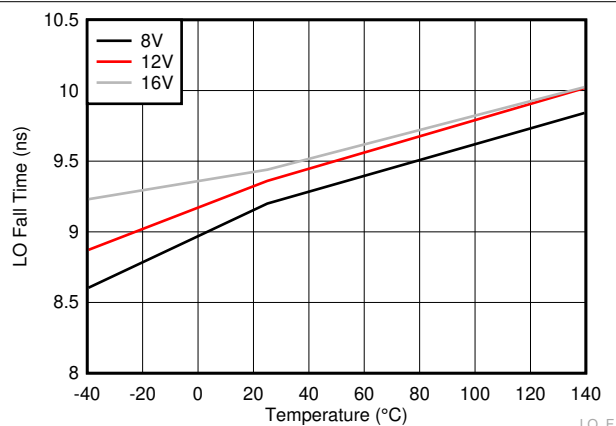
 $C_L = 1800\text{pF}$

图 6-17. LO 下降时间

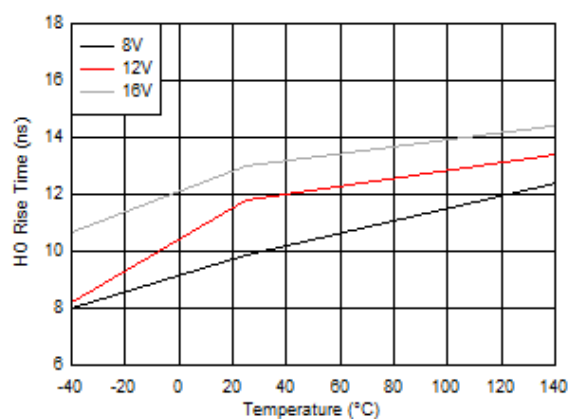
 $C_L = 1800\text{pF}$

图 6-18. HO 上升时间

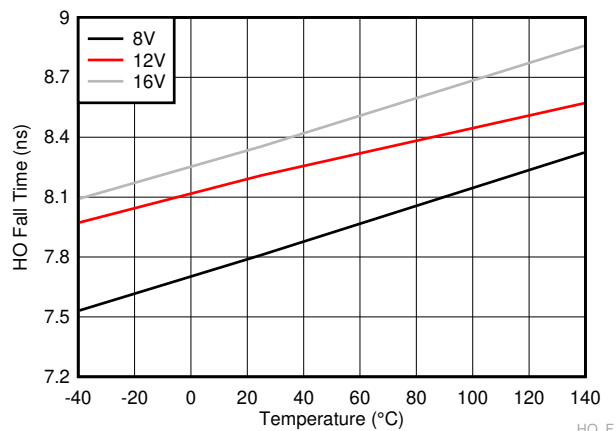
 $C_L = 1800\text{pF}$

图 6-19. HO 下降时间

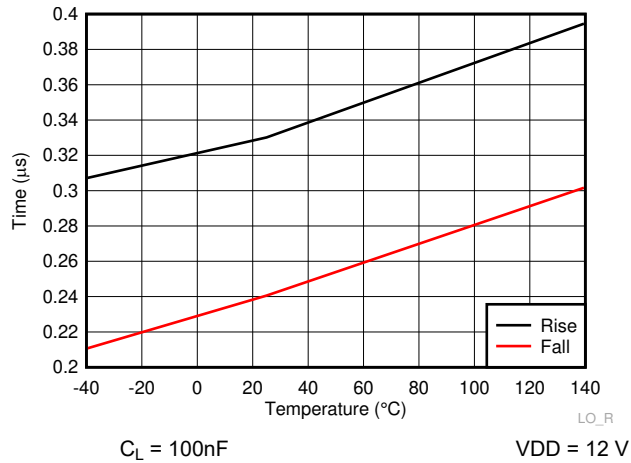


图 6-20. LO 上升和下降时间

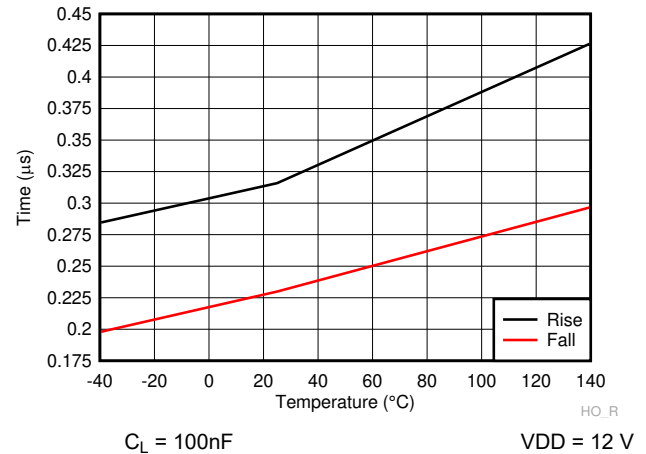


图 6-21. HO 上升和下降时间

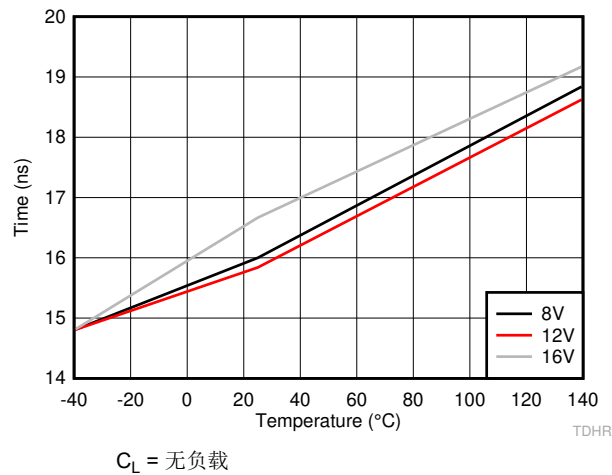


图 6-22. HO 上升传播延迟 (TDHRR)

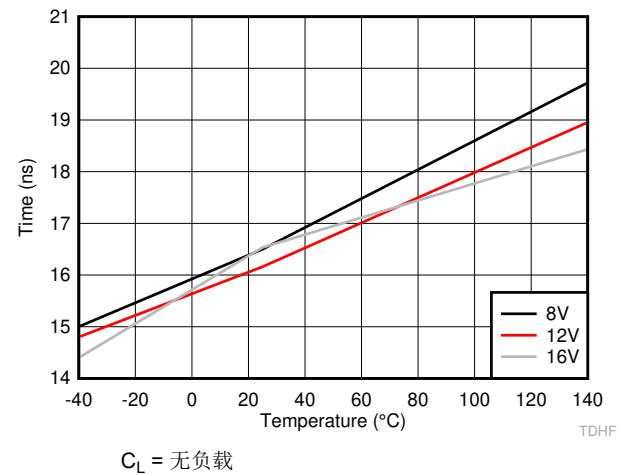


图 6-23. HO 下降传播延迟 (TDHFF)

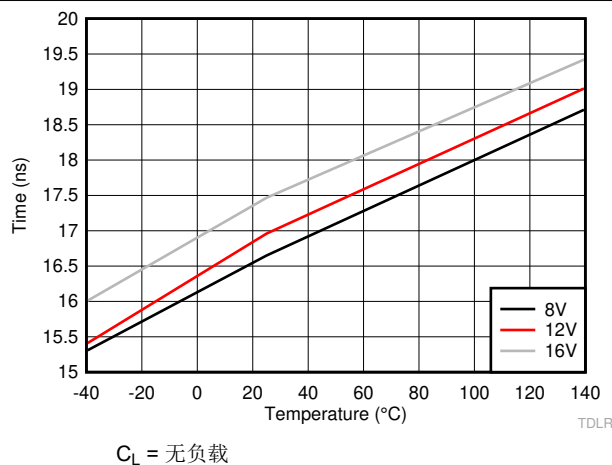


图 6-24. LO 上升传播延迟 (TDLRR)

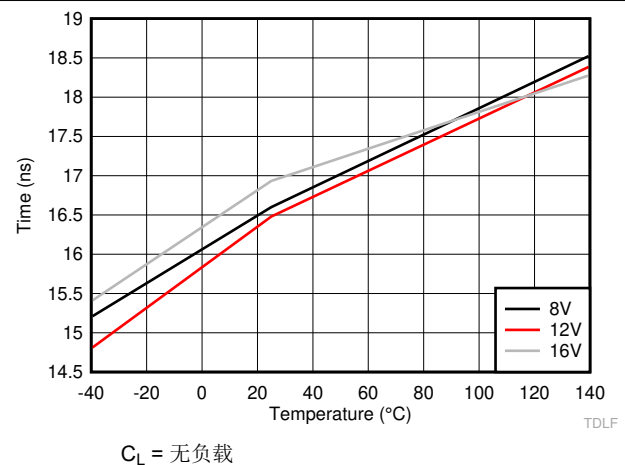


图 6-25. LO 下降传播延迟 (TDLFF)

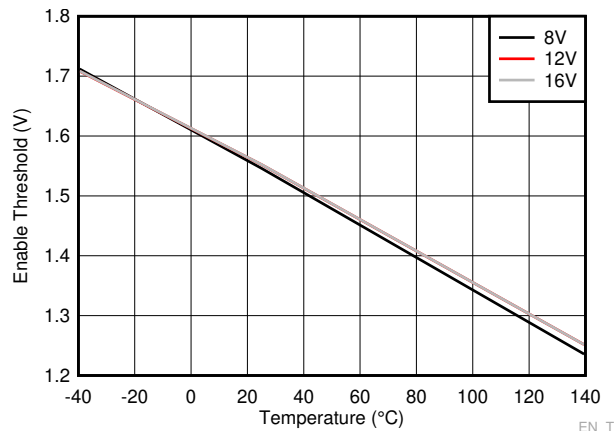


图 6-26. 启用阈值

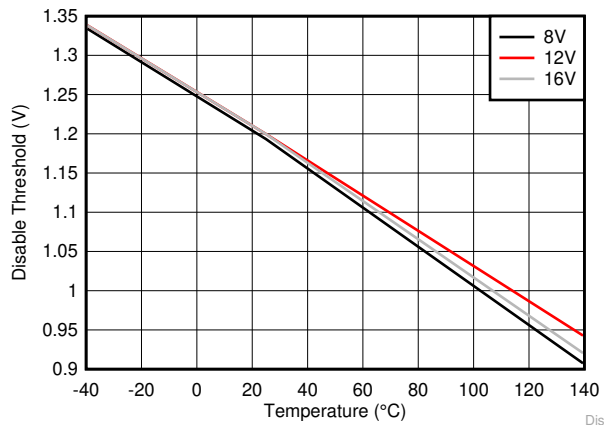


图 6-27. 禁用阈值

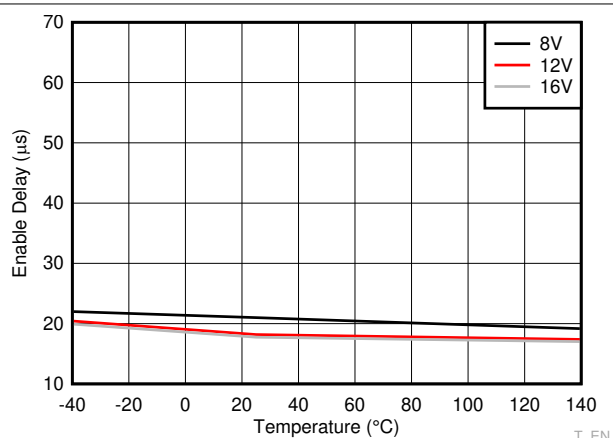


图 6-28. 启用延迟

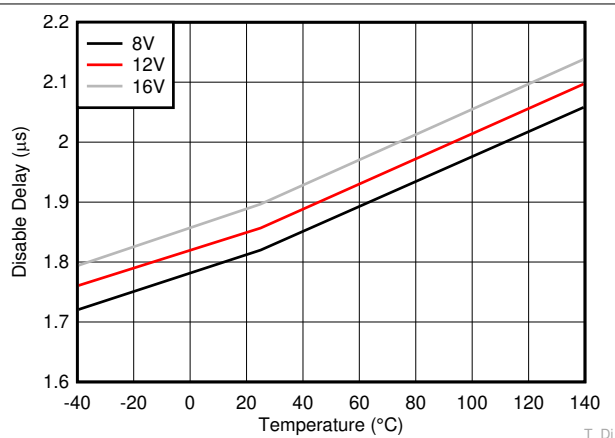


图 6-29. 禁用延迟

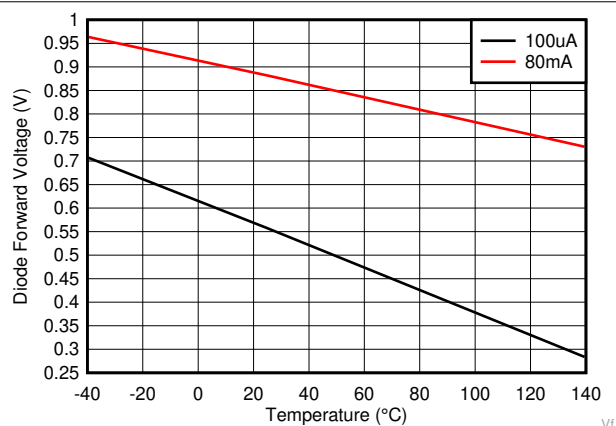


图 6-30. 自举二极管正向压降

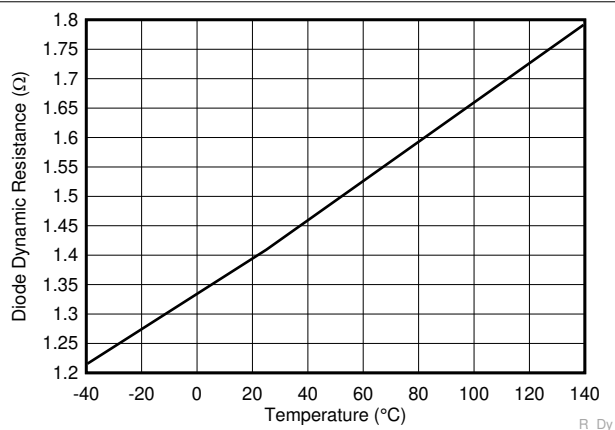


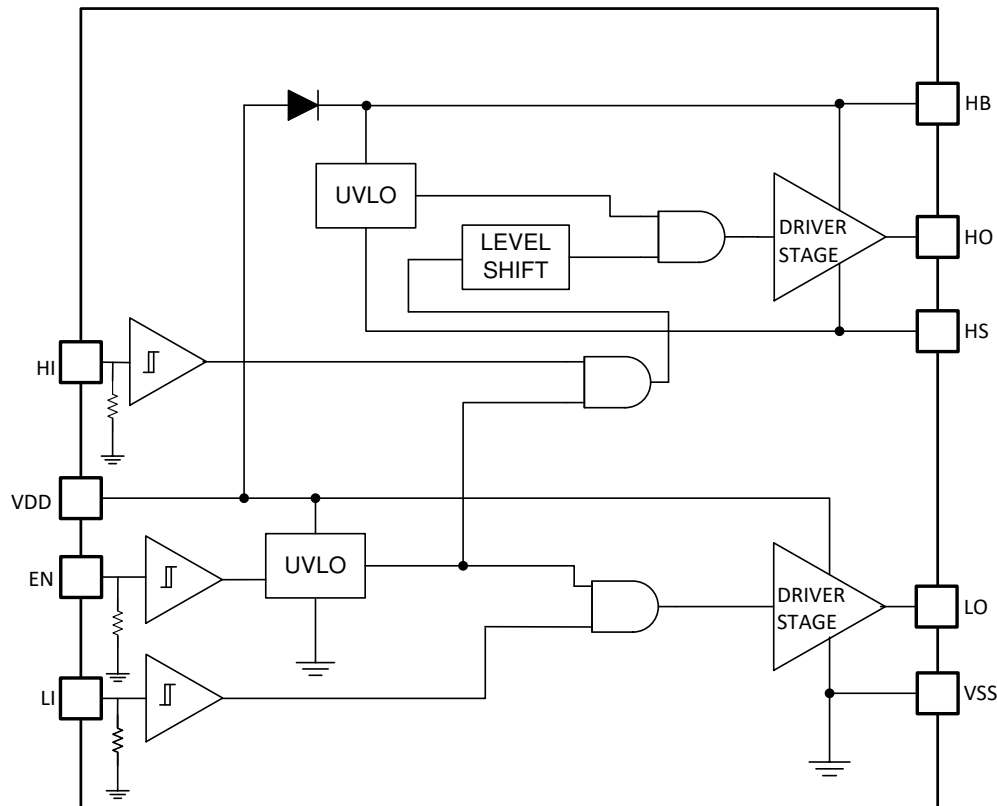
图 6-31. 自举二极管动态电阻

7 详细说明

7.1 Overview

The UCC27289 is a high-voltage gate driver designed to drive both the high-side and the low-side N-channel FETs in a synchronous buck or a half-bridge configurations. The two outputs are independently controlled with two TTL-compatible input signals. The device can also work with CMOS type control signals at its inputs as long as signals meet turn-on and turn-off threshold specifications of the UCC27289. The floating high-side driver is capable of working with HS voltage up to 100 V with respect to VSS. There is an internal bootstrap diode in the UCC27289 device to charge external high-side gate drive bootstrap capacitor. An external boot diode may be used if needed by the application. A robust level shifter operates at high speed while consuming low power and provides clean level transitions from the control logic to the high-side gate driver. Undervoltage lockout (UVLO) is provided on both the low-side and the high-side power rails.

7.2 功能方框图



Copyright © 2020, Texas Instruments Incorporated

7.3 特性说明

7.3.1 Enable

The device in DRC package has an enable (EN) pin. The outputs will be active only if the EN pin voltage is above the threshold voltage. Outputs will be held low if EN pin is left floating or pulled-down to ground. An internal 250 k Ω resistor connects EN pin to VSS pin. Thus, leaving the EN pin floating disables the device. Externally pulling EN pin to ground shall also disable the device. If the EN pin is not used, then it is recommended to connect it to VDD pin. If a pull-up resistor needs to be used then a strong pull-up resistor is recommended. For 12V supply voltage, a 10k Ω pull-up is suggested. In noise prone application, a small filter capacitor, 1nF, should be connected from the EN pin to VSS pin as close to the device as possible. An analog or a digital controller output pin could be connected to EN pin to enable or disable the device. Built-in hysteresis helps prevent any nuisance tripping or chattering of the outputs.

7.3.2 启动和 UVLO

高侧和低侧驱动器级均包含 UVLO 保护电路，该电路可监控电源电压 (V_{DD}) 和自举电容器电压 (V_{HB-HS})。在电源电压足以导通外部 MOSFET 之前，UVLO 电路会抑制所有输出。在电源电压变化期间，内置 UVLO 迟滞可防止发生抖动。为器件的 VDD 引脚施加电源电压时，在 VDD 超过 UVLO 阈值（典型值为 7.0V）之前，两个输出都会保持低电平。无论 UVLO 条件如何，自举电容器 (V_{HB-HS}) 仅禁用高侧输出 (HO)。

表 7-1. VDD UVLO 逻辑运行

条件 ($V_{HB-HS} > V_{HBR}$)	HI	LI	HO	LO
器件启动期间, $V_{DD} - V_{SS} < V_{DDR}$	H	L	L	L
	L	H	L	L
	H	H	L	L
	L	L	L	L
器件启动之后, $V_{DD} - V_{SS} < V_{DDR} - V_{DDH}$	H	L	L	L
	L	H	L	L
	H	H	L	L
	L	L	L	L

表 7-2. HB UVLO 逻辑运行

条件 ($V_{DD} > V_{DDR}$)	HI	LI	HO	LO
器件启动期间, $V_{HB-HS} < V_{HBR}$	H	L	L	L
	L	H	L	H
	H	H	L	H
	L	L	L	L
器件启动之后, $V_{HB-HS} < V_{HBR} - V_{HBH}$	H	L	L	L
	L	H	L	H
	H	H	L	H
	L	L	L	L

7.3.3 Input Stages

The two inputs operate independent of each other. The two inputs can overlap and output shall follow the input signals. The independence allows for full control of two outputs compared to the gate drivers that have a single input. There is no fixed time de-glitch filter implemented in the device and therefore propagation delay and delay matching are not sacrificed. In other words, there is no built-in dead-time. If the dead time between two outputs is desired then that shall be programmed through the micro-controller. If noise on the input signal is expected in a way that could cause the inputs to overlap then the outputs shall follow the inputs and shoot-through may occur. To avoid such situation small input filter shall be implemented at the front of the gate driver inputs, HI and LI. Because the inputs are independent of supply voltage, they can be connected to outputs of either digital controller or analog controller. Inputs can accept wide slew rate signals and input can withstand negative voltage to increase the robustness. Small filter at the inputs of the driver further improves system robustness in noise prone applications, as mentioned earlier. The inputs have internal pull down resistors with typical value of 250 k Ω . Thus, when the inputs are floating, the outputs are held low.

7.3.4 电平转换器

电平转换电路是从高侧输入 (V_{SS} 基准信号) 到高侧驱动器级 (以开关节点 (HS 引脚) 为基准) 的接口。电平转换可控制以 HS 引脚为基准的 HO 输出。电平转换器引入的延迟非常低，因此，该器件具有出色的传播延迟特性，且延迟与低侧驱动器输出相匹配。低延迟匹配可减少功率级运行的死区时间。对于需要高效率的应用，减少死区时间意义重大。

7.3.5 输出级

在动力总成中，输出级是从电平转换器输出到功率 MOSFET 的接口。两个输出的高压摆率、低电阻和高峰值电流能力支持功率 MOSFET 高效开关。低侧输出级以 V_{SS} 为基准，高侧以 HS 为基准。器件输出级稳健，可应对苛刻工况，例如持续 100ns 的 -2V 瞬态。该器件还可在输出端维持正瞬态。器件输出级具有上拉结构，在电源开

关导通转换的米勒平台区域期间，能够在需要时提供峰值拉电流。器件的输出上拉和下拉结构为图腾柱 NMOS-PMOS 结构。

7.3.6 负电压瞬变

在大多数应用中，外部低侧功率 MOSFET 的体二极管将 HS 节点钳制到接地。某些时候，在外部低侧 MOSFET 的体二极管钳制此摆幅之前，电路板电容和电感会导致 HS 节点在接地电位以下瞬态摆动几伏。与 UCC27289 结合使用时，只要不违反规范并且遵循本节中提到的条件，HS 节点就能摆动到接地电位以下。

HS 的电势必须始终低于 HO。将 HO 拉至规定条件以下，可能会激活寄生晶体管，从而导致 HB 电源的电流过大。这样可能损坏器件。LO 和 VSS 的关系也是如此。如有必要，可在 HO 和 HS 之间或 LO 和 VSS 之间外接肖特基二极管，保护器件免受此类瞬变影响。为充分发挥作用，二极管应尽量靠近器件引脚。

确保 HB 至 HS 的工作电压不超过 16V。因此，如果 HS 引脚的瞬态电压为 -5V，那么，在理想条件下，VDD（以及 HB）应限制在 11V 以内，使 HB 至 HS 的电压低于 16V。通常情况下，当 HS 摆幅为负时，HB 瞬时跟随 HS，因此 HB 到 HS 的电压可能不会明显过冲。为确保栅极驱动器器件正常运行，从 HB 到 HS 以及从 VDD 到 VSS 的低 ESR 旁路电容器至关重要。为充分减小串联电感，电容器应位于器件引线处。LO 和 HO 的峰值电流可能非常大。旁路电容器的任何串联电感都会在器件引线上引发电压振铃，为确保可靠运行，必须避免这种情况发生。

根据应用电路板设计和其他运行参数，除 HS 引脚外，其他引脚（比如输入引脚）也可能瞬时摆动到接地电位以下。为适应此类工作条件，UCC27289 的输入引脚应能处理 -5V 电压。根据布局和其他设计限制，输出 HO 和 LO 也可能出现瞬态电压。因此，UCC27289 栅极驱动器还应能处理输出引脚上的 -2V 100ns 瞬态。

7.4 器件功能模式

该器件可在正常模式和 UVLO 模式下运行。有关 UVLO 运行模式的更多信息，请参阅[启动和 UVLO](#)。在正常模式下，当 V_{DD} 和 V_{HB-HS} 高于 UVLO 阈值时，输出级取决于 EN、HI 和 LI 引脚的状态。如果输入状态为浮动，则输出 HO 和 LO 将为低电平。器件启用（EN 引脚拉高）时，适用下面的真值表。

表 7-3. 正常运行模式下的输入/输出逻辑

HI	LI	HO ⁽¹⁾	LO ⁽²⁾
H	H	H	H
L	H	L	H
H	L	H	L
L	L	L	L
浮动	L	L	L
浮动	H	L	H
L	浮动	L	L
H	浮动	H	L
漂浮电势	漂浮电势	L	L

- (1) 以 HS 为基准来测量 HO
(2) 以 VSS 为基准来测量 LO

8 应用和实现

备注

以下应用部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

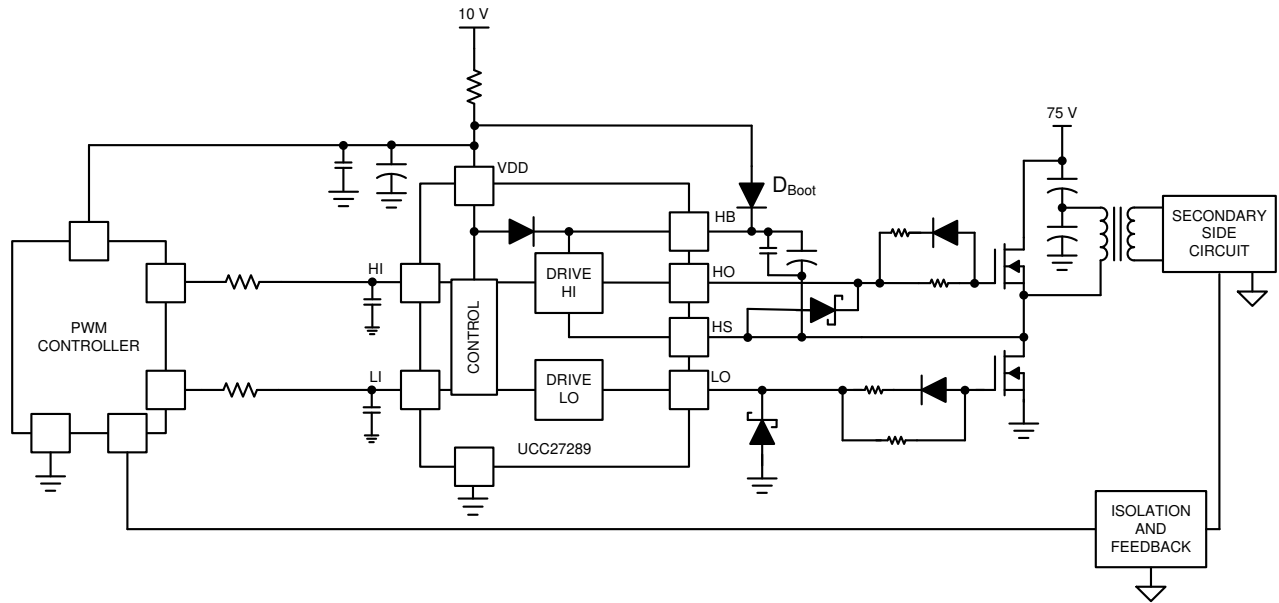
8.1 应用信息

大多数电子器件和应用的功耗越来越高。这些应用的整体尺寸也越来越小。实现高功率和小尺寸的一种方法是，提高效率并优化功率损耗分配。其中大多数应用都采用功率 MOSFET，且开关频率越来越高。为了在高开关频率下运行功率 MOSFET 并减少相关开关损耗，在控制器的 PWM 输出和功率半导体器件（例如功率 MOSFET、IGBT、SiC FET 和 GaN FET）的栅极之间采用了一款强大的栅极驱动器。其中许多应用都需要适当的 UVLO 保护，从而以适宜的方式导通和关断功率半导体器件。此外，当 PWM 控制器无法直接驱动开关器件的栅极时，必须使用栅极驱动器。数字电源出现之后，经常会遇到这种情况，因为数字控制器发出的 PWM 信号通常是 3.3V 逻辑信号，无法有效导通电源开关。因此，需要电平转换电路将 3.3V 信号升压至栅极驱动电压（比如 12V 或 5V），来完全导通功率器件，尽量减少传导损耗和开关损耗。事实证明，基于图腾柱排列 NPN/PNP 双极晶体管的传统缓冲器驱动电路不适用于数字电源，因为这些电路缺乏电平转换能力和欠压锁定保护。栅极驱动器能够有效结合电平转换和缓冲器驱动功能。栅极驱动器还解决了其他问题，例如，充分减小高频开关噪声的影响（通过靠近电源开关布置高电流驱动器器件）、驱动栅极驱动变压器和控制浮动功率器件栅极。将栅极电荷功率损耗从控制器 IC 转移至栅极驱动器，有助于降低控制器的功耗和热应力。

UCC27289 栅极驱动器可在单个器件中提供高电压 (100V)、小延迟 (16ns) 和良好驱动能力 ($\pm 3A$)。浮动高侧驱动器能够在高达 100V 的开关节点电压下工作，可支持在半桥、全桥、同步降压、同步升压和有源钳位拓扑中实现 N 沟道 MOSFET 控制。UCC27289 栅极驱动器 IC 集成了自举二极管，因此，在大多数应用中，无需外部自举二极管即可利用 VDD 电压产生高侧偏置电压。这让用户能够优化电路板布局布线并降低材料成本。如果使用外部自举二极管，则应选择恢复快速且正向压降低的肖特基二极管。每个通道均由自己的输入引脚（HI 和 LI）控制，可灵活控制输出的导通/关断状态。

MOSFET 等开关功率器件的两类主要损耗：开关损耗和导通损耗。导通损耗取决于流经器件的电流和器件的导通电阻。开关损耗取决于开关器件的栅极电荷和栅极电压以及开关频率。对于工作开关频率较高的应用而言，开关损耗开始影响整体系统效率。在这类应用中，为了降低开关损耗，必须降低栅极电压。栅极电压取决于栅极驱动器 IC 的电源电压，因此，在这类应用中，栅极驱动器 IC 需在较低电源电压条件下运行。UCC27289 栅极驱动器的典型 UVLO 电平为 7.0V，因此非常适合偏置电压需从 12V 降至 10V 甚至 9.5V 的应用。HB UVLO 低于 VDD UVLO，因此，自举二极管压降不会抑制这类在较低偏置电压条件下的运行。UVLO 迟滞足以避免任何抖动或干扰跳变，从而提高系统稳健性。

8.2 Typical Application



Copyright © 2020, Texas Instruments Incorporated

图 8-1. Typical Application

8.2.1 设计要求

下表列出了系统参数。UCC27289 运行时应遵循这些参数。

表 8-1. 设计要求

参数	值
MOSFET	CSD19535KTT
最大总线/输入电压, V_{in}	75V
工作偏置电压, V_{DD}	10V
开关频率, F_{sw}	300kHz
给定 V_{DD} 时, FET 的总栅极电荷, Q_G	52nC
MOSFET 内部栅极电阻, R_{GFET_Int}	1.4
最大占空比, D_{Max}	0.5
栅极驱动器	UCC27289

8.2.2 详细设计过程

8.2.2.1 选择自举和 VDD 电容器

为实现正常运行, 自举电容器必须确保 V_{HB-HS} 电压高于 $UVLO$ 阈值。使用 [方程式 1](#) 来计算自举电容器允许的最大压降 ΔV_{HB} 。

$$\begin{aligned}\Delta V_{HB} &= V_{DD} - V_{DH} - V_{HBL} \\ &= (10\text{ V} - 1\text{ V} - (7.1\text{ V} - 0.5\text{ V})) = 2.4\text{ V}\end{aligned}\quad (1)$$

其中

- V_{DD} 是栅极驱动器器件的电源电压
- V_{DH} 是自举二极管正向压降
- V_{HBL} 是 HB 下降阈值 ($V_{HBR(max)} - V_{HBH}$)

在本示例中, 自举电容器的允许压降为 2.4V。

通常情况下，建议尽量降低自举电容器和 VDD 电容器上的纹波电压。商业、工业和汽车应用中的常用纹波值为 0.5V。

使用 [方程式 2](#) 来估算自举电容器的每个开关周期所需的总电荷。

$$\begin{aligned}
 Q_{\text{TOTAL}} &= Q_G + I_{\text{HBS}} \times \left(\frac{D_{\text{MAX}}}{f_{\text{SW}}} \right) + \left(\frac{I_{\text{HB}}}{f_{\text{SW}}} \right) \\
 &= 52 \text{ nC} + 0.083 \text{ nC} + 1.33 \text{ nC} = 53.41 \text{ nC}
 \end{aligned}
 \tag{2}$$

其中

- Q_G 是总 MOSFET 栅极电荷
- I_{HBS} 是数据表中的 HB 至 VSS 漏电流
- D_{Max} 是转换器的最大占空比
- I_{HB} 是数据表中的 HB 静态电流

计算总电荷为 53.41nC。

接下来，使用 [方程式 3](#) 估算最小自举电容值。

$$C_{\text{BOOT (min)}} = \frac{Q_{\text{TOTAL}}}{\Delta V_{\text{HB}}} = \frac{53.41 \text{ nC}}{2.4 \text{ V}} = 22.25 \text{ nF}
 \tag{3}$$

计算出的最小自举电容值为 22.25nF。请注意，这是全偏置电压条件下所需的电容值。实际应用中，自举电容值必须大于计算值，才能确保在功率级可能因各种瞬态条件而发生脉冲跳跃的情况下正常使用。在本示例中，建议使用 100nF 自举电容器。此外，还建议预留足够的裕度，并将自举电容器尽可能靠近 HB 和 HS 引脚放置。此外，为过滤高频噪音，还应与主旁路电容器并联一个 0402、1000pF 低值小尺寸电容器。

对于该应用，请选择 C_{BOOT} 电容器，其规格如下：0.1μF，25V，X7R

一般而言，本地 VDD 旁路电容器必须大于自举电容器（通常为自举电容值的 10 倍）。对于该应用，请选择 C_{VDD} 电容器，其规格如下：1μF，25V，X7R

C_{VDD} 电容器位于栅极驱动器的 VDD 和 VSS 引脚之间。与自举电容器类似，将小尺寸低值电容器与主旁路电容器并联。对于该应用，为过滤高频噪音，请选用 0402、1000pF 电容器，并与主旁路电容器并联。

自举电容器和偏置电容器必须是具有 X7R 或更优电介质的陶瓷型电容器。选择的电容器额定电压应至少为其将承受最大电压的两倍。选择该值是因为大多数陶瓷电容器在偏置时会大幅损失电容。该值还可提高系统的长期可靠性。

8.2.2.2 External Bootstrap Diode and Series Resistor

The UCC27289 has integrated bootstrap diode, necessary to generate the high-side bias for HO to work satisfactorily. The characteristics of this diode are important to achieve efficient, reliable operation. If external bootstrap diode is needed then the diode characteristics to consider are reverse voltage handling capability, repetitive peak forward current, forward voltage drop, forward and reverse recovery time, and dynamic resistance. As the UCC27289 is 100V rated gate driver, the external bootstrap diode must be at least 100V rated. Peak forward current rating depends on multiple system parameters such as high-side and low-side duty cycle, value of bootstrap capacitor, and allowed voltage ripple on the bootstrap capacitor. Generally, low forward voltage drop diodes are preferred for low power loss during charging of the bootstrap capacitor. Schottky diodes have low forward voltage drop and can be used with the UCC27289. The dynamic characteristics to consider are diode recovery time and stored charge. Diode that has less than 50ns of forward and reverse recovery times is suitable in most applications.

Specifically in very high switching frequency applications, for example in excess of 1 MHz, and where the low-side minimum pulse widths are very small, the diode peak forward current could be very high and peak reverse current could also be very high, specifically if high bootstrap capacitor value has been chosen. In such applications it might be advisable to use Schottkey diode as bootstrap diode. MURS210 diode will work with the application example described here.

8.2.2.3 估算驱动器功率损耗

UCC27289 等于栅极驱动器器件不同功能块中功率损耗的总和。本节介绍这些功率损耗构成。

1. 方程式 4 描述了静态电流 (I_{DD} 和 I_{HB}) 如何影响静态功率损耗 P_{QC} 。

$$\begin{aligned} P_{QC} &= (V_{DD} \times I_{DD}) + (V_{DD} - V_{DH}) \times I_{HB} \\ &= 10 \text{ V} \times 0.4 \text{ mA} + 9 \text{ V} \times 0.4 \text{ mA} = 7.6 \text{ mW} \end{aligned} \quad (4)$$

此处虽未展示，但为了获得更保守的估计值，请在上述公式中增加空载运行电流 I_{DDO} 和 I_{HBO} 。

2. 方程式 5 展示了高侧至低侧漏电流 (I_{HBS}) 如何影响电平转换器的损耗 (P_{IHBS})。

$$P_{IHBS} = V_{HB} \times I_{HBS} \times D = 85 \text{ V} \times 50 \mu\text{A} \times 0.5 = 2.12 \text{ mW} \quad (5)$$

其中

- D 是高侧 MOSFET 占空比
- V_{HB} 是输入电压与自举电容器两端电压之和。

3. 方程式 6 展示了 MOSFET 栅极电荷 (Q_G) 如何影响动态损耗 P_{QG} 。

$$\begin{aligned} P_{QG} &= 2 \times V_{DD} \times Q_G \times f_{SW} \times \frac{R_{GD_R}}{R_{GD_R} + R_{GATE} + R_{GFET(int)}} \\ &= 2 \times 10 \text{ V} \times 52 \text{ nC} \times 300 \text{ kHz} \times 0.74 = 0.23 \text{ W} \end{aligned} \quad (6)$$

其中

- Q_G 是总 MOSFET 栅极电荷
- f_{SW} 为开关频率
- R_{GD_R} 是上拉和下拉电阻的平均值
- R_{GATE} 是外部栅极驱动电阻
- $R_{GFET(int)}$ 是功率 MOSFET 内部栅极电阻

假设本示例中没有外部栅极电阻。驱动器输出部分的最大上拉和下拉电阻的平均值约为 4Ω 。代入应用值，计算栅极电荷导致的动态损耗，此处为 230 mW 。

4. 方程式 7 展示了高侧开关期间每个开关周期中的寄生电平转换器电荷 (Q_P) 如何影响动态损耗 (P_{LS})。

$$P_{LS} = V_{HB} \times Q_P \times f_{SW} \quad (7)$$

为简化该示例，假设寄生电荷 Q_P 的值为 1 nC 。替换数值后，得出电平转换器动态损耗为 25.5 mW 。就电平转换器动态损耗而言，这个估计值非常高。

所有损耗总计 265.22 mW ，等于栅极驱动器的总损耗。如本示例所示，在大多数应用中，栅极电荷导致的动态损耗决定了栅极驱动器器件的总功率损耗。对于带自举二极管的栅极驱动器，还应估算自举二极管内的损耗。二极管正向导通损耗等于平均正向压降与平均正向电流的乘积。

方程式 8 估算了器件在给定环境温度下允许的最大功率损耗。

$$P_{MAX} = \frac{(T_J - T_A)}{R_{\theta JA}} \quad (8)$$

其中

- P_{MAX} 是栅极驱动器器件允许的最大功率损耗
- T_J 是建议的最高工作结温
- T_A 是栅极驱动器器件的环境温度
- $R_{\theta JA}$ 是结至环境热阻

为更好地估算应用中栅极驱动器器件的结温，建议首先准确测量外壳温度，然后确定给定应用的功率损耗。然后用 ψ_{JT} 来计算结温。在应用中，估算结温并测量环境温度之后，计算 $\theta_{JA(\text{effective})}$ 。然后，在项目开发阶段，如果设计参数（比如外部栅极电阻器或功率 MOSFET 的值）发生变化，则使用 $\theta_{JA(\text{effective})}$ 来估算这些变化如何影响栅极驱动器器件的结温。

[热性能信息](#) 表汇总了驱动器封装的热指标。有关热性能信息表的详细信息，请参阅 [半导体和器件封装热指标](#) 应用报告。

8.2.2.4 选择外部栅极电阻器

在高频开关电源应用中，使用 UCC27289 等高电流栅极驱动器时，寄生电感、寄生电容和高电流环路会在功率 MOSFET 的栅极上引发噪声和振铃。外部栅极电阻器通常用于抑制此类振铃和噪声。在部分应用中，栅极电荷，即栅极驱动器器件上的负载，明显大于栅极驱动器峰值输出电流能力。在此类应用中，外部栅极电阻器能够限制栅极驱动器的峰值输出电流。只要布局或应用允许，建议采用外部栅极电阻器。

使用 [方程式 9](#) 来计算驱动器高侧上拉电流。

$$I_{OHH} = \frac{V_{DD} - V_{DH}}{R_{HOH} + R_{GATE} + R_{GFET(int)}} \quad (9)$$

其中

- I_{OHH} 是高侧峰值上拉电流
- V_{DH} 是自举二极管正向压降
- R_{HOH} 是栅极驱动器内部的高侧上拉电阻。数值可直接从数据表中查找，也可根据测试条件 ($R_{HOH} = V_{HOH}/I_{HO}$) 计算得出
- R_{GATE} 是驱动器输出和功率 MOSFET 栅极之间连接的外部栅极电阻
- $R_{GFET(int)}$ 是 MOSFET 数据表提供的 MOSFET 内部栅极电阻

使用 [方程式 10](#) 来计算驱动器高侧灌电流。

$$I_{OLH} = \frac{V_{DD} - V_{DH}}{R_{HOL} + R_{GATE} + R_{GFET(int)}} \quad (10)$$

其中

- R_{HOL} 是栅极驱动器内部的高侧下拉电阻

使用 [方程式 11](#) 来计算驱动器低侧拉电流。

$$I_{OHL} = \frac{V_{DD}}{R_{LOH} + R_{GATE} + R_{GFET(int)}} \quad (11)$$

其中

- R_{LOH} 是栅极驱动器内部的低侧上拉电阻

使用 [方程式 12](#) 来计算驱动器低侧灌电流。

$$I_{OLL} = \frac{V_{DD}}{R_{LOL} + R_{GATE} + R_{GFET(int)}} \quad (12)$$

其中

- R_{LOL} 是栅极驱动器内部的低侧下拉电阻

栅极驱动器高侧和低侧通道的峰值电流额定值均为 $\pm 3A$ 。必要时，这些公式可帮助降低峰值电流。为比较不同上升时间值与下降时间值，外部栅极电阻器可与二极管电阻器组合反向并联，如图 8-1 所示。一般而言，外部栅极电阻器的理想值或配置选择是一个迭代过程。有关选择外部栅极电阻器的更多信息，请参阅栅极驱动器的外部栅极电阻器设计指南

8.2.2.5 延迟和脉宽

由于种种原因，需要考虑 PWM、驱动器和功率级中的总延迟，主要是电流限制响应的延迟。还需要考虑驱动器之间的延迟差异，这可能引发各种问题，具体取决于拓扑。同步降压拓扑开关需要在高侧和低侧开关之间仔细选择死区时间，避免交叉导通及过度的体二极管导通。

在任何工作条件下，如果高侧和低侧的脉冲宽度不平衡，则桥拓扑可能会受变压器伏秒不平衡的影响。UCC27289 器件在整个过程和温度变化范围内的最大传播延迟为 30ns，延迟匹配为 7ns，性能非常出色。

窄输入脉冲宽度性能是栅极驱动器器件的一个重要考虑因素，因为当输入脉冲宽度非常窄时，输出信号跟随输入信号的效果可能无法令人满意。尽管控制器的稳态 PWM 输出信号可能相对较宽，但在下列工作条件中，可能会出现非常窄的脉冲。

- 软启动周期
- 大型负载瞬变
- 短路条件

这些窄脉冲显示为栅极驱动器器件的输入信号，栅极驱动器器件需正确响应这些窄信号。

如图 8-2 所示，UCC27289 器件即使在输入脉冲非常窄的条件下也会产生可靠的输出脉冲。输入脉冲宽度非常窄时，传播延迟和延迟匹配不受影响。

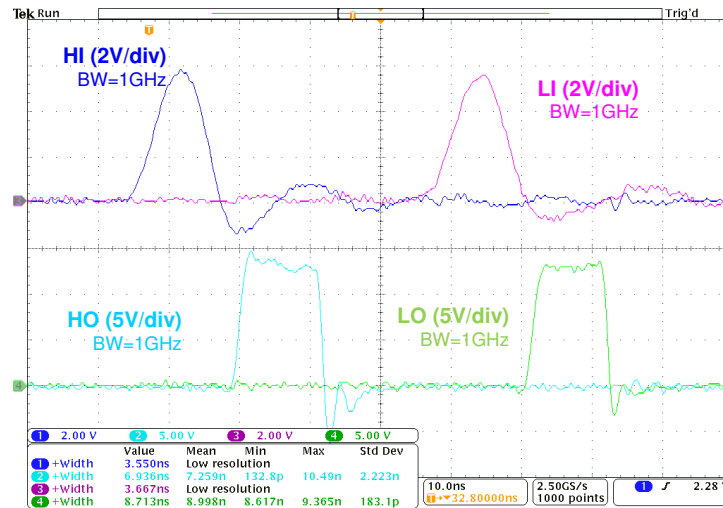


图 8-2. 输入和输出脉冲宽度

8.2.2.6 VDD 和输入滤波器

部分开关电源应用的噪声非常高。噪声可能来自输入端（栅极驱动器器件的 HI 和 LI 引脚）的接地反弹和振铃。UCC27289 能够处理负输入电压，具有宽输入阈值迟滞，可减小这些应用中的噪音。如果这些特性不能满足要求，则可能需要为应用配备输入滤波器。10 Ω 电阻器和 47pF 电容器等小型滤波器可能足以过滤栅极驱动器器件输入端的噪声。RC 滤波器会引入延迟，因此需要谨慎考虑。偏置电源上的高频噪声可能影响栅极驱动器器件的性能。为过滤这类噪声，建议为 VDD 引脚串联 1 Ω 电阻器，如图 8-1 所示。该电阻器也是电流限制元件。如果偏置轨上发生短路，该电阻器会断开，防止进一步损坏。在开发阶段，该电阻器还可帮助调试设计。

8.2.2.7 瞬态保护

如前几节所述，高功率高开关频率电源具有固有的噪声。电路中的高 dV/dt 和 dI/dt 可能导致在不同引脚（比如 HO、LO 和 HS）上产生负电压。如规格表中所述，器件可承受所有这些引脚上的负电压。如果电路的寄生元件导

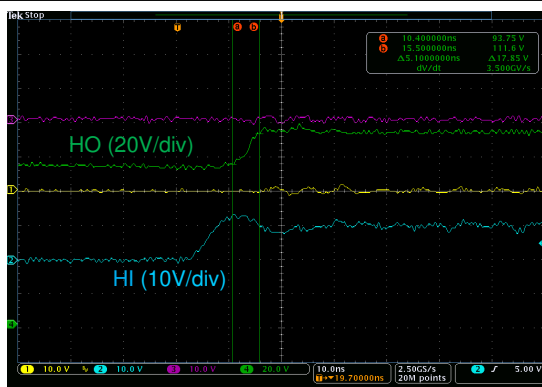
致非常大的负摆幅，则电路可能需要额外保护。在这种情况下，应使用反应快速的低泄漏肖特基二极管。该二极管必须尽量靠近栅极驱动器器件引脚，才能有效钳制栅极驱动器器件引脚上的过大负电压。为避免驱动器器件因其输出引脚或电源引脚上的过压而损坏，可以使用低泄漏齐纳二极管。15V 齐纳二极管通常足以将电压钳制至建议的最大值 16V 以下。

8.2.3 应用曲线

为充分减少电源的开关损耗，应尽可能快速地导通和关断功率 MOSFET。驱动器的驱动电流能力和低输出级电阻。在重负载状态下进行测试，是一种常用的栅极驱动器器件驱动能力测试方法。输出的上升时间和下降时间体现了栅极驱动器器件的驱动能力。如果使用大电容器来测量驱动强度，则不应与负载电容器串联任何电阻。可使用图中上升和下降曲线上的超快 dV/dt 来估算峰值电流能力。这种方法也可用于比较两个或更多栅极驱动器器件的性能。

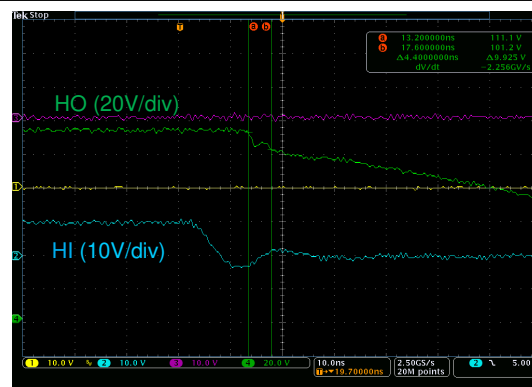
UCC27289 在类似应用环境中接受了测试。无负载时，同步降压转换器用于生成以下波形。开关频率设置为 100kHz，输入电压设置为 100V。UCC27289 使用 2Ω 外部电阻器来驱动 BSC16DN250NS3。所有波形均由单端探头测量。图 8-3 和图 8-4 分别展示了 HO 的上升时间和下降时间。图 8-5 和图 8-6 分别展示了 LO 的上升时间和下降时间。内部自举二极管和外部自举电容器产生高侧偏置。

如节 8.2.2.5 中所述，对许多应用来说，传播延迟对可靠运行至关重要。图 8-7 和图 8-8 展示了 UCC27289 的 LO 上升和下降传播延迟。HO 输出也发生了类似传播延迟。



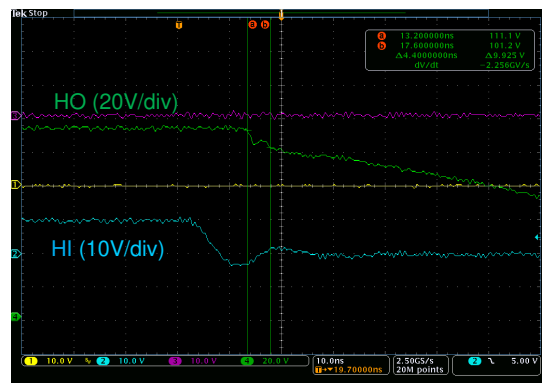
$V_{DD} = 12V$, $HS = 100V$

图 8-3. HO 上升时间



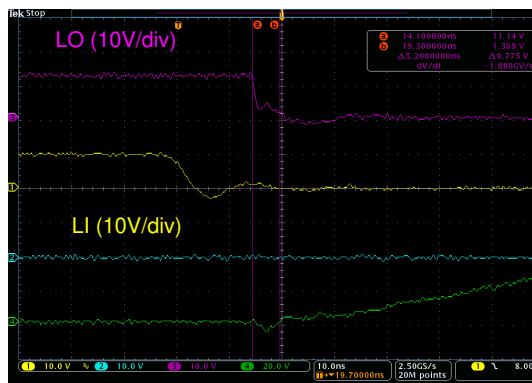
$V_{DD} = 12V$, $HS = 100V$

图 8-4. HO 下降时间



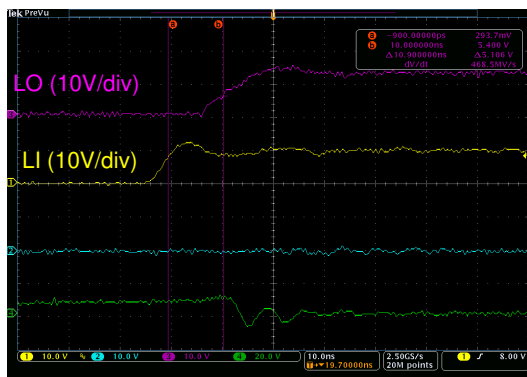
$V_{DD} = 12V$, $HS = 100V$

图 8-5. LO 上升时间



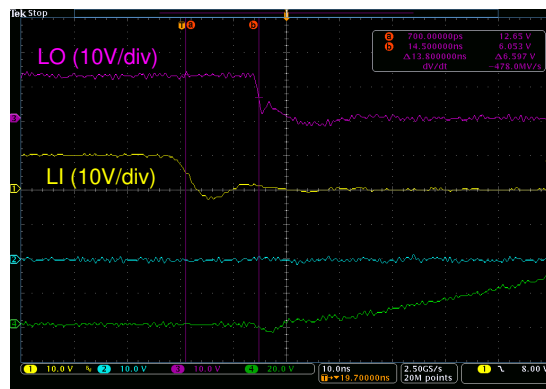
$V_{DD} = 12V$, $HS = 100V$

图 8-6. LO 下降时间



$V_{DD} = 12V$

图 8-7. 导通传播延迟



$V_{DD} = 12V$

图 8-8. 关断传播延迟



$V_{DD} = 10V$, $V_{in} = 100V$

$C_L = 1nF$

Ch1 = HI、Ch2 = LI、Ch3 = HO、Ch4 = LO

图 8-9. 输入负电压

9 电源相关建议

UCC27289 的建议偏置电源电压范围为 8-16V。该范围的下限由 V_{DD} 电源电路块的内部欠压锁定 (UVLO) 保护功能 (典型值为 7.0V) 决定。该范围的上限由建议的 V_{VDD} 最大额定电压 (16V) 决定。建议 VDD 引脚上的电压应低于建议的最大电压。

UVLO 保护功能还涉及迟滞功能。这意味着, 如果器件在正常模式下运行, 即使 VDD 电压下降, 只要压降不超过迟滞规格 V_{DDHYS} , 器件就会继续在正常模式下运行。如果压降超过迟滞规格, 器件将关断。因此, 为避免触发关断, 当器件在 8V 范围内或其上下运行时, 辅助电源输出上的电压纹波应小于 UCC27289 的迟滞规格。

UCC27289 可通过 EN 引脚实现启用/禁用功能。因此, EN 引脚上的信号应尽量纯净。如果未使用 EN 引脚, 则建议将该引脚连接到 VDD 引脚。如果 EN 引脚通过电阻器上拉, 则上拉电阻器应足够强大。在易产生噪声的应用中, 建议使用小电容器 (比如 X7R 0402 1nF) 对 EN 引脚进行滤波。

应在 VDD 和 GND 引脚之间放置本地旁路电容器。该电容器应尽量靠近器件。建议使用低 ESR 陶瓷表面贴装电容器。建议在 VDD 和 GND 之间使用两个电容器: 一个低电容陶瓷表面贴装电容器, 非常靠近 VDD 和 GND 引脚, 用于高频滤波; 一个高电容表面贴装电容器, 旨在满足器件偏置要求。与此类似, HO 引脚提供的电流脉冲来自 HB 引脚。因此, 建议在 HB 到 HS 之间使用两个电容器。一个低电容小尺寸电容器, 用于高频滤波; 一个高电容电容器, 用于传输 HO 脉冲。

在噪声非常突出且 PWB (印刷接线板) 上空间足够的应用中, 建议在输入端布置小型 RC 滤波器。这样可以提高设计的整体性能。在这类应用中, 还建议为功率 MOSFET 外部栅极电阻器配备占位件。该电阻器不仅能控制驱动能力, 还可控制 HS 上的压摆率, 这会影响高侧电路的性能。如果为外部栅极电阻器配备二极管, 建议将电阻器与二极管串联, 可进一步控制下降时间。

在电源应用 (比如电机驱动器) 中, 系统内存在大量瞬态。有时, 这会导致栅极驱动器器件的所有引脚几乎都会出现过压和欠压尖峰。为提高设计稳健性, 建议为 HO 和 LO 引脚配备钳位二极管。如果用户不接受功率 MOSFET 寄生二极管, 则建议在 HS 引脚上使用外部钳位二极管, 这种二极管应为高电压高电流型 (与 MOSFET 的额定值相同) 且动作非常快。这些二极管应在整个温度范围内具有非常小的泄漏量。

在几乎可以确定负 HS 电压过大的电源应用中, 建议在 HS 引脚和开关节点之间设置小型电阻器。该电阻有助于在一定程度上限制流入驱动器器件的电流。该电阻器将影响高侧驱动能力, 因此需要谨慎考虑。

10 布局

10.1 布局指南

为实现高侧和低侧栅极驱动器的出色性能，必须遵循印刷电路板 (PCB) 布局布线指南。

- 应在 VDD 和 VSS 引脚之间以及 HB 和 HS 引脚之间靠近器件的位置连接低 ESR/ESL 电容器，从而在外部 MOSFET 导通时支持 VDD 和 HB 引脚消耗的高峰值电流。
- 为防止顶部 MOSFET 漏极出现大的电压瞬变，必须在高侧 MOSFET 漏极和接地 (VSS) 之间连接一个低 ESR 电解电容器和一个高质量陶瓷电容器。
- 为避免开关节点 (HS) 引脚上出现大型负瞬变，必须尽可能减小高侧 MOSFET 源极和低侧 MOSFET (同步整流器) 源极之间的寄生电感。
- 应尽量避免 HS 层与接地 (VSS) 层重叠，以更大程度减少耦合到接地层的开关噪声。
- 散热焊盘应连接至大面积重型铜层，从而提高器件的热性能。通常连接至与器件 VSS 相同的接地层。建议仅将该焊盘连接至 VSS 引脚。
- 接地注意事项：
 - 设计接地连接的首要任务是将 MOSFET 栅极充放电的高峰值电流限制在尽量小的物理区域。这种限制降低了环路电感，能够有效避免 MOSFET 栅极端子上的噪声问题。栅极驱动器应尽量靠近 MOSFET。
 - 第二个考虑因素是高电流路径，其中包括自举电容器、自举二极管、本地接地基准旁路电容器和低侧 MOSFET 体二极管。自举电容器由以接地为基准的 VDD 旁路电容器通过自举二极管逐周期进行重新充电。重新充电发生在短间隔内，需要高峰值电流。尽可能减小电路板上的环路长度和面积对于确保可靠运行至关重要。

10.2 布局示例

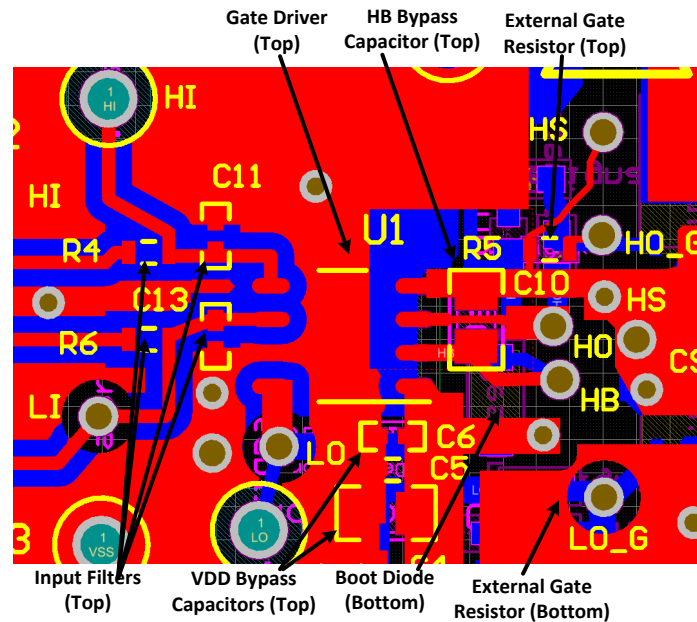


图 10-1. 布局示例

11 器件和文档支持

11.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [订阅更新](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.2 支持资源

[TI E2E™ 支持论坛](#) 是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [《使用条款》](#)。

11.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

11.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
UCC27289D	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	U289	Samples
UCC27289DR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	U289	Samples
UCC27289DRCR	ACTIVE	VSON	DRC	10	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	U289	Samples
UCC27289DRMR	ACTIVE	VSON	DRM	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	U289	Samples

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

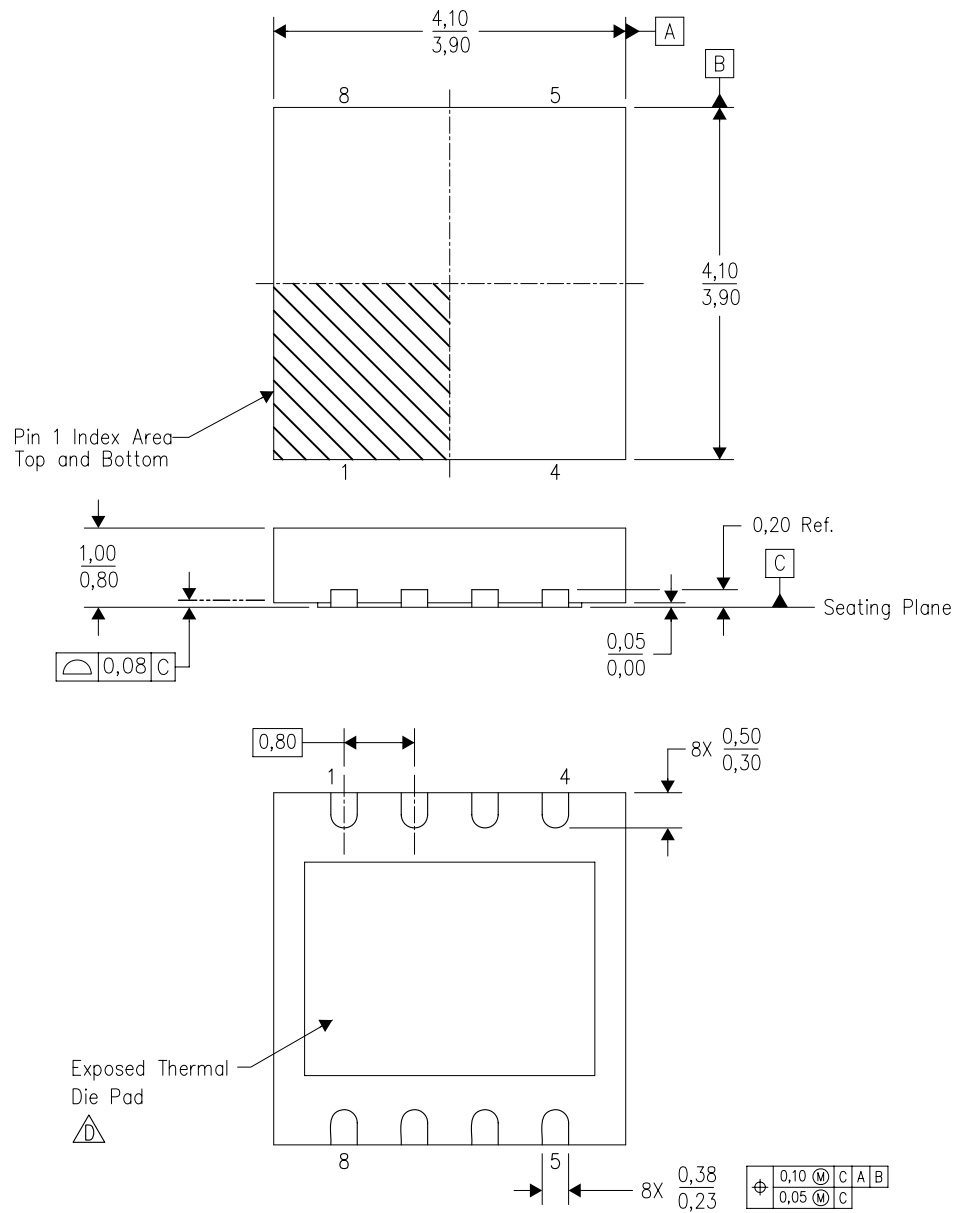
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

DRM (S-PVSON-N8)

PLASTIC SMALL OUTLINE NO-LEAD



4205854/C 02/11

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. SON (Small Outline No-Lead) package configuration.
 - The package thermal pad must be soldered to the board for thermal and mechanical performance. See the Product Data Sheet for details regarding the exposed thermal pad dimensions.



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



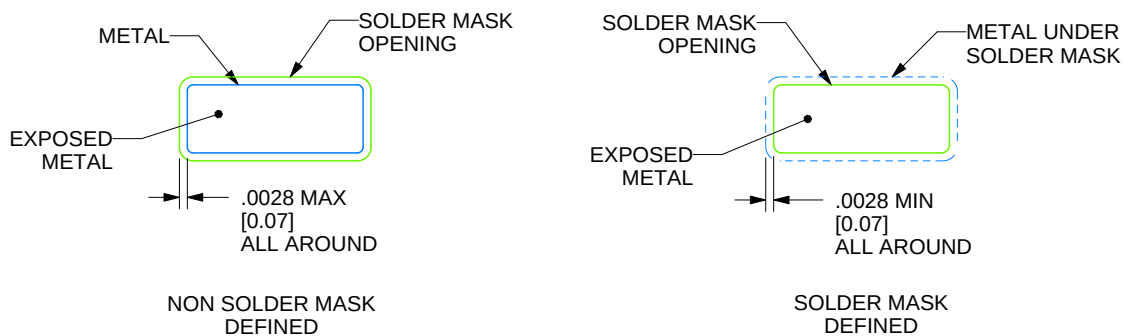
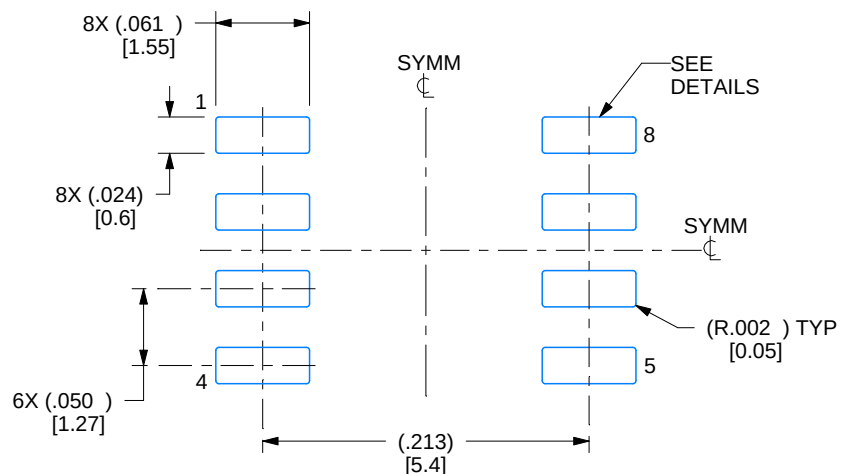
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

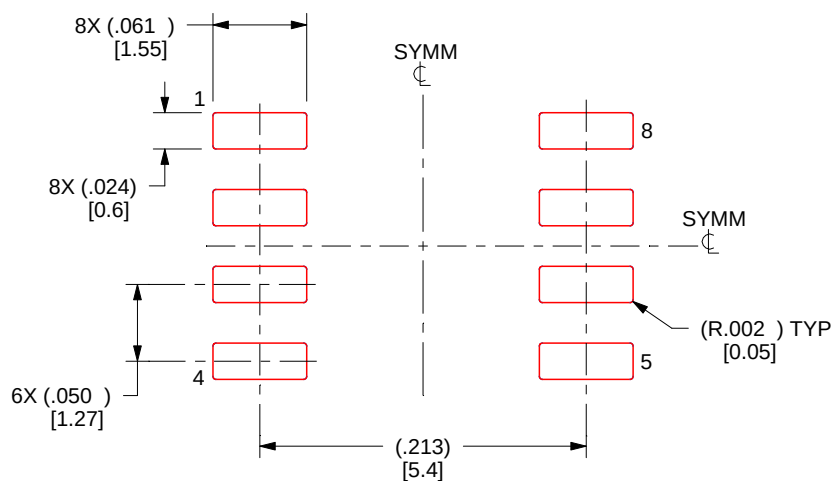
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

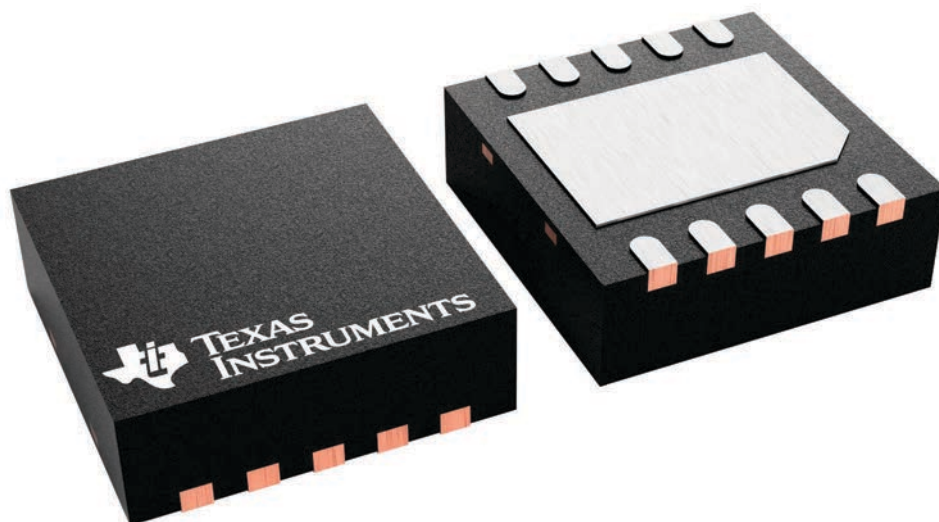
DRC 10

VSON - 1 mm max height

3 x 3, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

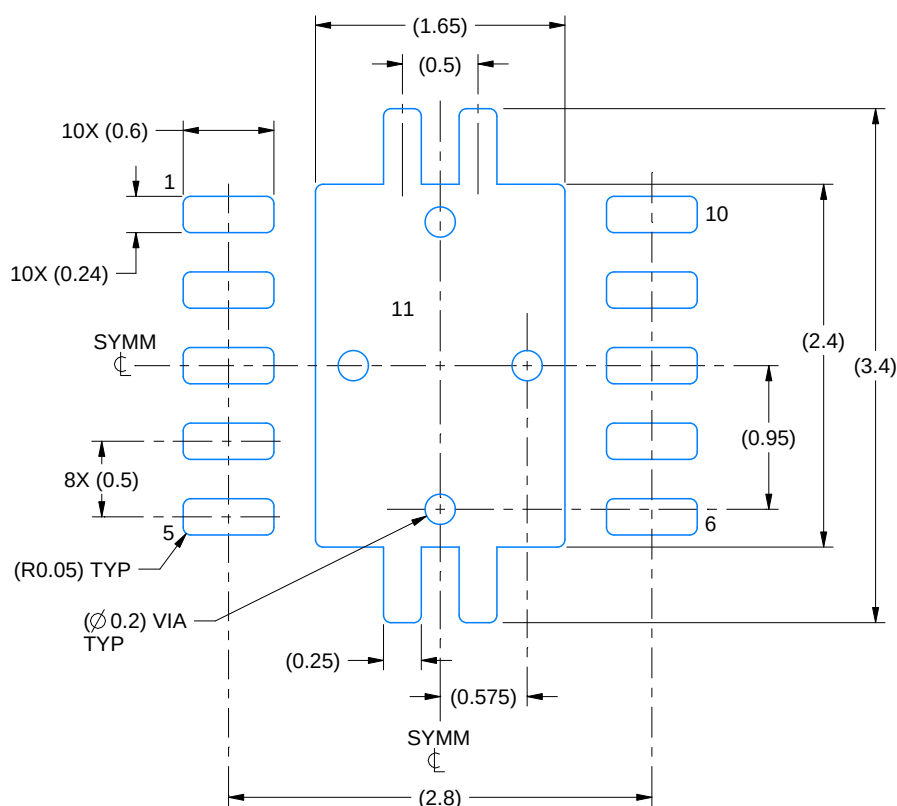


EXAMPLE BOARD LAYOUT

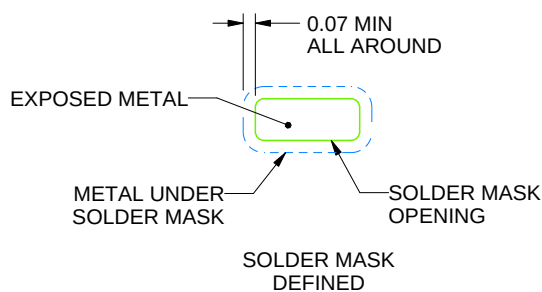
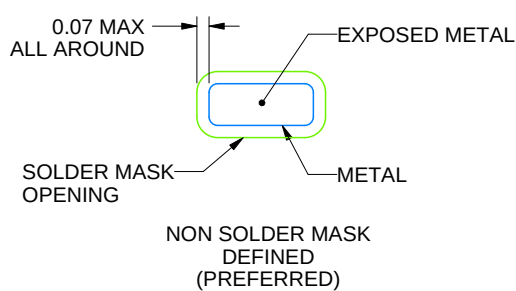
DRC0010J

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4218878/B 07/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).

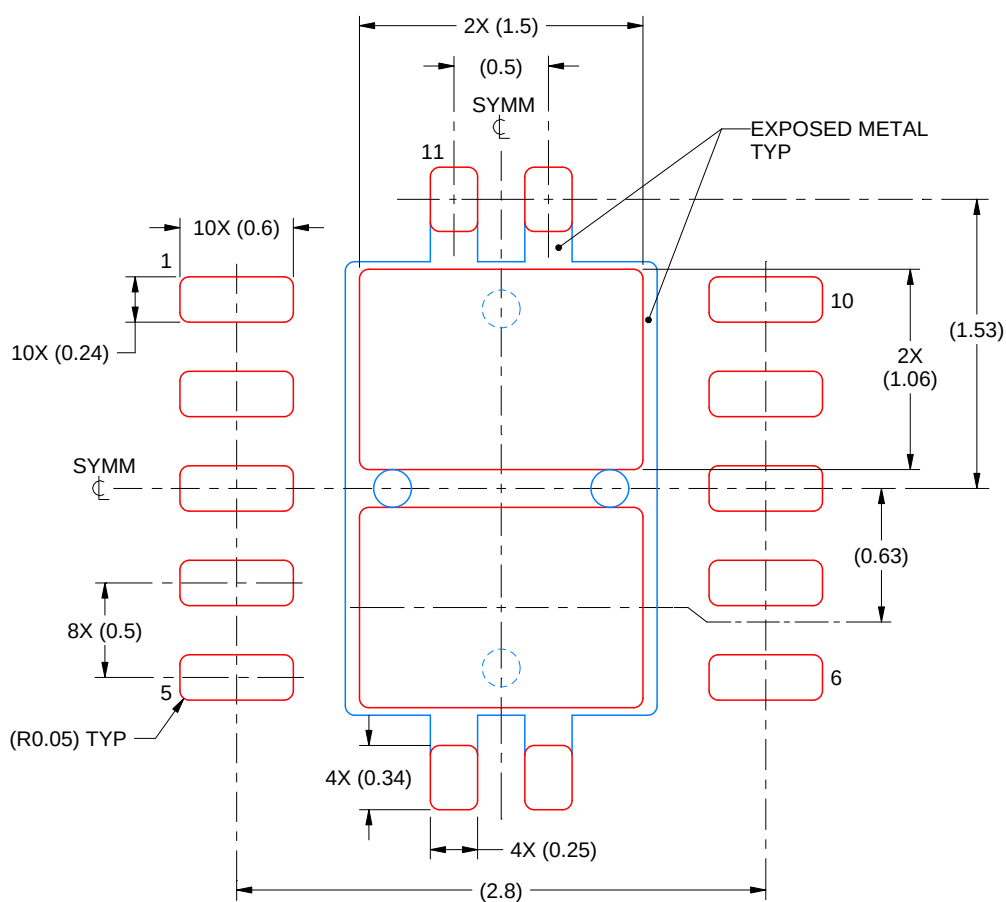
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DRC0010J

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 11:
80% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218878/B 07/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司