TMS320F280013x 实时微控制器

1 特性

- 实时处理
  - 120MHz C28x 32 位 DSP CPU
  - 在实时信号链性能方面相当于基于 240MHz Arm® Cortex®-M7 的器件（请参阅*展示 C2000™ 控制 MCU 优化信号链的实时基准测试*应用手册）
  - 浮点单元 (FPU) 可实现更精确的数学计算
  - 三角函数加速器 (TMU) 可加快实时控制系统关键算法的速度
- 片上存储器
  - 256KB (128KW) 单组闪存（ECC 保护）
  - 36KB (18KW) RAM（ECC/奇偶校验保护）
  - 双区域安全
  - 安全启动和 JTAG 锁定
- 时钟和系统控制
  - 两个内部 10MHz 振荡器
  - 外部电阻器支持，可提高内部振荡器性能 (ExtR)
  - 晶体振荡器或外部时钟输入
  - 窗口化看门狗计时器模块
  - 丢失时钟检测电路
  - 双路时钟比较器 (DCC)
- 3.3V I/O 设计
  - 内部 VREG 生成
  - 欠压复位 (BOR) 电路
- 系统外设
  - 38 个独立可编程多路复用通用输入/输出 (GPIO) 引脚（11 个与模拟共享）
  - 在模拟引脚上提供 10 路数字输入
  - 增强型外设中断扩展 (ePIE)
  - 支持多个低功耗模式 (LPM)
  - 唯一标识 (UID) 号
- 通信外设
  - 两个内部集成电路 (I2C) 端口
  - 一个控制器局域网 (CAN/DCAN) 总线端口
  - 一个串行外设接口 (SPI) 端口
  - 三个 UART 兼容的串行通信接口 (SCI)
- 模拟系统
  - 两个 4MSPS 12 位模数转换器 (ADC)
    - 多达 21 个外部通道（11 个与 GPIO 共享）
    - 每个 ADC 具有四个集成后处理块 (PPB)
  - 一个带 12 位基准数模转换器 (DAC) 的窗口比较器 (CMPSS)
    - 数字干扰滤波器
    - COMPDACOUT（11 位）
  - 三个具有 9.5 位有效基准 DAC 的窗口比较器 (CMPSS_LITE)
    - 数字干扰滤波器
- 增强型控制外设
  - 14 个 ePWM 通道，包含具有高分辨率功能（150ps 分辨率）的 2 个通道
    - 集成式死区支持
    - 集成式硬件跳闸区 (TZ)
  - 2 个增强型捕获 (eCAP) 模块
  - 一个支持 CW/CCW 运行模式的增强型正交编码器脉冲 (eQEP) 模块
  - 嵌入式图形发生器 (EPG)
- 用于 SW AES 的 CMAC 密钥（128 位）
- 封装选项：
  - 64 引脚 Low-profile Quad Flatpack (LQFP) [后缀 PM]
  - 48 引脚 LQFP [后缀 PT]
  - 48 引脚 Very Thin Quad Flatpack No Lead (VQFN) [后缀 RGZ]
  - 32 引脚 VQFN [后缀 RHB]
- 温度选项：
  - 环境温度 (T_A)：– 40°C 至 125°C

2 应用

- 电器
  - 空调室外机
    - 对于 C2000 解决方案，请参阅空调室外机部分。
  - 洗衣机和烘干机
    - 有关 C2000 解决方案，请参阅洗衣机和烘干机部分。
  - 割草机器人
    - 有关 C2000 解决方案，请参阅割草机器人部分。
  - 商用通信电源整流器
    - 有关 C2000 解决方案，请参阅商用通信电源整流器部分。
  - 电器泵和风扇
  - 电器：压缩机
  - 无线手持园艺工具
  - 无绳电动工具
  - 割草机
  - 电动工具
  - 油烟机
  - 洗碗机
  - 冰箱和冷冻柜
  - 空调室内机
  - 扫地机器人
  - 空气净化器和加湿器
  - 无线真空吸尘器
  - 搅拌器、搅拌机和食品加工机

DRAFT ONLY
Confidential – NDA Restrictions

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

  - 住宅和生活风扇
- 楼宇自动化
  - 自动门
  - HVAC 电机控制
- 工厂自动化与控制
  - 传动器
  - 自动分拣设备
- 移动机器人运动控制器
  - 纺织机
- 电机驱动器
  - 交流驱动器控制模块
  - 交流驱动器功率级模块
  - 线性电机功率级
  - 无人机螺旋桨 ESC
  - 伺服驱动器控制模块
  - 伺服驱动器功率级模块
  - 交流输入 BLDC 电机驱动器
  - 直流输入 BLDC 电机驱动器
  - 闭环步进
  - 开环步进
- 工业电源
  - 工业交流-直流
- 移动式发电站
  - UPS
- 单相在线交互式 UPS
  - 单相在线式 UPS
- 电信和服务器电源
  - 商用直流/直流
  - 商用网络和服务器 PSU
  - 商用通信电源整流器
    - 请参阅商用通信电源整流器部分。
- 电网基础设施
  - 微型逆变器
  - 快速关断
  - 太阳能电弧保护
  - 太阳能充电控制器
  - 太阳能电源优化器

3 说明

TMS320F280013x (F280013x) 是 C2000™ 实时微控制器系列的可扩展、超低延迟器件，旨在提高电力电子产品的效率。

实时控制子系统基于 TI 的 32 位 C28x DSP 内核，可针对从片上闪存或 SRAM 运行的浮点或定点代码提供 120MHz 的信号处理性能。三角函数加速器 (TMU) 进一步增强了 C28x CPU 的性能，从而加快了对实时控制系统关键的常用算法的速度。

F280013x 支持高达 256KB (128KW) 的闪存。高达 36KB (18KW) 的片上 SRAM 也可用于补充闪存。

高性能模拟块集成在 F280013x 实时微控制器 (MCU) 上，并与处理单元和 PWM 单元紧密耦合，从而提供出色的实时信号链性能。14 个 PWM 通道可控制从三相逆变器到功率因数校正的各种功率级，以及其他先进的多级电源拓扑。

各种业界通用的通信端口（如 SPI、SCI、I2C 和 CAN）不仅支持连接，还提供了多个引脚复用选项，可实现出色的信号布局。

是否想详细了解 C2000 MCU 适用于实时控制系统的特性？查看 *《使用 C2000™ 实时微控制器的基本开发指南》*，并访问 C2000™ 实时控制 MCU 页面。

C2000™ 实时控制微控制器 (MCU) 入门指南 涵盖了 C2000 器件开发中从硬件到支持资源的所有方面。除了主要的参考文档外，每个部分还提供了相关链接和资源，可帮助用户进一步了解相关信息。

准备好开始了吗？查看 TMDSCNCD2800137 评估板并下载 C2000Ware。

器件信息

器件型号(1)	封装选项	频率	闪存大小	内部稳压器
TMS320F2800137	64 PM 48 PT 48 RGZ 32 RHB	120	256KB	是
TMS320F2800135V	64 PM	120	128KB	可通过 VREGENZ 进行配置

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

器件信息 (continued)

器件型号(1)	封装选项	频率	闪存大小	内部稳压器
TMS320F2800135	64 PM 48 PT 48 RGZ 32 RHB	120	128KB	是
TMS320F2800133	64 PM 48 PT 48 RGZ 32 RHB	120	64KB	是
TMS320F2800132	48 PT 48 RGZ 32 RHB	100	64KB	是

(1) 如需更多有关这些器件的信息，请参阅器件比较表。

DRAFT ONLY
TI Confidential – NDA Restrictions

3.1 功能方框图

功能方框图展示了 CPU 系统及关联的外设。

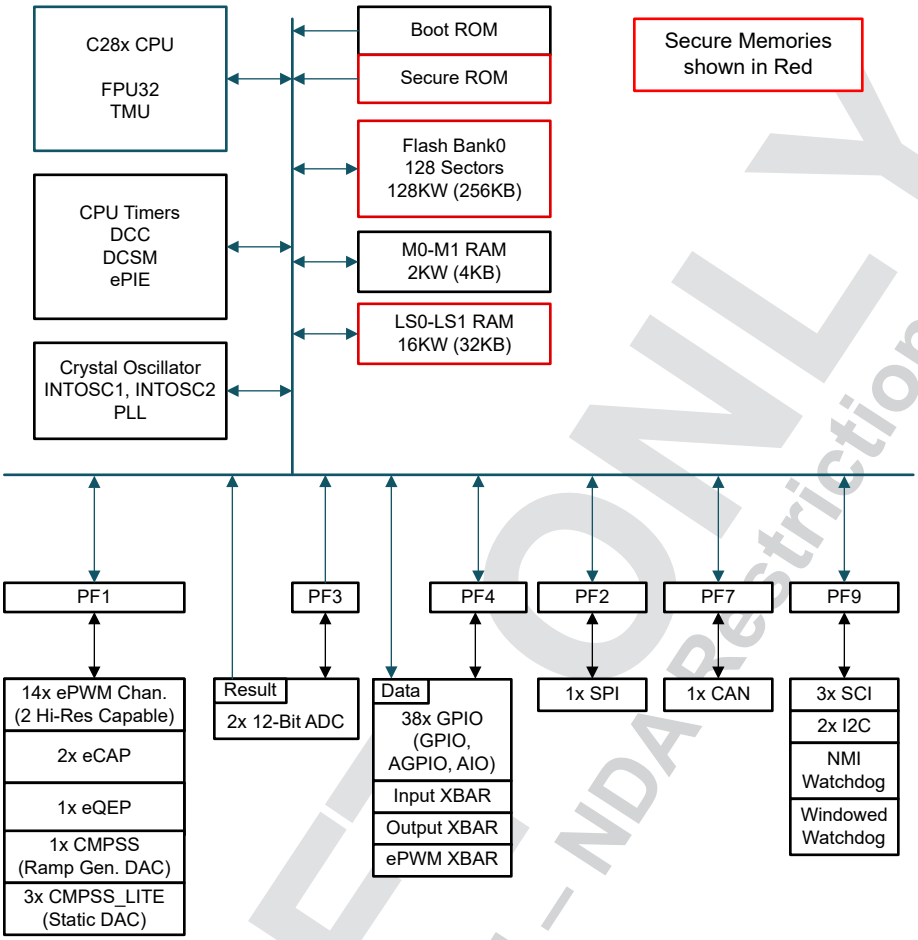


图 3-1. 功能方框图

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

内容

1 特性 1
2 应用 1
3 说明 2
3.1 功能方框图 4
修订历史记录 6
4 器件比较 8
4.1 相关产品 9
5 引脚配置和功能 10
5.1 引脚图 10
5.2 引脚属性 15
5.3 信号说明 26
5.4 引脚复用 34
5.5 GPIO 和 ADC 分配 40
5.6 带有内部上拉和下拉的引脚 40
5.7 未使用引脚的连接 41
6 规格 42
6.1 绝对最大额定值 42
6.2 ESD 等级 42
6.3 建议工作条件 43
6.4 功耗摘要 44
6.5 电气特性 50
6.6 PM 封装的热阻特性 51
6.7 PT 封装的热阻特性 51
6.8 RGZ 封装的热阻特性 51
6.9 RHB 封装的热阻特性 52
6.10 散热设计注意事项 52
6.11 系统 53
6.12 模拟外设 96
6.13 控制外设 140
6.14 通信外设 151
7 详细说明 167
7.1 概述 167
7.2 功能方框图 168
7.3 存储器 169
7.4 标识 176
7.5 C28x 处理器 177
7.6 器件引导模式 178
7.7 双代码安全模块 185
7.8 看门狗 186
7.9 C28x 计时器 187
7.10 双路时钟比较器 (DCC) 187
8 应用、实施和布局 189
8.1 应用和实现 189
8.2 器件主要特性 189
8.3 应用信息 192
9 器件和文档支持 206
9.1 入门和后续步骤 206
9.2 器件命名规则 206
9.3 标识 207
9.4 工具与软件 209
9.5 文档支持 210
9.6 支持资源 211
9.7 商标 211
9.8 静电放电警告 211
9.9 术语表 211
10 机械、封装和可订购信息 212

DRAFT ONLY
TI Confidential – NDA Restrictions

修订历史记录

Changes from OCTOBER 20, 2022 to MARCH 13, 2023 (from Revision * (October 2022) to Revision A (March 2023)) **Page**

- **通篇：**本文档中的信息和数据现在是“量产数据” 1
- **通篇：**CMPSS_LITE：将“8 位有效基准 DAC”更改为“9.5 位有效基准 DAC” 1
- *特性* 一节：添加了“实时处理”组标题并更新了组。在“实时处理”下添加了对*展示 C2000™ 控制 MCU 优化信号链的实时基准测试* 应用手册的引用。在“系统外设”下将“模拟引脚上有 21 个数字输入（11 个与 GPIO 共享）”更改为“在模拟引脚上提供 10 路数字输入” 1
- *器件信息* 表：添加了“内部稳压器”列 2
- *器件比较* 表：添加了“内部 3.3V 至 1.2V 稳压器 (VREG)”行。添加了 VREGENZ 支持行和“具有 VREGENZ 的 64 PM”封装行。 8
- *引脚图* 一节：将图标题从“*具有 VREGENZ 的* 64 引脚 PM Low-Profile Quad Flatpack（顶视图）”更改为“F2800135V 上*具有 VREGENZ* 的 64 引脚 PM Low-Profile Quad Flatpack（顶视图）” 10
- *绝对最大额定值* 表：添加了“VDD”行 42
- *建议工作条件* 表：添加了“器件电源电压，VDD”行 42
- *电气特性* 表：更新了 R_{OH} 和 R_{OL} 的最小值、典型值和最大值。添加了 $R_{PULLDOWN}$ 和 R_{PULLUP} 行。更新了“VREG 和 BOR”部分，并添加了脚注以引用*电源管理模块 (PMM)* 一节 42
- *ESD 等级* 表：添加了转角引脚 42
- *系统电流消耗 - 启用 VREG - 内部电源* 表：更新了表和脚注 44
- *系统电流消耗 - 禁用 VREG - 外部电源* 表：添加了此表 44
- *每个禁用外设的典型电流降低* 表：为具有多个实例的外设添加了限定符。添加了“EPG”行。删除了“SYSCLK=10MHz（PLL 旁路）”行 49
- *PMM 方框图*：使用更正后的 RISE DELAY 方框更新了图表 53
- *VDD 去耦* 一节：添加了有关在外部 VREG 模式下使用的实际去耦电容量的段落 55
- *电源引脚联动* 一节：添加了有关外部 VREG 模式下的 VDD 引脚的段落 56
- *电源时序摘要和违规影响* 一节：添加了*外部 VREG 序列摘要* 表 59
- *电源压摆率* 一节：添加了有关外部 VREG 模式下的 VDD 最小压摆率要求的段落和相关注释 59
- *电源管理模块运行条件* 表：添加了“外部 VREG”一节。更新了 C_{VDD} TOTAL。更新了脚注 60
- *电源管理模块特性* 表：更新了表和脚注 60
- *样本总误差计算* 表：将 T_{TEST} 更改为 $T_{OPERATING_POINT}$ 并将“测试温度”更改为“工作温度” 77
- *ExtR PCB 布局示例* 图：更新了图。 77
- *闪存参数* 表：更新了编程时间。将“每个扇区的写入/擦除周期”和“整个闪存的写入/擦除周期”替换为“每个存储体的写入/擦除周期”；添加了相关脚注 80
- *连接到 14 引脚 JTAG 接头* 图：将 TMS 线路和 3.3V 之间连接的电阻从“4.7kΩ”更改为“2.2kΩ” 82
- *连接到 20 引脚 JTAG 接头* 图：将 TMS 线路和 3.3V 之间连接的电阻从“4.7kΩ”更改为“2.2kΩ” 82
- *模拟引脚和内部连接* 表：更新了 A14/C4 的“引脚/封装”列。更新了 A19/C19 和 A20/C20 的“48 QFN”列。更新了脚注 98
- *ADC 选项和配置级别* 表：更新了“基准电压源”选项的可配置性信息。删除了有关更低引脚数封装的脚注 103
- *12 位模式下的 ADC 时序* 表：添加了脚注以引用 *TMS320F280013x 实时 MCU 器件勘误表* 中的“ADC：DMA 读取过时结果”公告 109
- *比较器子系统 (CMPSS) 模块* 一节：添加了 *CMPx_DACL* 小节 112
- *CMPSS 比较器电气特性* 表：向“迟滞”行添加了最小值和最大值 115
- *CMPSS_LITE 比较器电气特性* 表：更新了“迟滞”行的最小值、典型值和最大值。更新了“响应时间”（睡眠响应）的最大值 115
- *CMPSS_LITE DAC 静态电气特性* 表：添加了“静态 DNL”和“静态 INL”的最小值和最大值并删除了其典型值。在“分辨率”行添加了对新“单调响应时为 9.5 位有效分辨率”脚注的引用。删除了“有效分辨率（单调响应）”行 115
- *CMPx_DACL 缓冲输出的电气特性* 表：更新了“偏移”、“增益”、“DNL”和“INL”的最小值和最大值并删除了其典型值。更新了 DNL 和 INL 的单位。添加/更新了脚注 115

Copyright © 2023 Texas Instruments Incorporated

- *增强型捕捉 (eCAP)* 一节：更新了该部分 146
- *内部集成电路 (I2C)* 一节：向“支持与以下协议兼容的电压阈值”列表添加了“PMBus 1.2 及更低版本” .. 153
- *本地共享 RAM (LSx RAM)* 一节：将“所有 LSx RAM 块都具有 ECC”更改为“所有 LSx RAM 块都具有奇偶校验功能” 169
- *器件标识寄存器* 表：将 PARTIDL 位 14-13 从“INSTASPIN”更改为“保留”。为修订版 C 芯片添加了器件修订版本号 (REVID) 176
- *GPIO 分配* 一节：添加了关于“F280013x 和 F280015x CANTXA GPIO 选项 0（默认）选择不同”的注释 183
- *器件主要特性* 表：将“模数转换器 (ADC)（12 位）”行中的 3MSPS 更改为 4MSPS。将 CMPSS_LITE 从 60ns 检测时间更正为 40ns 检测时间 189
- *商用通信电源整流器资源* 一节：更新了 TIDM-1007 的标题和说明 204
- *器件命名规则* 图：从“发货选项”中删除了“T = 小卷带” 206
- *PM 封装的封装编号法* 图：更新了图。 207
- *PT 封装的封装编号法* 图：更新了图。 207
- *RGZ 封装的封装编号法* 图：更新了图。 207
- *RHB 封装的封装编号法* 图：更新了图。 207
- *F2800135V PM 封装的封装编号法* 图：删除了图 207
- *版本标识* 表：更新了器件修订版本代码 B 的注释。添加了器件修订版本代码 C 的信息 207

DRAFT ONLY
TI Confidential – NDA Restrictions

4 器件比较

表 4-1 列出了 TMS320F280013x 器件的特性。

表 4-1. 器件比较

特性[1]		F2800137	F2800135V	F2800135	F2800133	F2800132
处理器和加速器						
C28x	频率 (MHz)	120				100
	FPU32 - 0 类	是				
	TMU – 0 类	是				
存储器						
闪存		256KB (128KW)	128KB (64KW)		64KB (32KW)	
RAM		36KB (18KW)				
片上闪存和 RAM 的代码安全性		有				
系统						
32 位 CPU 计时器		3				
看门狗计时器		1				
双时钟比较 (DCC)		1				
外部中断		5				
嵌入式图形发生器 (EPG)		1				
非可屏蔽中断看门狗 (NMIWD) 计时器		1				
晶体振荡器/外部时钟输入		1				
支持 ExtR 的 INTOSC 精度[4]		+/- 1%				
内部振荡器精度 (2 INTOSC)		请参阅节 6.11.3.5				
内部 3.3V 至 1.2V 稳压器 (VREG)		是				
使用 VREGENZ 支持外部 VREG		-	是	-		
GPIO		请参阅节 5.5				
模拟外设						
ADC 12 位	ADC 数量	2				
	转换时间 (ns)[2]/MSPS（AIO 引脚）	250ns/4.00MSPS				290ns/3.45MSPS
	转换时间 (ns)[2]/MSPS（AGPIO 引脚）	266ns/3.75MSPS				300ns/3.33MSPS
	ADC 通道	请参阅节 5.5				
温度传感器		1				
比较器子系统	CMPSS（每个都包含两个比较器和两个内部动态 12 位 DAC）	1				
	CMPSS_LITE（每个都包含两个比较器和两个静态 9.5 位有效 DAC）	3				
控制外设[3]						
eCAP 模块 – 2 类		2				
ePWM/HRPWM – 4 类	总通道数	14				6
	具有高分辨率功能的通道	2 (ePWM1)				
eQEP 模块 – 2 类		1				

DRAFT ONLY
Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

表 4-1. 器件比较 (continued)

特性(1)	F2800137	F2800135V	F2800135	F2800133	F2800132
通信外设(3)					
CAN – 0 类	1				-
I2C – 1 类	2				
SCI – 0 类 (与 UART 兼容)	3				
SPI – 2 类	1				
封装、温度和资质认证选项					
64 PM	是	-	是		-
具有 VREGENZ 的 64 PM	-	是	-		-
48 PT	是	-	是		
48 RGZ	是	-	是		
32 RHB	是	-	是		
结温 (T_J)	-40°C 至 140°C				
自然通风温度 (T_A)	–40°C 至 125°C				

(1) 一个类型变化代表一个外设模块中的主要功能特性差异。在一个外设类型内，器件之间会有细微差异，但不会影响模块的基本功能性。
(2) 从采样保持窗口开始到下一次转换的采样保持窗口开始之间的时间。
(3) 对于采用多个封装的器件，较小封装中列出的外设数量会减少，因为较小封装中的可用器件引脚较少。与器件型号内提供的最大封装相比，器件内部存在的外设数量并未减少。有关确定哪些外设实例可以在较小封装中的引脚上访问，请参阅节 5。
(4) 要了解 INTOSC 精度值，请参阅节 6.11.3.5

4.1 相关产品

TMS320F2803x 实时微控制器
F2803x 系列增加了引脚数和闪存大小选项。F2803x 系列还引入了并行控制律加速器 (CLA) 选项。

TMS320F2807x 实时微控制器
F2807x 系列提供出色的性能以及最大引脚数、闪存大小和外设选项。F2807x 系列包括新一代加速器、ePWM 外设和模拟技术。

TMS320F28004x 实时微控制器
F28004x 系列是 F2807x 系列的精简版，具有最新一代的增强性能。

TMS320F2838x 实时微控制器
F2838x 系列提供更高的性能、更多的引脚数、更大的闪存大小、更多的外设以及各种连接选项。F2838x 系列包括新一代加速器、ePWM 外设和模拟技术。

TMS320F28002x 实时微控制器
F28002x 系列是 F28004x 系列的精简版，具有最新一代的增强性能。

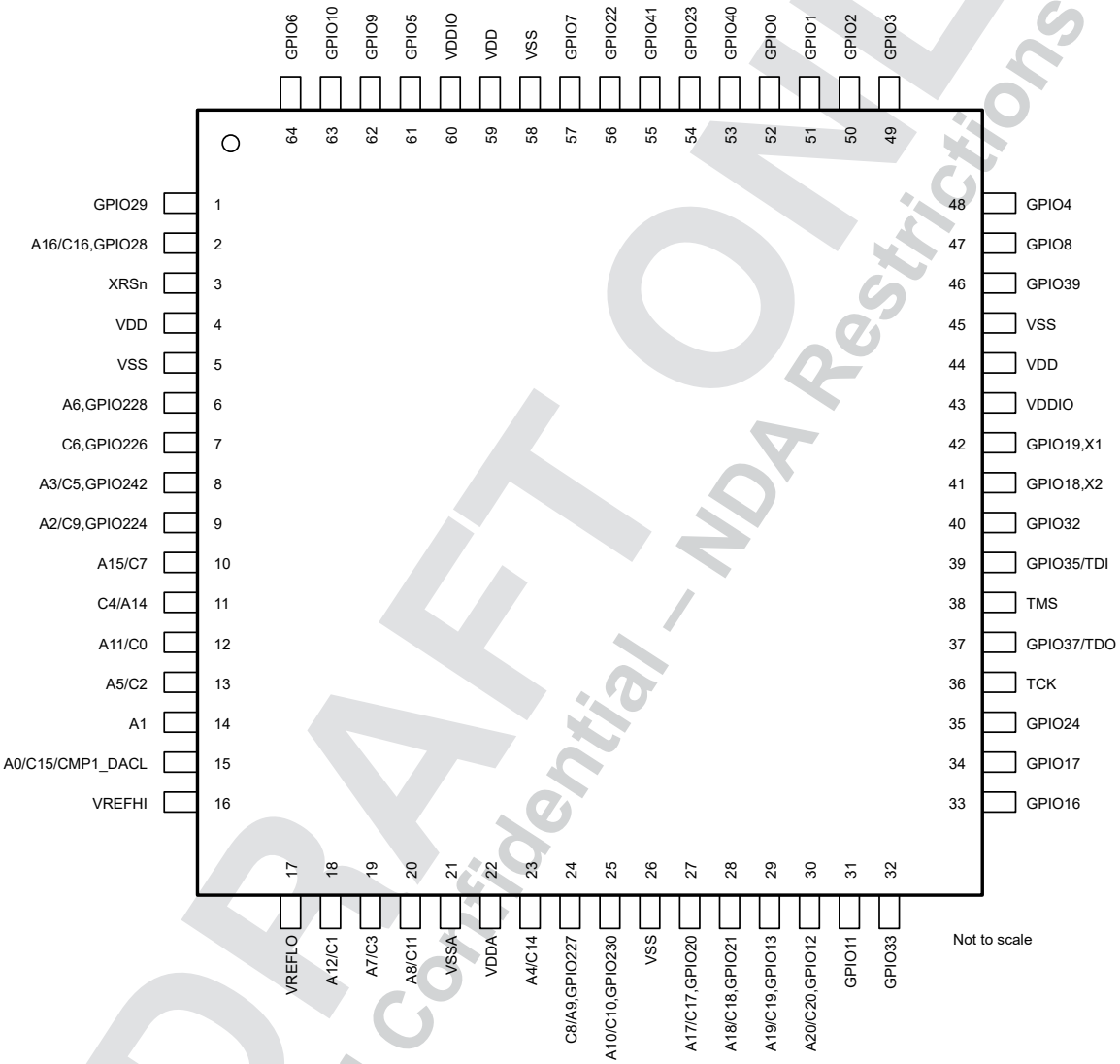
TMS320F28003x 实时微控制器
F28003x 系列基于 F28002x 系列，提供更高的频率、更多的存储器和更多的外设选项。此系列引入了 F2838x 系列的 CAN-FD 和安全特性。

DRAFT ONLY
TI Confidential – NDA Restrictions

5 引脚配置和功能

5.1 引脚图

图 5-1 展示了 64 引脚 PM Low-Profile Quad Flatpack (LQFP) 上的引脚分配。图 5-2 展示了*具有 VREGENZ 的* 64 引脚 PM LQFP 上的引脚分配。图 5-3 展示了 48 引脚 PT LQFP 上的引脚分配。图 5-4 展示了 48 引脚 RGZ Very-thin Quad Flatpack No-lead (VQFN) 上的引脚分配。图 5-5 展示了 32 引脚 RHB VQFN 上的引脚分配。

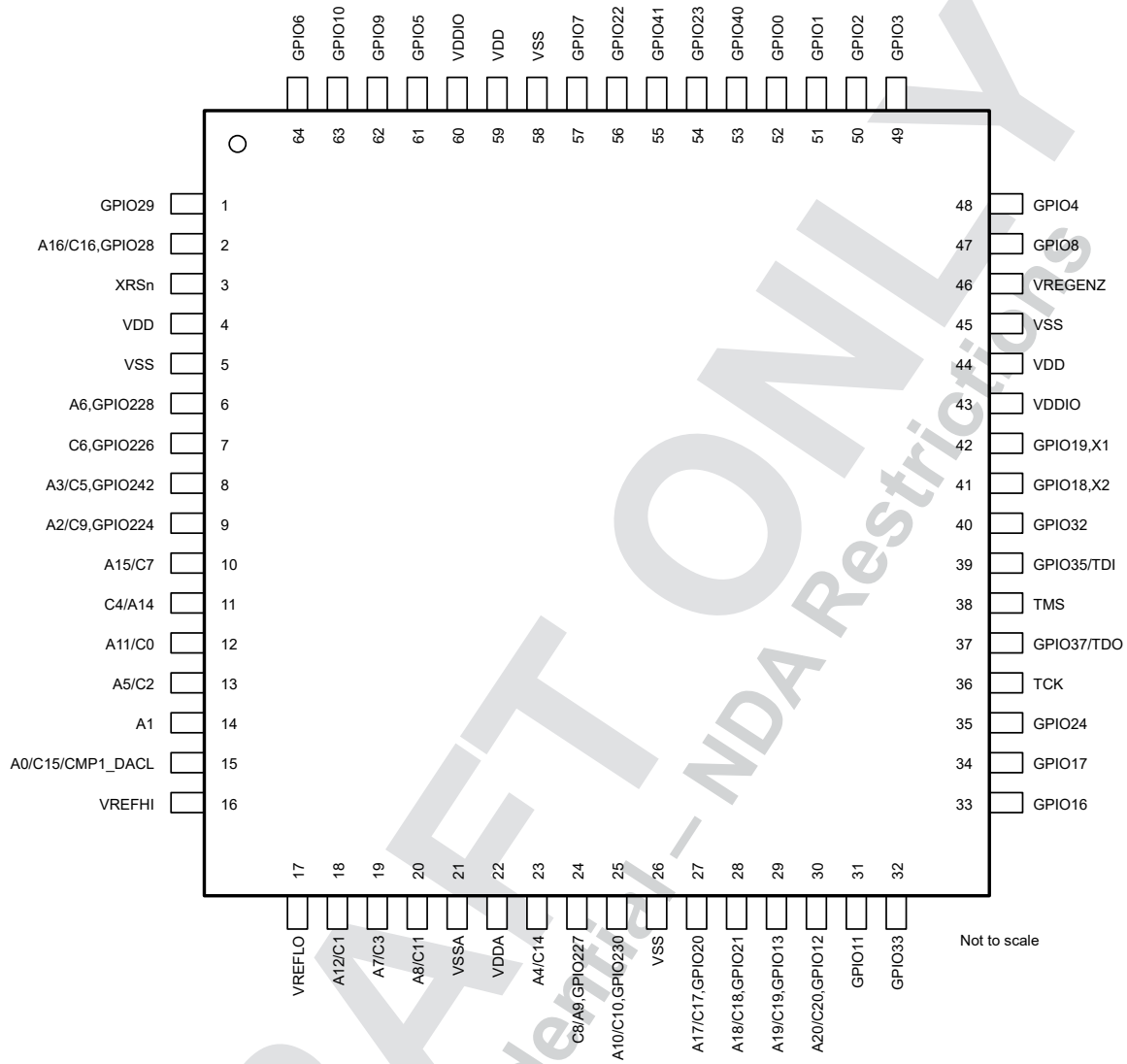


A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

图 5-1. 64 引脚 PM Low-Profile Quad Flatpack（顶视图）

DRAFT ONLY
TI Confidential – NDA Restrictions

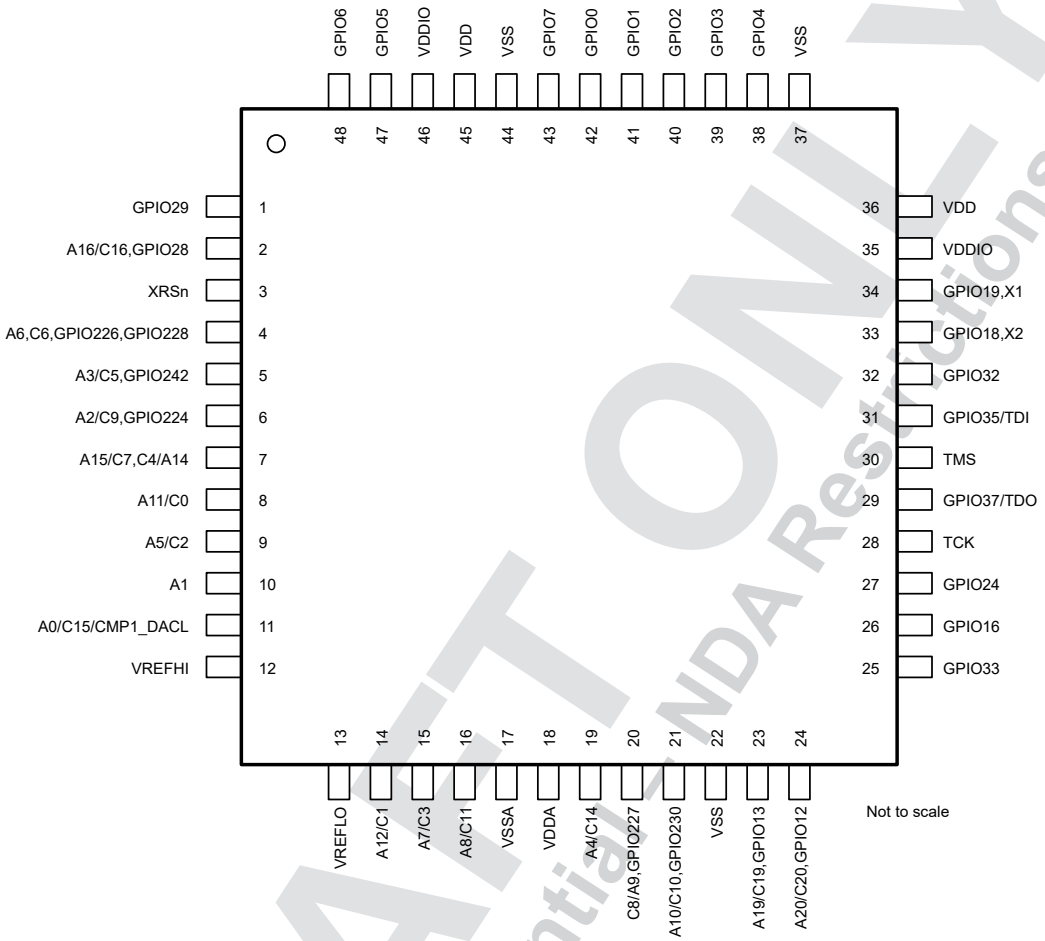
Copyright © 2023 Texas Instruments Incorporated



A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

图 5-2. F2800135V 上*具有 VREGENZ* 的 64 引脚 PM Low-Profile Quad Flatpack（顶视图）

DRAFT ONLY
TI Confidential – NDA Restrictions

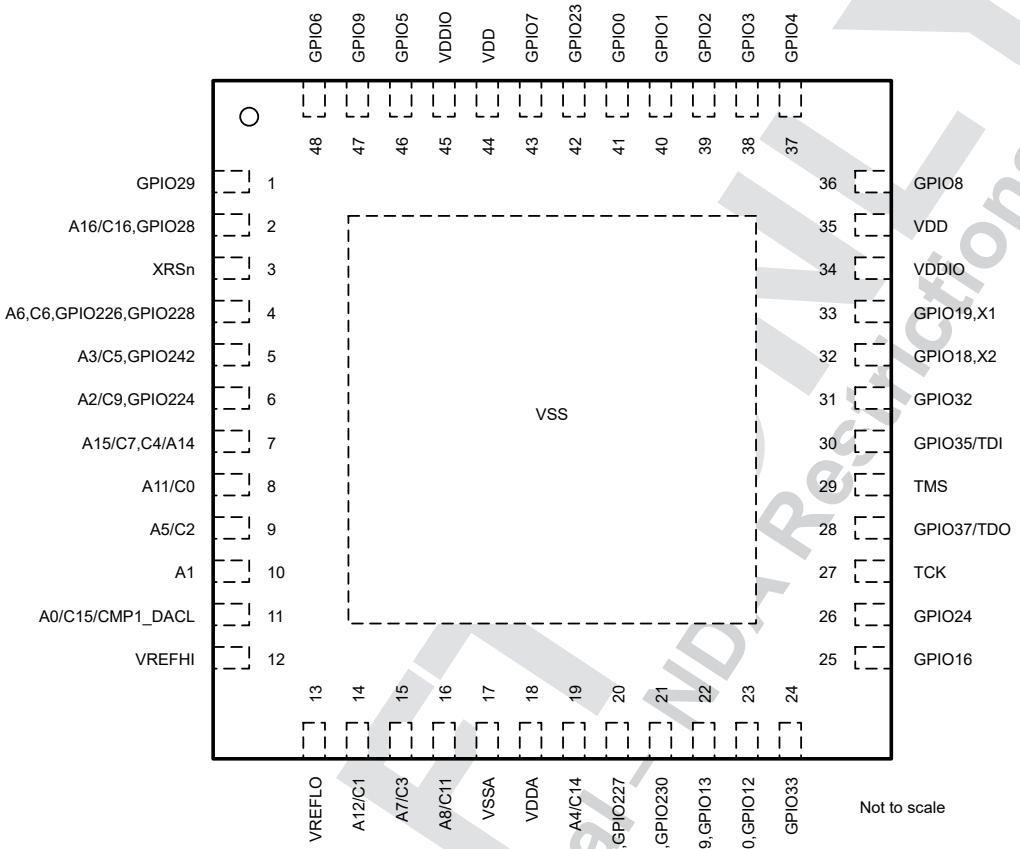


A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

图 5-3. 48 引脚 PT Low-Profile Quad Flatpack（顶视图）

DRAFT ONLY
TI Confidential – NDA Restrictions

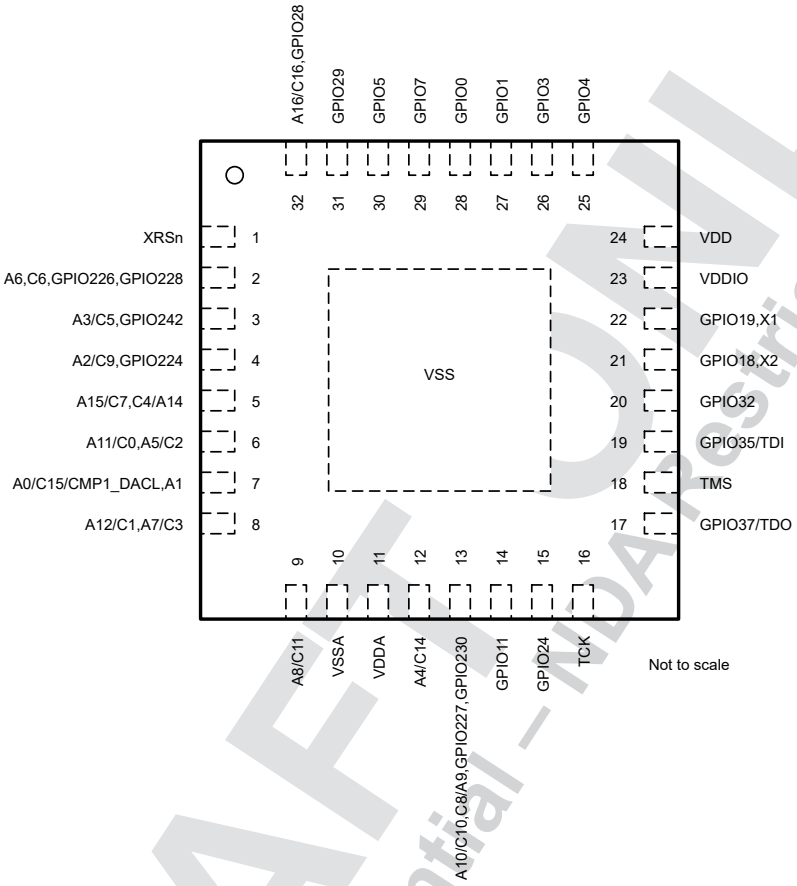
Copyright © 2023 Texas Instruments Incorporated



A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

图 5-4. 48 引脚 RGZ Very Thin Quad Flatpack No Lead（顶视图）

DRAFT
TI Confidential – NDA Restrictions



A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

图 5-5. 32 引脚 RHB Very Thin Quad Flatpack No Lead（顶视图）

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

5.2 引脚属性

表 5-1. 引脚属性

信号名称	多路复用器位置	64 VPM	64 PM	48 RGZ	48 PT	32 RHB	引脚类型	说明
模拟								
A0							I	ADC-A 输入 0
C15							I	ADC-C 输入 15
CMP1_DACL		15	15	11	11	7	I	CMPSS-1 低电平 DAC 输出
CMP3_HP2							I	CMPSS-3 高电平比较器正输入 2
CMP3_LP2							I	CMPSS-3 低电平比较器正输入 2
AIO231	0，4，8，12						I	用于数字输入 231 的模拟引脚
A1							I	ADC-A 输入 1
CMP1_HP4		14	14	10	10	7	I	CMPSS-1 高电平比较器正输入 4
CMP1_LP4							I	CMPSS-1 低电平比较器正输入 4
AIO232	0，4，8，12						I	用于数字输入 232 的模拟引脚
A2							I	ADC-A 输入 2
C9							I	ADC-C 输入 9
CMP1_HP0		9	9	6	6	4	I	CMPSS-1 高电平比较器正输入 0
CMP1_LP0							I	CMPSS-1 低电平比较器正输入 0
GPIO224							I/O	通用输入/输出 224。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A3							I	ADC-A 输入 3
C5							I	ADC-C 输入 5
CMP3_HN0							I	CMPSS-3 高电平比较器负输入 0
CMP3_HP3		8	8	5	5	3	I	CMPSS-3 高电平比较器正输入 3
CMP3_LN0							I	CMPSS-3 低电平比较器负输入 0
CMP3_LP3							I	CMPSS-3 低电平比较器正输入 3
GPIO242							I/O	通用输入/输出 242。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A4							I	ADC-A 输入 4
C14							I	ADC-C 输入 14
CMP2_HP0							I	CMPSS-2 高电平比较器正输入 0
CMP2_LP0							I	CMPSS-2 低电平比较器正输入 0
CMP4_HN0		23	23	19	19	12	I	CMPSS-4 高电平比较器负输入 0
CMP4_HP3							I	CMPSS-4 高电平比较器正输入 3
CMP4_LN0							I	CMPSS-4 低电平比较器负输入 0
CMP4_LP3							I	CMPSS-4 低电平比较器正输入 3
AIO225	0，4，8，12						I	用于数字输入 225 的模拟引脚
A5							I	ADC-A 输入 5
C2							I	ADC-C 输入 2
CMP3_HN1							I	CMPSS-3 高电平比较器负输入 1
CMP3_HP1		13	13	9	9	6	I	CMPSS-3 高电平比较器正输入 1
CMP3_LN1							I	CMPSS-3 低电平比较器负输入 1
CMP3_LP1							I	CMPSS-3 低电平比较器正输入 1
AIO244	0，4，8，12						I	用于数字输入 244 的模拟引脚
A6							I	ADC-A 输入 6
CMP1_HP2							I	CMPSS-1 高电平比较器正输入 2
CMP1_LP2		6	6	4	4	2	I	CMPSS-1 低电平比较器正输入 2
GPIO228							I/O	通用输入/输出 228。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

DRAFT ONLY
TI Confidential – NDA Restrictions

表 5-1. 引脚属性 (continued)

信号名称	多路复用器位置	64 VPM	64 PM	48 RGZ	48 PT	32 RHB	引脚类型	说明
A7							I	ADC-A 输入 7
C3							I	ADC-C 输入 3
CMP4_HN1							I	CMPSS-4 高电平比较器负输入 1
CMP4_HP1		19	19	15	15	8	I	CMPSS-4 高电平比较器正输入 1
CMP4_LN1							I	CMPSS-4 低电平比较器负输入 1
CMP4_LP1							I	CMPSS-4 低电平比较器正输入 1
AIO245	0，4，8，12						I	用于数字输入 245 的模拟引脚
A8							I	ADC-A 输入 8
C11							I	ADC-C 输入 11
CMP2_HP4							I	CMPSS-2 高电平比较器正输入 4
CMP2_LP4		20	20	16	16	9	I	CMPSS-2 低电平比较器正输入 4
CMP4_HP4							I	CMPSS-4 高电平比较器正输入 4
CMP4_LP4							I	CMPSS-4 低电平比较器正输入 4
AIO241	0，4，8，12						I	用于数字输入 241 的模拟引脚
A10							I	ADC-A 输入 10
C10							I	ADC-C 输入 10
CMP2_HN0							I	CMPSS-2 高电平比较器负输入 0
CMP2_HP3		25	25	21	21	13	I	CMPSS-2 高电平比较器正输入 3
CMP2_LN0							I	CMPSS-2 低电平比较器负输入 0
CMP2_LP3							I	CMPSS-2 低电平比较器正输入 3
GPIO230							I/O	通用输入/输出 230。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A11							I	ADC-A 输入 11
C0							I	ADC-C 输入 0
CMP1_HN1							I	CMPSS-1 高电平比较器负输入 1
CMP1_HP1		12	12	8	8	6	I	CMPSS-1 高电平比较器正输入 1
CMP1_LN1							I	CMPSS-1 低电平比较器负输入 1
CMP1_LP1							I	CMPSS-1 低电平比较器正输入 1
AIO237	0，4，8，12						I	用于数字输入 237 的模拟引脚
A12							I	ADC-A 输入 12
C1							I	ADC-C 输入 1
CMP2_HN1							I	CMPSS-2 高电平比较器负输入 1
CMP2_HP1							I	CMPSS-2 高电平比较器正输入 1
CMP2_LN1		18	18	14	14	8	I	CMPSS-2 低电平比较器负输入 1
CMP2_LP1							I	CMPSS-2 低电平比较器正输入 1
CMP4_HP2							I	CMPSS-4 高电平比较器正输入 2
CMP4_LP2							I	CMPSS-4 低电平比较器正输入 2
AIO238	0，4，8，12						I	用于数字输入 238 的模拟引脚
A15							I	ADC-A 输入 15
C7							I	ADC-C 输入 7
CMP1_HN0							I	CMPSS-1 高电平比较器负输入 0
CMP1_HP3		10	10	7	7	5	I	CMPSS-1 高电平比较器正输入 3
CMP1_LN0							I	CMPSS-1 低电平比较器负输入 0
CMP1_LP3							I	CMPSS-1 低电平比较器正输入 3
AIO233	0，4，8，12						I	用于数字输入 233 的模拟引脚

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

表 5-1. 引脚属性 (continued)

信号名称	多路复用器位置	64 VPM	64 PM	48 RGZ	48 PT	32 RHB	引脚类型	说明
A16		2	2	2	2	32	I	ADC-A 输入 16
C16							I	ADC-C 输入 16
GPIO28							I/O	通用输入/输出 28。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A17		27	27				I	ADC-A 输入 17
C17							I	ADC-C 输入 17
GPIO20							I/O	通用输入/输出 20。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A18		28	28				I	ADC-A 输入 18
C18							I	ADC-C 输入 18
GPIO21							I/O	通用输入/输出 21。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A19		29	29	22	23		I	ADC-A 输入 19
C19							I	ADC-C 输入 19
GPIO13							I/O	通用输入/输出 13。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A20		30	30	23	24		I	ADC-A 输入 20
C20							I	ADC-C 输入 20
GPIO12							I/O	通用输入/输出 12。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A14		11	11	7	7	5	I	ADC-A 输入 14
C4							I	ADC-C 输入 4
CMP3_HP4							I	CMPSS-3 高电平比较器正输入 4
CMP3_LP4							I	CMPSS-3 低电平比较器正输入 4
AIO239	0，4，8，12						I	用于数字输入 239 的模拟引脚
C6		7	7	4	4	2	I	ADC-C 输入 6
CMP3_HP0							I	CMPSS-3 高电平比较器正输入 0
CMP3_LP0							I	CMPSS-3 低电平比较器正输入 0
GPIO226							I/O	通用输入/输出 226。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A9		24	24	20	20	13	I	ADC-A 输入 9
C8							I	ADC-C 输入 8
CMP2_HP2							I	CMPSS-2 高电平比较器正输入 2
CMP2_LP2							I	CMPSS-2 低电平比较器正输入 2
CMP4_HP0							I	CMPSS-4 高电平比较器正输入 0
CMP4_LP0							I	CMPSS-4 低电平比较器正输入 0
GPIO227							I/O	通用输入/输出 227。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
VREFHI		16	16	12	12		I	ADC- 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHI 和 VREFLO 引脚之间尽可能靠近器件的位置。在 32 RHB 封装上，VREFHI 在内部连接至 VDDA。
VREFLO		17	17	13	13		I	ADC- 低基准电压

DRAFT ONLY
TI Confidential – NDA Restrictions

表 5-1. 引脚属性 (continued)

信号名称	多路复用器位置	64 VPM	64 PM	48 RGZ	48 PT	32 RHB	引脚类型	说明
GPIO								
GPIO0	0，4，8，12	52	52	41	42	28	I/O	通用输入/输出 0
EPWM1_A	1						O	ePWM-1 输出 A
CANA_RX	2						I	CAN-A 接收
OUTPUTXBAR7	3						O	输出 X-BAR 输出 7
SCIA_RX	5						I	SCI-A 接收数据
I2CA_SDA	6						I/OD	I2C-A 开漏双向数据
SPIA_STE	7						I/O	SPI-A 从器件发送使能 (STE)
EQEP1_INDEX	13						I/O	eQEP-1 索引
EPWM3_A	15						O	ePWM-3 输出 A
GPIO1	0，4，8，12	51	51	40	41	27	I/O	通用输入/输出 1
EPWM1_B	1						O	ePWM-1 输出 B
SCIA_TX	5						O	SCI-A 发送数据
I2CA_SCL	6						I/OD	I2C-A 开漏双向时钟
SPIA_SOMI	7						I/O	SPI-A 从器件输出，主器件输入 (SOMI)
EQEP1_STROBE	9						I/O	eQEP-1 选通
EPWM3_B	15						O	ePWM-3 输出 B
GPIO2	0，4，8，12	50	50	39	40		I/O	通用输入/输出 2
EPWM2_A	1						O	ePWM-2 输出 A
OUTPUTXBAR1	5						O	输出 X-BAR 输出 1
SPIA_SIMO	7						I/O	SPI-A 从器件输入，主器件输出 (SIMO)
SCIA_TX	9						O	SCI-A 发送数据
I2CB_SDA	11						I/OD	I2C-B 开漏双向数据
CANA_TX	14						O	CAN-A 发送
EPWM4_A	15						O	ePWM-4 输出 A
GPIO3	0，4，8，12	49	49	38	39	26	I/O	通用输入/输出 3
EPWM2_B	1						O	ePWM-2 输出 B
OUTPUTXBAR2	2、5						O	输出 X-BAR 输出 2
SPIA_CLK	7						I/O	SPI-A 时钟
SCIA_RX	9						I	SCI-A 接收数据
I2CB_SCL	11						I/OD	I2C-B 开漏双向时钟
CANA_RX	14						I	CAN-A 接收
EPWM4_B	15						O	ePWM-4 输出 B
GPIO4	0，4，8，12	48	48	37	38	25	I/O	通用输入/输出 4
EPWM3_A	1						O	ePWM-3 输出 A
I2CA_SCL	2						I/OD	I2C-A 开漏双向时钟
OUTPUTXBAR3	5						O	输出 X-BAR 输出 3
CANA_TX	6						O	CAN-A 发送
SPIA_SOMI	14						I/O	SPI-A 从器件输出，主器件输入 (SOMI)
EPWM1_A	15						O	ePWM-1 输出 A

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

表 5-1. 引脚属性 (continued)

信号名称	多路复用器位置	64 VPM	64 PM	48 RGZ	48 PT	32 RHB	引脚类型	说明
GPIO5	0，4，8，12	61	61	46	47	30	I/O	通用输入/输出 5
EPWM3_B	1						O	ePWM-3 输出 B
I2CA_SDA	2						I/OD	I2C-A 开漏双向数据
OUTPUTXBAR3	3						O	输出 X-BAR 输出 3
CANA_RX	6						I	CAN-A 接收
SPIA_STE	7						I/O	SPI-A 从器件发送使能 (STE)
SCIA_RX	11						I	SCI-A 接收数据
EPWM1_B	15						O	ePWM-1 输出 B
GPIO6	0，4，8，12	64	64	48	48		I/O	通用输入/输出 6
EPWM4_A	1						O	ePWM-4 输出 A
OUTPUTXBAR4	2						O	输出 X-BAR 输出 4
SYNCOUT	3						O	外部 ePWM 同步脉冲
EQEP1_A	5						I	eQEP-1 输入 A
EPWM2_A	15						O	ePWM-2 输出 A
GPIO7	0，4，8，12	57	57	43	43	29	I/O	通用输入/输出 7
EPWM4_B	1						O	ePWM-4 输出 B
EPWM2_A	2						O	ePWM-2 输出 A
OUTPUTXBAR5	3						O	输出 X-BAR 输出 5
EQEP1_B	5						I	eQEP-1 输入 B
SPIA_SIMO	7						I/O	SPI-A 从器件输入，主器件输出 (SIMO)
SCIA_TX	11						O	SCI-A 发送数据
CANA_TX	14						O	CAN-A 发送
EPWM2_B	15						O	ePWM-2 输出 B
GPIO8	0，4，8，12	47	47	36			I/O	通用输入/输出 8
EPWM5_A	1						O	ePWM-5 输出 A
ADCSOCAO	3						O	外部 ADC 的 ADC 转换启动 A
EQEP1_STROBE	5						I/O	eQEP-1 选通
SCIA_TX	6						O	SCI-A 发送数据
SPIA_SIMO	7						I/O	SPI-A 从器件输入，主器件输出 (SIMO)
I2CA_SCL	9						I/OD	I2C-A 开漏双向时钟
GPIO9	0，4，8，12	62	62	47			I/O	通用输入/输出 9
EPWM5_B	1						O	ePWM-5 输出 B
SCIB_TX	2						O	SCI-B 发送数据
OUTPUTXBAR6	3						O	输出 X-BAR 输出 6
EQEP1_INDEX	5						I/O	eQEP-1 索引
SCIA_RX	6						I	SCI-A 接收数据
SPIA_CLK	7						I/O	SPI-A 时钟
I2CB_SCL	14						I/OD	I2C-B 开漏双向时钟
GPIO10	0，4，8，12	63	63				I/O	通用输入/输出 10
EPWM6_A	1						O	ePWM-6 输出 A
ADCSOCBO	3						O	外部 ADC 的 ADC 转换启动 B
EQEP1_A	5						I	eQEP-1 输入 A
SCIB_TX	6						O	SCI-B 发送数据
SPIA_SOMI	7						I/O	SPI-A 从器件输出，主器件输入 (SOMI)
I2CA_SDA	9						I/OD	I2C-A 开漏双向数据

DRAFT ONLY
TI Confidential – NDA Restrictions

表 5-1. 引脚属性 (continued)

信号名称	多路复用器位置	64 VPM	64 PM	48 RGZ	48 PT	32 RHB	引脚类型	说明
GPIO11	0，4，8，12	31	31			14	I/O	通用输入/输出 11
EPWM6_B	1						O	ePWM-6 输出 B
CANA_RX	2						I	CAN-A 接收
OUTPUTXBAR7	3						O	输出 X-BAR 输出 7
EQEP1_B	5						I	eQEP-1 输入 B
SCIB_RX	6						I	SCI-B 接收数据
SPIA_STE	7						I/O	SPI-A 从器件发送使能 (STE)
SPIA_SIMO	13						I/O	SPI-A 从器件输入，主器件输出 (SIMO)
GPIO12	0，4，8，12	30	30	23	24		I/O	通用输入/输出 12。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM7_A	1						O	ePWM-7 输出 A
EQEP1_STROBE	5						I/O	eQEP-1 选通
SCIB_TX	6						O	SCI-B 发送数据
SPIA_CLK	11						I/O	SPI-A 时钟
CANA_RX	13						I	CAN-A 接收
GPIO13	0，4，8，12	29	29	22	23		I/O	通用输入/输出 13。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM7_B	1						O	ePWM-7 输出 B
EQEP1_INDEX	5						I/O	eQEP-1 索引
SCIB_RX	6						I	SCI-B 接收数据
SPIA_SOMI	11						I/O	SPI-A 从器件输出，主器件输入 (SOMI)
CANA_TX	13						O	CAN-A 发送
GPIO16	0，4，8，12	33	33	25	26		I/O	通用输入/输出 16
SPIA_SIMO	1						I/O	SPI-A 从器件输入，主器件输出 (SIMO)
OUTPUTXBAR7	3						O	输出 X-BAR 输出 7
EPWM5_A	5						O	ePWM-5 输出 A
SCIA_TX	6						O	SCI-A 发送数据
EQEP1_STROBE	9						I/O	eQEP-1 选通
XCLKOUT	11						O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
GPIO17	0，4，8，12	34	34				I/O	通用输入/输出 17
SPIA_SOMI	1						I/O	SPI-A 从器件输出，主器件输入 (SOMI)
OUTPUTXBAR8	3						O	输出 X-BAR 输出 8
EPWM5_B	5						O	ePWM-5 输出 B
SCIA_RX	6						I	SCI-A 接收数据
EQEP1_INDEX	9						I/O	eQEP-1 索引
CANA_TX	11						O	CAN-A 发送
EPWM6_A	14						O	ePWM-6 输出 A
GPIO18	0，4，8，12	41	41	32	33	21	I/O	通用输入/输出 18
SPIA_CLK	1						I/O	SPI-A 时钟
SCIB_TX	2						O	SCI-B 发送数据
CANA_RX	3						I	CAN-A 接收
EPWM6_A	5						O	ePWM-6 输出 A
I2CA_SCL	6						I/OD	I2C-A 开漏双向时钟
XCLKOUT	11						O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
X2	ALT						I/O	晶体振荡器输出。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

表 5-1. 引脚属性 (continued)

信号名称	多路复用器位置	64 VPM	64 PM	48 RGZ	48 PT	32 RHB	引脚类型	说明
GPIO19	0，4，8，12	42	42	33	34	22	I/O	通用输入/输出 19
SPIA_STE	1						I/O	SPI-A 从器件发送使能 (STE)
SCIB_RX	2						I	SCI-B 接收数据
CANA_TX	3						O	CAN-A 发送
EPWM6_B	5						O	ePWM-6 输出 B
I2CA_SDA	6						I/OD	I2C-A 开漏双向数据
X1	ALT						I/O	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。
ExtR	ALT2						I	用于内部振荡器的外部电阻。这可用于提高时钟精度。
GPIO20	0，4，8，12	27	27				I/O	通用输入/输出 20。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EQEP1_A	1						I	eQEP-1 输入 A
CANA_TX	3						O	CAN-A 发送
SPIA_SIMO	6						I/O	SPI-A 从器件输入，主器件输出 (SIMO)
I2CA_SCL	11						I/OD	I2C-A 开漏双向时钟
SCIC_TX	15						O	SCI-C 发送数据
GPIO21	0，4，8，12	28	28				I/O	通用输入/输出 21。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EQEP1_B	1						I	eQEP-1 输入 B
CANA_RX	3						I	CAN-A 接收
SPIA_SOMI	6						I/O	SPI-A 从器件输出，主器件输入 (SOMI)
I2CA_SDA	11						I/OD	I2C-A 开漏双向数据
SCIC_RX	15						I	SCI-C 接收数据
GPIO22	0，4，8，12	56	56				I/O	通用输入/输出 22
EQEP1_STROBE	1						I/O	eQEP-1 选通
SCIB_TX	3						O	SCI-B 发送数据
SCIC_TX	9						O	SCI-C 发送数据
EPWM4_A	14						O	ePWM-4 输出 A
GPIO23	0，4，8，12	54	54	42			I/O	通用输入/输出 23
EQEP1_INDEX	1						I/O	eQEP-1 索引
SCIB_RX	3						I	SCI-B 接收数据
SCIC_RX	9						I	SCI-C 接收数据
EPWM4_B	14						O	ePWM-4 输出 B
GPIO24	0，4，8，12	35	35	26	27	15	I/O	通用输入/输出 24
OUTPUTXBAR1	1						O	输出 X-BAR 输出 1
SPIA_STE	3						I/O	SPI-A 从器件发送使能 (STE)
EPWM4_A	5						O	ePWM-4 输出 A
SPIA_SIMO	6						I/O	SPI-A 从器件输入，主器件输出 (SIMO)
SCIA_TX	11						O	SCI-A 发送数据
ERRORSTS	13						O	错误状态输出。该输出需要一个外部下拉。

DRAFT ONLY
TI Confidential – NDA Restrictions

表 5-1. 引脚属性 (continued)

信号名称	多路复用器位置	64 VPM	64 PM	48 RGZ	48 PT	32 RHB	引脚类型	说明
GPIO28	0，4，8，12						I/O	通用输入/输出 28。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SCIA_RX	1						I	SCI-A 接收数据
EPWM7_A	3						O	ePWM-7 输出 A
OUTPUTXBAR5	5						O	输出 X-BAR 输出 5
EQEP1_A	6	2	2	2	2	32	I	eQEP-1 输入 A
SCIC_TX	10						O	SCI-C 发送数据
SPIA_CLK	11						I/O	SPI-A 时钟
ERRORSTS	13						O	错误状态输出。该信号需要一个外部下拉电阻。
I2CB_SDA	14						I/OD	I2C-B 开漏双向数据
GPIO29	0，4，8，12						I/O	通用输入/输出 29
SCIA_TX	1						O	SCI-A 发送数据
EPWM7_B	3						O	ePWM-7 输出 B
OUTPUTXBAR6	5						O	输出 X-BAR 输出 6
EQEP1_B	6	1	1	1	1	31	I	eQEP-1 输入 B
SCIC_RX	10						I	SCI-C 接收数据
SPIA_STE	11						I/O	SPI-A 从器件发送使能 (STE)
ERRORSTS	13						O	错误状态输出。该信号需要一个外部下拉电阻。
I2CB_SCL	14						I/OD	I2C-B 开漏双向时钟
GPIO32	0，4，8，12						I/O	通用输入/输出 32
I2CA_SDA	1						I/OD	I2C-A 开漏双向数据
EQEP1_INDEX	2						I/O	eQEP-1 索引
SPIA_CLK	3						I/O	SPI-A 时钟
EPWM4_B	5	40	40	31	32	20	O	ePWM-4 输出 B
SCIC_TX	6						O	SCI-C 发送数据
CANA_TX	10						O	CAN-A 发送
ADCSOCBO	13						O	外部 ADC 的 ADC 转换启动 B
GPIO33	0，4，8，12						I/O	通用输入/输出 33
I2CA_SCL	1						I/OD	I2C-A 开漏双向时钟
OUTPUTXBAR4	5						O	输出 X-BAR 输出 4
SCIC_RX	6	32	32	24	25		I	SCI-C 接收数据
CANA_RX	10						I	CAN-A 接收
ADCSOCAO	13						O	外部 ADC 的 ADC 转换启动 A
GPIO35	0，4，8，12						I/O	通用输入/输出 35
SCIA_RX	1						I	SCI-A 接收数据
SPIA_SOMI	2						I/O	SPI-A 从器件输出，主器件输入 (SOMI)
I2CA_SDA	3						I/OD	I2C-A 开漏双向数据
CANA_RX	5						I	CAN-A 接收
SCIC_RX	7	39	39	30	31	19	I	SCI-C 接收数据
EQEP1_A	9						I	eQEP-1 输入 A
EPWM5_B	11						O	ePWM-5 输出 B
TDI	15						I	JTAG 测试数据输入 (TDI) - TDI 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。如果将该引脚用作 JTAG TDI，则应启用内部上拉电阻或在电路板上添加外部上拉电阻，以避免输入悬空。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

表 5-1. 引脚属性 (continued)

信号名称	多路复用器位置	64 VPM	64 PM	48 RGZ	48 PT	32 RHB	引脚类型	说明
GPIO37	0，4，8，12	37	37	28	29	17	I/O	通用输入/输出 37
OUTPUTXBAR2	1						O	输出 X-BAR 输出 2
SPIA_STE	2						I/O	SPI-A 从器件发送使能 (STE)
I2CA_SCL	3						I/OD	I2C-A 开漏双向时钟
SCIA_TX	5						O	SCI-A 发送数据
CANA_TX	6						O	CAN-A 发送
SCIC_TX	7						O	SCI-C 发送数据
EQEP1_B	9						I	eQEP-1 输入 B
EPWM5_A	11						O	ePWM-5 输出 A
TDO	15						O	JTAG 测试数据输出 (TDO) - TDO 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。当没有 JTAG 活动时，TDO 功能将处于三态条件，使这个引脚悬空；内部上拉电阻应该被启用或者在电路板上增加一个外部上拉电阻来避免 GPIO 输入悬空。
GPIO39	0，4，8，12		46				I/O	通用输入/输出 39
SYNCOUT	13						O	外部 ePWM 同步脉冲
EQEP1_INDEX	14						I/O	eQEP-1 索引
GPIO40	0，4，8，12	53	53				I/O	通用输入/输出 40
EPWM2_B	5						O	ePWM-2 输出 B
SCIB_TX	9						O	SCI-B 发送数据
EQEP1_A	10						I	eQEP-1 输入 A
GPIO41	0，4，8，12	55	55				I/O	通用输入/输出 41
EPWM7_A	1						O	ePWM-7 输出 A
EPWM2_A	5						O	ePWM-2 输出 A
SCIB_RX	9						I	SCI-B 接收数据
EQEP1_B	10						I	eQEP-1 输入 B
GPIO224	0，4，8，12	9	9	6	6	4	I/O	通用输入/输出 224。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
OUTPUTXBAR3	5						O	输出 X-BAR 输出 3
SPIA_SIMO	6						I/O	SPI-A 从器件输入，主器件输出 (SIMO)
EPWM1_A	9						O	ePWM-1 输出 A
CANA_TX	10						O	CAN-A 发送
EQEP1_A	11						I	eQEP-1 输入 A
SCIC_TX	14						O	SCI-C 发送数据
GPIO226	0，4，8，12	7	7	4	4	2	I/O	通用输入/输出 226。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM6_A	5						O	ePWM-6 输出 A
SPIA_CLK	6						I/O	SPI-A 时钟
EPWM1_B	9						O	ePWM-1 输出 B
EQEP1_STROBE	11						I/O	eQEP-1 选通
SCIC_RX	14						I	SCI-C 接收数据
GPIO227	0，4，8，12	24	24	20	20	13	I/O	通用输入/输出 227。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
I2CB_SCL	1						I/OD	I2C-B 开漏双向时钟
EPWM3_A	3						O	ePWM-3 输出 A
OUTPUTXBAR1	5						O	输出 X-BAR 输出 1
EPWM2_B	6						O	ePWM-2 输出 B

DRAFT ONLY
TI Confidential – NDA Restrictions

表 5-1. 引脚属性 (continued)

信号名称	多路复用器位置	64 VPM	64 PM	48 RGZ	48 PT	32 RHB	引脚类型	说明
GPIO228	0，4，8，12	6	6	4	4	2	I/O	通用输入/输出 228。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
ADCSOCAO	3						O	外部 ADC 的 ADC 转换启动 A
CANA_TX	5						O	CAN-A 发送
SPIA_SOMI	6						I/O	SPI-A 从器件输出，主器件输入 (SOMI)
EPWM2_B	9						O	ePWM-2 输出 B
EQEP1_B	11						I	eQEP-1 输入 B
GPIO230	0，4，8，12	25	25	21	21	13	I/O	通用输入/输出 230。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
I2CB_SDA	1						I/OD	I2C-B 开漏双向数据
EPWM3_B	3						O	ePWM-3 输出 B
CANA_RX	5						I	CAN-A 接收
EPWM2_A	6						O	ePWM-2 输出 A
I2CA_SDA	7						I/OD	I2C-A 开漏双向数据
GPIO242	0，4，8，12	8	8	5	5	3	I/O	通用输入/输出 242。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
OUTPUTXBAR2	5						O	输出 X-BAR 输出 2
SPIA_STE	6						I/O	SPI-A 从器件发送使能 (STE)
EPWM4_A	9						O	ePWM-4 输出 A
CANA_RX	10						I	CAN-A 接收
EQEP1_INDEX	11						I/O	eQEP-1 索引
测试、JTAG 和复位								
TCK		36	36	27	28	16	I	带有内部上拉电阻的 JTAG 测试时钟。
TMS		38	38	29	30	18	I/O	带有内部上拉电阻的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。该器件没有 TRSTn 引脚。在电路板上应放置一个外部上拉电阻（推荐 2.2kΩ）以将 TMS 引脚连接至 VDDIO，从而在正常运行期间将 JTAG 保持在复位状态。
XRSn		3	3	3	3	1	I/OD	器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 2.2kΩ 至 10kΩ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。该引脚是具有内部上拉电阻的开漏输出。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。
电源和接地								
VDD		4、44、59	4、44、59	35、44	36、45	24		1.2V 数字逻辑电源引脚。TI 建议在每个 VDD 引脚附近放置一个总电容值约为 10μF 的去耦电容器。
VDDA		22	22	18	18	11		3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2μF 的去耦电容器。在 32 RHB 封装上，VREFHI 在内部连接至 VDDA。
VDDIO		43、60	43、60	34、45	35、46	23		3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小值为 0.1μF 的去耦电容器。
VREGENZ		46					I	具有内部下拉电阻的内部稳压器使能。将低电平连接到 VSS 以启用内部 VREG。将高电平连接到 VDDIO 以使用外部电源。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

表 5-1. 引脚属性 (continued)

信号名称	多路复用器位置	64 VPM	64 PM	48 RGZ	48 PT	32 RHB	引脚类型	说明
VSS		5、26、45、58	5、26、45、58	PAD	22、37、44	PAD		数字接地。对于 QFN 封装，必须将位于封装底部的接地焊盘焊接到 PCB 的接地平面。
VSSA		21	21	17	17	10		模拟接地

DRAFT ONLY
TI Confidential – NDA Restrictions

5.3 信号说明

5.3.1 模拟信号

表 5-2. 模拟信号

信号名称	引脚类型	说明	64 VPM	64 PM	48 RGZ	48 PT	32 RHB
A0	I	ADC-A 输入 0	15	15	11	11	7
A1	I	ADC-A 输入 1	14	14	10	10	7
A2	I	ADC-A 输入 2	9	9	6	6	4
A3	I	ADC-A 输入 3	8	8	5	5	3
A4	I	ADC-A 输入 4	23	23	19	19	12
A5	I	ADC-A 输入 5	13	13	9	9	6
A6	I	ADC-A 输入 6	6	6	4	4	2
A7	I	ADC-A 输入 7	19	19	15	15	8
A8	I	ADC-A 输入 8	20	20	16	16	9
A9	I	ADC-A 输入 9	24	24	20	20	13
A10	I	ADC-A 输入 10	25	25	21	21	13
A11	I	ADC-A 输入 11	12	12	8	8	6
A12	I	ADC-A 输入 12	18	18	14	14	8
A14	I	ADC-A 输入 14	11	11	7	7	5
A15	I	ADC-A 输入 15	10	10	7	7	5
A16	I	ADC-A 输入 16	2	2	2	2	32
A17	I	ADC-A 输入 17	27	27			
A18	I	ADC-A 输入 18	28	28			
A19	I	ADC-A 输入 19	29	29	22	23	
A20	I	ADC-A 输入 20	30	30	23	24	
AIO225	I	用于数字输入 225 的模拟引脚	23	23	19	19	12
AIO231	I	用于数字输入 231 的模拟引脚	15	15	11	11	7
AIO232	I	用于数字输入 232 的模拟引脚	14	14	10	10	7
AIO233	I	用于数字输入 233 的模拟引脚	10	10	7	7	5
AIO237	I	用于数字输入 237 的模拟引脚	12	12	8	8	6
AIO238	I	用于数字输入 238 的模拟引脚	18	18	14	14	8
AIO239	I	用于数字输入 239 的模拟引脚	11	11	7	7	5
AIO241	I	用于数字输入 241 的模拟引脚	20	20	16	16	9
AIO244	I	用于数字输入 244 的模拟引脚	13	13	9	9	6
AIO245	I	用于数字输入 245 的模拟引脚	19	19	15	15	8
C0	I	ADC-C 输入 0	12	12	8	8	6
C1	I	ADC-C 输入 1	18	18	14	14	8
C2	I	ADC-C 输入 2	13	13	9	9	6
C3	I	ADC-C 输入 3	19	19	15	15	8
C4	I	ADC-C 输入 4	11	11	7	7	5
C5	I	ADC-C 输入 5	8	8	5	5	3
C6	I	ADC-C 输入 6	7	7	4	4	2
C7	I	ADC-C 输入 7	10	10	7	7	5
C8	I	ADC-C 输入 8	24	24	20	20	13

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

表 5-2. 模拟信号 (continued)

信号名称	引脚类型	说明	64 VPM	64 PM	48 RGZ	48 PT	32 RHB
C9	I	ADC-C 输入 9	9	9	6	6	4
C10	I	ADC-C 输入 10	25	25	21	21	13
C11	I	ADC-C 输入 11	20	20	16	16	9
C14	I	ADC-C 输入 14	23	23	19	19	12
C15	I	ADC-C 输入 15	15	15	11	11	7
C16	I	ADC-C 输入 16	2	2	2	2	32
C17	I	ADC-C 输入 17	27	27			
C18	I	ADC-C 输入 18	28	28			
C19	I	ADC-C 输入 19	29	29	22	23	
C20	I	ADC-C 输入 20	30	30	23	24	
CMP1_DACL	I	CMPSS-1 低电平 DAC 输出	15	15	11	11	7
CMP1_HN0	I	CMPSS-1 高电平比较器负输入 0	10	10	7	7	5
CMP1_HN1	I	CMPSS-1 高电平比较器负输入 1	12	12	8	8	6
CMP1_HP0	I	CMPSS-1 高电平比较器正输入 0	9	9	6	6	4
CMP1_HP1	I	CMPSS-1 高电平比较器正输入 1	12	12	8	8	6
CMP1_HP2	I	CMPSS-1 高电平比较器正输入 2	6	6	4	4	2
CMP1_HP3	I	CMPSS-1 高电平比较器正输入 3	10	10	7	7	5
CMP1_HP4	I	CMPSS-1 高电平比较器正输入 4	14	14	10	10	7
CMP1_LN0	I	CMPSS-1 低电平比较器负输入 0	10	10	7	7	5
CMP1_LN1	I	CMPSS-1 低电平比较器负输入 1	12	12	8	8	6
CMP1_LP0	I	CMPSS-1 低电平比较器正输入 0	9	9	6	6	4
CMP1_LP1	I	CMPSS-1 低电平比较器正输入 1	12	12	8	8	6
CMP1_LP2	I	CMPSS-1 低电平比较器正输入 2	6	6	4	4	2
CMP1_LP3	I	CMPSS-1 低电平比较器正输入 3	10	10	7	7	5
CMP1_LP4	I	CMPSS-1 低电平比较器正输入 4	14	14	10	10	7
CMP2_HN0	I	CMPSS-2 高电平比较器负输入 0	25	25	21	21	13
CMP2_HN1	I	CMPSS-2 高电平比较器负输入 1	18	18	14	14	8
CMP2_HP0	I	CMPSS-2 高电平比较器正输入 0	23	23	19	19	12
CMP2_HP1	I	CMPSS-2 高电平比较器正输入 1	18	18	14	14	8
CMP2_HP2	I	CMPSS-2 高电平比较器正输入 2	24	24	20	20	13
CMP2_HP3	I	CMPSS-2 高电平比较器正输入 3	25	25	21	21	13
CMP2_HP4	I	CMPSS-2 高电平比较器正输入 4	20	20	16	16	9
CMP2_LN0	I	CMPSS-2 低电平比较器负输入 0	25	25	21	21	13
CMP2_LN1	I	CMPSS-2 低电平比较器负输入 1	18	18	14	14	8
CMP2_LP0	I	CMPSS-2 低电平比较器正输入 0	23	23	19	19	12
CMP2_LP1	I	CMPSS-2 低电平比较器正输入 1	18	18	14	14	8
CMP2_LP2	I	CMPSS-2 低电平比较器正输入 2	24	24	20	20	13
CMP2_LP3	I	CMPSS-2 低电平比较器正输入 3	25	25	21	21	13
CMP2_LP4	I	CMPSS-2 低电平比较器正输入 4	20	20	16	16	9
CMP3_HN0	I	CMPSS-3 高电平比较器负输入 0	8	8	5	5	3
CMP3_HN1	I	CMPSS-3 高电平比较器负输入 1	13	13	9	9	6
CMP3_HP0	I	CMPSS-3 高电平比较器正输入 0	7	7	4	4	2

DRAFT ONLY
Confidential – NDA Restrictions

表 5-2. 模拟信号 (continued)

信号名称	引脚类型	说明	64 VPM	64 PM	48 RGZ	48 PT	32 RHB
CMP3_HP1	I	CMPSS-3 高电平比较器正输入 1	13	13	9	9	6
CMP3_HP2	I	CMPSS-3 高电平比较器正输入 2	15	15	11	11	7
CMP3_HP3	I	CMPSS-3 高电平比较器正输入 3	8	8	5	5	3
CMP3_HP4	I	CMPSS-3 高电平比较器正输入 4	11	11	7	7	5
CMP3_LN0	I	CMPSS-3 低电平比较器负输入 0	8	8	5	5	3
CMP3_LN1	I	CMPSS-3 低电平比较器负输入 1	13	13	9	9	6
CMP3_LP0	I	CMPSS-3 低电平比较器正输入 0	7	7	4	4	2
CMP3_LP1	I	CMPSS-3 低电平比较器正输入 1	13	13	9	9	6
CMP3_LP2	I	CMPSS-3 低电平比较器正输入 2	15	15	11	11	7
CMP3_LP3	I	CMPSS-3 低电平比较器正输入 3	8	8	5	5	3
CMP3_LP4	I	CMPSS-3 低电平比较器正输入 4	11	11	7	7	5
CMP4_HN0	I	CMPSS-4 高电平比较器负输入 0	23	23	19	19	12
CMP4_HN1	I	CMPSS-4 高电平比较器负输入 1	19	19	15	15	8
CMP4_HP0	I	CMPSS-4 高电平比较器正输入 0	24	24	20	20	13
CMP4_HP1	I	CMPSS-4 高电平比较器正输入 1	19	19	15	15	8
CMP4_HP2	I	CMPSS-4 高电平比较器正输入 2	18	18	14	14	8
CMP4_HP3	I	CMPSS-4 高电平比较器正输入 3	23	23	19	19	12
CMP4_HP4	I	CMPSS-4 高电平比较器正输入 4	20	20	16	16	9
CMP4_LN0	I	CMPSS-4 低电平比较器负输入 0	23	23	19	19	12
CMP4_LN1	I	CMPSS-4 低电平比较器负输入 1	19	19	15	15	8
CMP4_LP0	I	CMPSS-4 低电平比较器正输入 0	24	24	20	20	13
CMP4_LP1	I	CMPSS-4 低电平比较器正输入 1	19	19	15	15	8
CMP4_LP2	I	CMPSS-4 低电平比较器正输入 2	18	18	14	14	8
CMP4_LP3	I	CMPSS-4 低电平比较器正输入 3	23	23	19	19	12
CMP4_LP4	I	CMPSS-4 低电平比较器正输入 4	20	20	16	16	9
GPIO12	I/O	通用输入/输出 12	30	30	23	24	
GPIO13	I/O	通用输入/输出 13	29	29	22	23	
GPIO20	I/O	通用输入/输出 20	27	27			
GPIO21	I/O	通用输入/输出 21	28	28			
GPIO28	I/O	通用输入/输出 28	2	2	2	2	32
GPIO224	I/O	通用输入/输出 224	9	9	6	6	4
GPIO226	I/O	通用输入/输出 226	7	7	4	4	2
GPIO227	I/O	通用输入/输出 227	24	24	20	20	13
GPIO228	I/O	通用输入/输出 228	6	6	4	4	2
GPIO230	I/O	通用输入/输出 230	25	25	21	21	13
GPIO242	I/O	通用输入/输出 242	8	8	5	5	3
VREFHI	I	ADC- 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHI 和 VREFLO 引脚之间尽可能靠近器件的位置。在 32 RHB 封装上，VREFHI 在内部连接至 VDDA。	16	16	12	12	

TI Confidential – NDA Restrictions
DRAFT ONLY

Copyright © 2023 Texas Instruments Incorporated

表 5-2. 模拟信号 (continued)

信号名称	引脚类型	说明	64 VPM	64 PM	48 RGZ	48 PT	32 RHB
VREFLO	I	ADC- 低基准电压	17	17	13	13	

DRAFT ONLY
TI Confidential – NDA Restrictions

5.3.2 数字信号

表 5-3. 数字信号

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	64 VPM	64 PM	48 RGZ	48 PT	32 RHB
ADCSOCAO	O	外部 ADC 的 ADC 转换启动 A	8、33、228	6、32、47	6、32、47	4、24、36	4、25	2
ADCSOCBO	O	外部 ADC 的 ADC 转换启动 B	10、32	40、63	40、63	31	32	20
CANA_RX	I	CAN-A 接收	0、3、5、11、12、18、21、33、35、230、242	8、25、28、30、31、32、39、41、49、52、61	8、25、28、30、31、32、39、41、49、52、61	5、21、23、24、30、32、38、41、46	5、21、24、25、31、33、39、42、47	3、13、14、19、21、26、28、30
CANA_TX	O	CAN-A 发送	2、4、7、13、17、19、20、32、37、224、228	6、9、27、29、34、37、40、42、48、50、57	6、9、27、29、34、37、40、42、48、50、57	4、6、22、28、31、33、37、39、43	4、6、23、29、32、34、38、40、43	2、4、17、20、22、25、29
EPWM1_A	O	ePWM-1 输出 A	0、4、224	9、48、52	9、48、52	6、37、41	6、38、42	4、25、28
EPWM1_B	O	ePWM-1 输出 B	1、5、226	7、51、61	7、51、61	4、40、46	4、41、47	2、27、30
EPWM2_A	O	ePWM-2 输出 A	2、6、7、41、230	25、50、55、57、64	25、50、55、57、64	21、39、43、48	21、40、43、48	13、29
EPWM2_B	O	ePWM-2 输出 B	3、7、40、227、228	6、24、49、53、57	6、24、49、53、57	4、20、38、43	4、20、39、43	2、13、26、29
EPWM3_A	O	ePWM-3 输出 A	0、4、227	24、48、52	24、48、52	20、37、41	20、38、42	13、25、28
EPWM3_B	O	ePWM-3 输出 B	1、5、230	25、51、61	25、51、61	21、40、46	21、41、47	13、27、30
EPWM4_A	O	ePWM-4 输出 A	2、6、22、24、242	8、35、50、56、64	8、35、50、56、64	5、26、39、48	5、27、40、48	3、15
EPWM4_B	O	ePWM-4 输出 B	3、7、23、32	40、49、54、57	40、49、54、57	31、38、42、43	32、39、43	20、26、29
EPWM5_A	O	ePWM-5 输出 A	8、16、37	33、37、47	33、37、47	25、28、36	26、29	17
EPWM5_B	O	ePWM-5 输出 B	9、17、35	34、39、62	34、39、62	30、47	31	19
EPWM6_A	O	ePWM-6 输出 A	10、17、18、226	7、34、41、63	7、34、41、63	4、32	4、33	2、21
EPWM6_B	O	ePWM-6 输出 B	11、19	31、42	31、42	33	34	14、22
EPWM7_A	O	ePWM-7 输出 A	12、28、41	2、30、55	2、30、55	2、23	2、24	32
EPWM7_B	O	ePWM-7 输出 B	13、29	1、29	1、29	1、22	1、23	31
EQEP1_A	I	eQEP-1 输入 A	6、10、20、28、35、40、224	2、9、27、39、53、63、64	2、9、27、39、53、63、64	2、6、30、48	2、6、31、48	4、19、32
EQEP1_B	I	eQEP-1 输入 B	7、11、21、29、37、41、228	1、6、28、31、37、55、57	1、6、28、31、37、55、57	1、4、28、43	1、4、29、43	2、14、17、29、31
EQEP1_INDEX	I/O	eQEP-1 索引	0、9、13、17、23、32、39、242	8、29、34、40、52、54、62	8、29、34、40、46、52、54、62	5、22、31、41、42、47	5、23、32、42	3、20、28
EQEP1_STROBE	I/O	eQEP-1 选通	1、8、12、16、22、226	7、30、33、47、51、56	7、30、33、47、51、56	4、23、25、36、40	4、24、26、41	2、27
ERRORSTS	O	错误状态输出。该信号需要一个外部下拉电阻。	24、28、29	1、2、35	1、2、35	1、2、26	1、2、27	15、31、32
ExtR	I	用于内部振荡器的外部电阻。这可用于提高时钟精度。	19	42	42	33	34	22
GPIO0	I/O	通用输入/输出 0	0	52	52	41	42	28
GPIO1	I/O	通用输入/输出 1	1	51	51	40	41	27
GPIO2	I/O	通用输入/输出 2	2	50	50	39	40	
GPIO3	I/O	通用输入/输出 3	3	49	49	38	39	26
GPIO4	I/O	通用输入/输出 4	4	48	48	37	38	25
GPIO5	I/O	通用输入/输出 5	5	61	61	46	47	30
GPIO6	I/O	通用输入/输出 6	6	64	64	48	48	
GPIO7	I/O	通用输入/输出 7	7	57	57	43	43	29
GPIO8	I/O	通用输入/输出 8	8	47	47	36		
GPIO9	I/O	通用输入/输出 9	9	62	62	47		
GPIO10	I/O	通用输入/输出 10	10	63	63			
GPIO11	I/O	通用输入/输出 11	11	31	31			14

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

表 5-3. 数字信号 (continued)

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	64 VPM	64 PM	48 RGZ	48 PT	32 RHB
GPIO12	I/O	通用输入/输出 12	12	30	30	23	24	
GPIO13	I/O	通用输入/输出 13	13	29	29	22	23	
GPIO16	I/O	通用输入/输出 16	16	33	33	25	26	
GPIO17	I/O	通用输入/输出 17	17	34	34			
GPIO18	I/O	通用输入/输出 18	18	41	41	32	33	21
GPIO19	I/O	通用输入/输出 19	19	42	42	33	34	22
GPIO20	I/O	通用输入/输出 20	20	27	27			
GPIO21	I/O	通用输入/输出 21	21	28	28			
GPIO22	I/O	通用输入/输出 22	22	56	56			
GPIO23	I/O	通用输入/输出 23	23	54	54	42		
GPIO24	I/O	通用输入/输出 24	24	35	35	26	27	15
GPIO28	I/O	通用输入/输出 28	28	2	2	2	2	32
GPIO29	I/O	通用输入/输出 29	29	1	1	1	1	31
GPIO32	I/O	通用输入/输出 32	32	40	40	31	32	20
GPIO33	I/O	通用输入/输出 33	33	32	32	24	25	
GPIO35	I/O	通用输入/输出 35	35	39	39	30	31	19
GPIO37	I/O	通用输入/输出 37	37	37	37	28	29	17
GPIO39	I/O	通用输入/输出 39	39		46			
GPIO40	I/O	通用输入/输出 40	40	53	53			
GPIO41	I/O	通用输入/输出 41	41	55	55			
GPIO224	I/O	通用输入/输出 224	224	9	9	6	6	4
GPIO226	I/O	通用输入/输出 226	226	7	7	4	4	2
GPIO227	I/O	通用输入/输出 227	227	24	24	20	20	13
GPIO228	I/O	通用输入/输出 228	228	6	6	4	4	2
GPIO230	I/O	通用输入/输出 230	230	25	25	21	21	13
GPIO242	I/O	通用输入/输出 242	242	8	8	5	5	3
I2CA_SCL	I/OD	I2C-A 开漏双向时钟	1、4、8、18、20、33、37	27、32、37、41、47、48、51	27、32、37、41、47、48、51	24、28、32、36、37、40	25、29、33、38、41	17、21、25、27
I2CA_SDA	I/OD	I2C-A 开漏双向数据	0、5、10、19、21、32、35、230	25、28、39、40、42、52、61、63	25、28、39、40、42、52、61、63	21、30、31、33、41、46	21、31、32、34、42、47	13、19、20、22、28、30
I2CB_SCL	I/OD	I2C-B 开漏双向时钟	3、9、29、227	1、24、49、62	1、24、49、62	1、20、38、47	1、20、39	13、26、31
I2CB_SDA	I/OD	I2C-B 开漏双向数据	2、28、230	2、25、50	2、25、50	2、21、39	2、21、40	13、32
OUTPUTXBAR1	O	输出 X-BAR 输出 1	2、24、227	24、35、50	24、35、50	20、26、39	20、27、40	13、15
OUTPUTXBAR2	O	输出 X-BAR 输出 2	3、37、242	8、37、49	8、37、49	5、28、38	5、29、39	3、17、26
OUTPUTXBAR3	O	输出 X-BAR 输出 3	4、5、224	9、48、61	9、48、61	6、37、46	6、38、47	4、25、30
OUTPUTXBAR4	O	输出 X-BAR 输出 4	6、33	32、64	32、64	24、48	25、48	
OUTPUTXBAR5	O	输出 X-BAR 输出 5	7、28	2、57	2、57	2、43	2、43	29、32
OUTPUTXBAR6	O	输出 X-BAR 输出 6	9、29	1、62	1、62	1、47	1	31
OUTPUTXBAR7	O	输出 X-BAR 输出 7	0、11、16	31、33、52	31、33、52	25、41	26、42	14、28
OUTPUTXBAR8	O	输出 X-BAR 输出 8	17	34	34			
SCIA_RX	I	SCI-A 接收数据	0、3、5、9、17、28、35	2、34、39、49、52、61、62	2、34、39、49、52、61、62	2、30、38、41、46、47	2、31、39、42、47	19、26、28、30、32
SCIA_TX	O	SCI-A 发送数据	1、2、7、8、16、24、29、37	1、33、35、37、47、50、51、57	1、33、35、37、47、50、51、57	1、25、26、28、36、39、40、43	1、26、27、29、40、41、43	15、17、27、29、31
SCIB_RX	I	SCI-B 接收数据	11、13、19、23、41	29、31、42、54、55	29、31、42、54、55	22、33、42	23、34	14、22
SCIB_TX	O	SCI-B 发送数据	9、10、12、18、22、40	30、41、53、56、62、63	30、41、53、56、62、63	23、32、47	24、33	21
SCIC_RX	I	SCI-C 接收数据	21、23、29、33、35、226	1、7、28、32、39、54	1、7、28、32、39、54	1、4、24、30、42	1、4、25、31	2、19、31

DRAFT ONLY
TI Confidential – NDA Restrictions

表 5-3. 数字信号 (continued)

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	64 VPM	64 PM	48 RGZ	48 PT	32 RHB
SCIC_TX	O	SCI-C 发送数据	20、22、28、32、37、224	2、9、27、37、40、56	2、9、27、37、40、56	2、6、28、31	2、6、29、32	4、17、20、32
SPIA_CLK	I/O	SPI-A 时钟	3、9、12、18、28、32、226	2、7、30、40、41、49、62	2、7、30、40、41、49、62	2、4、23、31、32、38、47	2、4、24、32、33、39	2、20、21、26、32
SPIA_SIMO	I/O	SPI-A 从器件输入，主器件输出 (SIMO)	2、7、8、11、16、20、24、224	9、27、31、33、35、47、50、57	9、27、31、33、35、47、50、57	6、25、26、36、39、43	6、26、27、40、43	4、14、15、29
SPIA_SOMI	I/O	SPI-A 从器件输出，主器件输入 (SOMI)	1、4、10、13、17、21、35、228	6、28、29、34、39、48、51、63	6、28、29、34、39、48、51、63	4、22、30、37、40	4、23、31、38、41	2、19、25、27
SPIA_STE	I/O	SPI-A 从器件发送使能 (STE)	0、5、11、19、24、29、37、242	1、8、31、35、37、42、52、61	1、8、31、35、37、42、52、61	1、5、26、28、33、41、46	1、5、27、29、34、42、47	3、14、15、17、22、28、30、31
SYNCOUT	O	外部 ePWM 同步脉冲	6、39	64	46、64	48	48	
TDI	I	JTAG 测试数据输入 (TDI) - TDI 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。如果将该引脚用作 JTAG TDI，则应启用内部上拉电阻或在电路板上添加外部上拉电阻，以避免输入悬空。	35	39	39	30	31	19
TDO	O	JTAG 测试数据输出 (TDO) - TDO 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。当没有 JTAG 活动时，TDO 功能将处于三态条件，使这个引脚悬空；内部上拉电阻应该被启用或者在电路板上增加一个外部上拉电阻来避免 GPIO 输入悬空。	37	37	37	28	29	17
X1	I/O	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。	19	42	42	33	34	22
X2	I/O	晶体振荡器输出。	18	41	41	32	33	21
XCLKOUT	O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。	16、18	33、41	33、41	25、32	26、33	21

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

5.3.3 电源和接地

表 5-4. 电源和接地

信号名称	引脚类型	说明	64 VPM	64 PM	48 RGZ	48 PT	32 RHB
VDD		1.2V 数字逻辑电源引脚。TI 建议在每个 VDD 引脚附近放置一个总电容值约为 10μF 的去耦电容器。	4、44、59	4、44、59	35、44	36、45	24
VDDA		3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2μF 的去耦电容器。在 32 RHB 封装上，VREFHI 在内部连接至 VDDA。	22	22	18	18	11
VDDIO		3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小值为 0.1μF 的去耦电容器。	43、60	43、60	34、45	35、46	23
VREGENZ	I	具有内部下拉电阻的内部稳压器使能。将低电平连接到 VSS 以启用内部 VREG。将高电平连接到 VDDIO 以使用外部电源。	46				
VSS		数字接地。对于 QFN 封装，必须将位于封装底部的接地焊盘焊接到 PCB 的接地平面。	5、26、45、58	5、26、45、58	PAD	22、37、44	PAD
VSSA		模拟接地	21	21	17	17	10

DRAFT ONLY
TI Confidential – NDA Restrictions

5.3.4 测试、JTAG 和复位

表 5-5. 测试、JTAG 和复位

信号名称	引脚类型	说明	64 VPM	64 PM	48 RGZ	48 PT	32 RHB
TCK	I	带有内部上拉电阻的 JTAG 测试时钟。	36	36	27	28	16
TMS	I/O	带有内部上拉电阻的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。该器件没有 TRSTn 引脚。在电路板上应放置一个外部上拉电阻（推荐 2.2kΩ）以将 TMS 引脚连接至 VDDIO，从而在正常运行期间将 JTAG 保持在复位状态。	38	38	29	30	18
XRSn	I/OD	器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 2.2kΩ 至 10kΩ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。该引脚是具有内部上拉电阻的开漏输出。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。	3	3	3	3	1

5.4 引脚复用

5.4.1 GPIO 多路复用引脚

节 5.4.1.1 列出了 GPIO 多路复用引脚。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

5.4.1.1 GPIO 多路复用引脚

表 5-6. GPIO 多路复用引脚

0 , 4 , 8 , 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO0	EPWM1_A	CANA_RX	OUTPUTXBAR7	SCIA_RX	I2CA_SDA	SPIA_STE				EQEP1_INDEX		EPWM3_A	
GPIO1	EPWM1_B			SCIA_TX	I2CA_SCL	SPIA_SOMI	EQEP1_STROBE					EPWM3_B	
GPIO2	EPWM2_A			OUTPUTXBAR1		SPIA_SIMO	SCIA_TX		I2CB_SDA		CANA_TX	EPWM4_A	
GPIO3	EPWM2_B	OUTPUTXBAR2		OUTPUTXBAR2		SPIA_CLK	SCIA_RX		I2CB_SCL		CANA_RX	EPWM4_B	
GPIO4	EPWM3_A	I2CA_SCL		OUTPUTXBAR3	CANA_TX						SPIA_SOMI	EPWM1_A	
GPIO5	EPWM3_B	I2CA_SDA	OUTPUTXBAR3		CANA_RX	SPIA_STE			SCIA_RX			EPWM1_B	
GPIO6	EPWM4_A	OUTPUTXBAR4	SYNCOUT	EQEP1_A								EPWM2_A	
GPIO7	EPWM4_B	EPWM2_A	OUTPUTXBAR5	EQEP1_B		SPIA_SIMO			SCIA_TX		CANA_TX	EPWM2_B	
GPIO8	EPWM5_A		ADCSOCAO	EQEP1_STROBE	SCIA_TX	SPIA_SIMO	I2CA_SCL						
GPIO9	EPWM5_B	SCIB_TX	OUTPUTXBAR6	EQEP1_INDEX	SCIA_RX	SPIA_CLK					I2CB_SCL		
GPIO10	EPWM6_A		ADCSOCBO	EQEP1_A	SCIB_TX	SPIA_SOMI	I2CA_SDA						
GPIO11	EPWM6_B	CANA_RX	OUTPUTXBAR7	EQEP1_B	SCIB_RX	SPIA_STE				SPIA_SIMO			
GPIO12	EPWM7_A			EQEP1_STROBE	SCIB_TX				SPIA_CLK	CANA_RX			
GPIO13	EPWM7_B			EQEP1_INDEX	SCIB_RX				SPIA_SOMI	CANA_TX			
GPIO16	SPIA_SIMO		OUTPUTXBAR7	EPWM5_A	SCIA_TX		EQEP1_STROBE		XCLKOUT				
GPIO17	SPIA_SOMI		OUTPUTXBAR8	EPWM5_B	SCIA_RX		EQEP1_INDEX		CANA_TX		EPWM6_A		
GPIO18	SPIA_CLK	SCIB_TX	CANA_RX	EPWM6_A	I2CA_SCL				XCLKOUT				X2
GPIO19	SPIA_STE	SCIB_RX	CANA_TX	EPWM6_B	I2CA_SDA								X1
GPIO20	EQEP1_A		CANA_TX		SPIA_SIMO				I2CA_SCL			SCIC_TX	
GPIO21	EQEP1_B		CANA_RX		SPIA_SOMI				I2CA_SDA			SCIC_RX	
GPIO22	EQEP1_STROBE		SCIB_TX				SCIC_TX				EPWM4_A		
GPIO23	EQEP1_INDEX		SCIB_RX				SCIC_RX				EPWM4_B		
GPIO24	OUTPUTXBAR1		SPIA_STE	EPWM4_A	SPIA_SIMO				SCIA_TX	ERRORSTS			
GPIO28	SCIA_RX		EPWM7_A	OUTPUTXBAR5	EQEP1_A			SCIC_TX	SPIA_CLK	ERRORSTS	I2CB_SDA		
GPIO29	SCIA_TX		EPWM7_B	OUTPUTXBAR6	EQEP1_B			SCIC_RX	SPIA_STE	ERRORSTS	I2CB_SCL		
GPIO32	I2CA_SDA	EQEP1_INDEX	SPIA_CLK	EPWM4_B	SCIC_TX			CANA_TX		ADCSOCBO			
GPIO33	I2CA_SCL			OUTPUTXBAR4	SCIC_RX			CANA_RX		ADCSOCAO			
GPIO35	SCIA_RX	SPIA_SOMI	I2CA_SDA	CANA_RX		SCIC_RX	EQEP1_A		EPWM5_B			TDI	
GPIO37	OUTPUTXBAR2	SPIA_STE	I2CA_SCL	SCIA_TX	CANA_TX	SCIC_TX	EQEP1_B		EPWM5_A			TDO	
GPIO39										SYNCOUT	EQEP1_INDEX		
GPIO40				EPWM2_B			SCIB_TX	EQEP1_A					
GPIO41	EPWM7_A			EPWM2_A			SCIB_RX	EQEP1_B					
GPIO224				OUTPUTXBAR3	SPIA_SIMO		EPWM1_A	CANA_TX	EQEP1_A		SCIC_TX		
GPIO226				EPWM6_A	SPIA_CLK		EPWM1_B		EQEP1_STROBE		SCIC_RX		
GPIO227	I2CB_SCL		EPWM3_A	OUTPUTXBAR1	EPWM2_B								
GPIO228			ADCSOCAO	CANA_TX	SPIA_SOMI		EPWM2_B		EQEP1_B				

DRAFT ONLY
TI Confidential – NDA Restrictions

表 5-6. GPIO 多路复用引脚 (continued)

0 , 4 , 8 , 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO230	I2CB_SDA		EPWM3_B	CANA_RX	EPWM2_A	I2CA_SDA							
GPIO242				OUTPUTXBAR2	SPIA_STE		EPWM4_A	CANA_RX	EQEP1_INDEX				
AIO225													
AIO231													
AIO232													
AIO233													
AIO237													
AIO238													
AIO239													
AIO241													
AIO244													
AIO245													

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

5.4.2 ADC 引脚上的数字输入 (AIO)

端口 H 上的 GPIO 与模拟引脚进行多路复用。这也称为 AIO。这些引脚只能在输入模式下工作。默认情况下，这些引脚将用作模拟引脚，并且 GPIO 处于高阻抗状态。GPHAMSEL 寄存器用于配置这些引脚的数字或模拟操作。

备注

如果将具有尖锐边缘（高 dv/dt）的数字信号连接到 AIO，则相邻的模拟信号可能会发生串扰。因此，如果相邻通道用于模拟功能，用户应限制连接到 AIO 的信号的边沿速率。

5.4.3 ADC 引脚上的数字输入和输出 (AGPIO)

该器件上的某些 GPIO 与模拟引脚进行多路复用。这些也称为 AGPIO。与 AIO 不同，AGPIO 具有完整的输入和输出能力。

默认情况下，AGPIO 未连接，必须进行配置。表 5-7 显示了如何配置 AGPIO。

表 5-7. AGPIO 配置

AGPIOCTRLA.GPIOy（默认值 = 0）	GPAxMSEL.GPIOy（默认值 = 1）	引脚连接到：	
		ADC	GPIOy
0	0	-	是
0	**1**	**-** (1)	**-** (1)
1	0	-	是
1	1	是	-

(1) 默认情况下，没有信号连接到 AGPIO 引脚。必须选择表中的其他行之一来实现引脚功能。

备注

如果将具有尖锐边缘（高 dv/dt）的数字信号连接到 AGPIO，则相邻的模拟信号可能会发生串扰。因此，如果相邻通道用于模拟功能，用户应限制连接到 AGPIO 的信号的边沿速率。

5.4.4 GPIO 输入 X-BAR

输入 X-BAR 用于将信号从 GPIO 路由到许多不同的 IP 块，例如 ADC、eCAP、ePWM 和外部中断（请参阅图 5-6）。表 5-8 列出了输入 X-BAR 目标。有关配置输入 X-BAR 的详细信息，请参阅 *TMS320F280013x 实时微控制器技术参考手册* 的“交叉开关 (X-BAR)”一章。

DRAFT ONLY
TI Confidential – NDA Restrictions

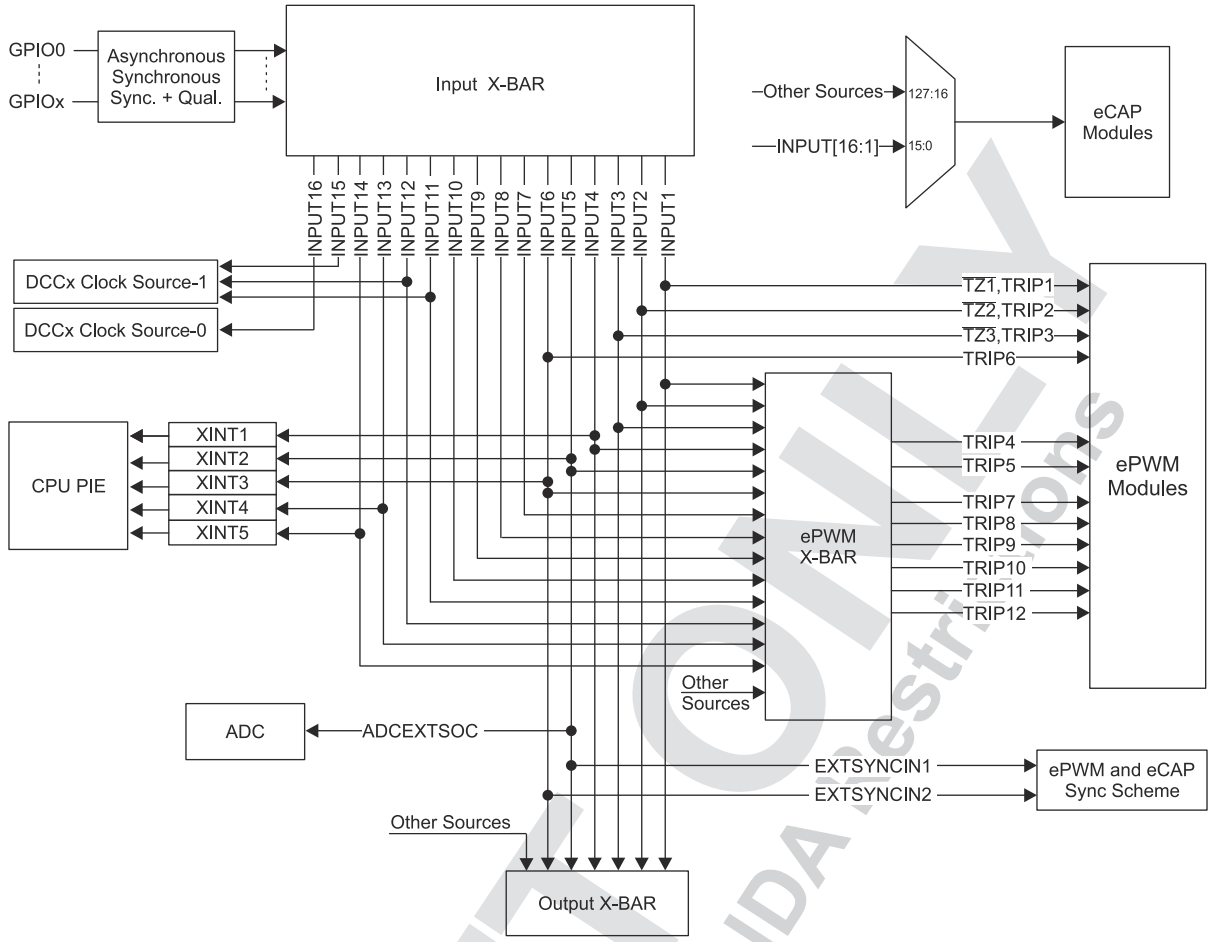


图 5-6. 输入 X-BAR

表 5-8. 输入 X-BAR 目标

输入	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
ECAP	是	是	是	是	是	是	是	是	是	是	是	是	是	是	是	是
EPWM X-BAR	是	是	是	是	是	是	是	是	是	是	是	是	是	是		
输出 X-BAR	是	是	是	是	是	是										
CPU XINT				XINT1	XINT2	XINT3							XINT4	XINT5		
EPWM 跳闸	TZ1、TRIP1	TZ2、TRIP2	TZ3、TRIP3			TRIP6										
ADC 转换启动					ADCEXTSOC											
EPWM/ECAP 同步					EXTSYNCIN1	EXTSYNCIN2										
DCCx											CLK1	CLK1			CLK1	CLK0
EPG													EPG1IN1	EPG1IN2	EPG1IN3	EPG1IN4

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

5.4.5 GPIO 输出 X-BAR 和 ePWM X-BAR

输出 X-BAR 有 8 个输出可以在 GPIO 多路复用器上选择作为 OUTPUTXBARx。ePWM X-BAR 有 8 个输出与 ePWM 的 TRIPx 输入相连。输出 X-BAR 和 ePWM X-BAR 的源如图 5-7 所示。

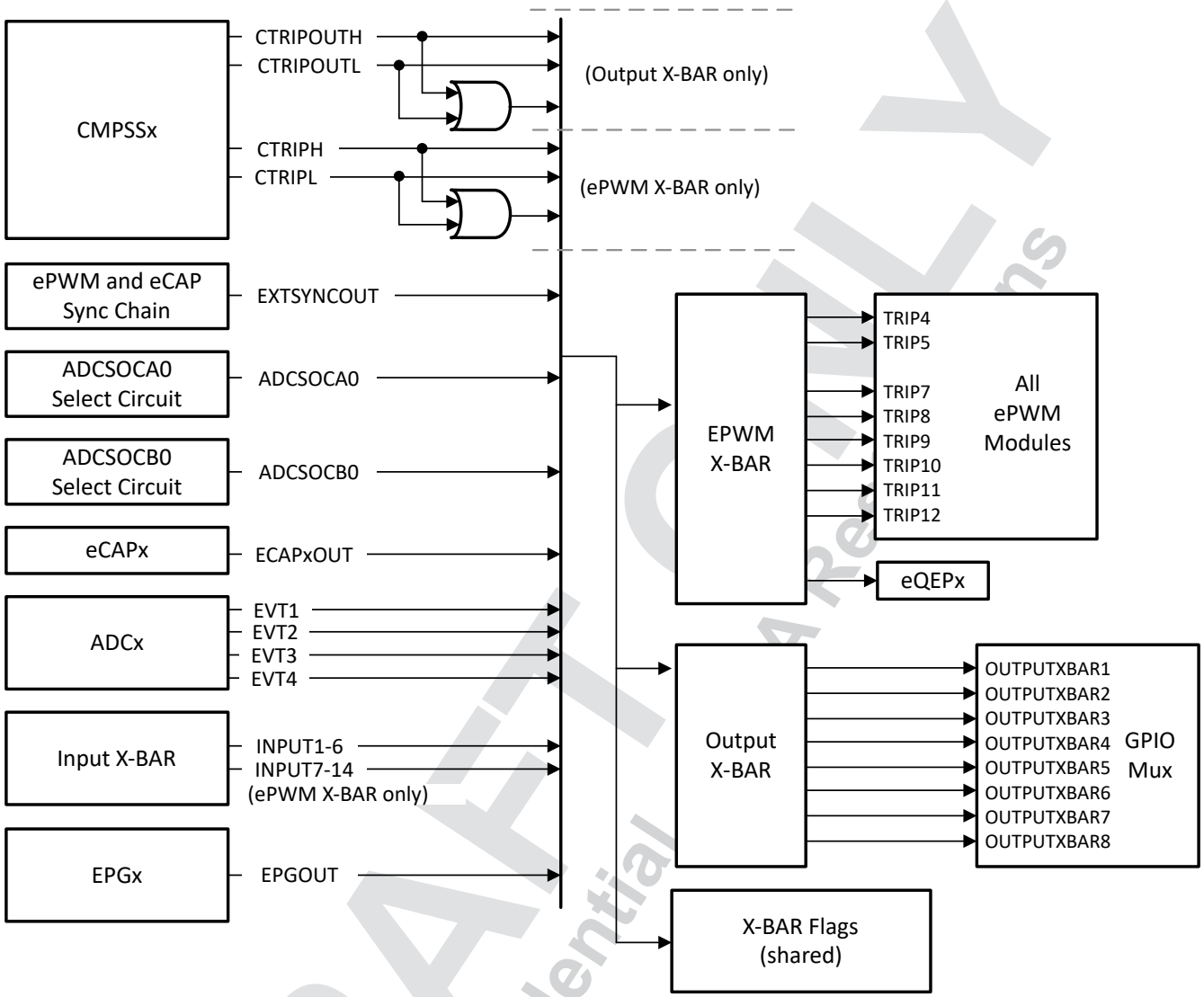


图 5-7. 输出 X-BAR 和 ePWM X-BAR 源

DRAFT ONLY
TI Confidential

5.5 GPIO 和 ADC 分配

表 5-9. GPIO 和 ADC 分配

特性	64 PM	具有 VREGENZ 的 64 PM (F2800135V)	48 PT	48 RGZ	32 RHB
GPIO					
GPIO	23	22	13	16	10
AGPIO	11	11	8	8	5
JTAG 和振荡器 GPIO	4（TDI、TDO、X1、X2）				
总 GPIO	38	37	25	28	19
AIO	10	10	9	9	6
总 GPIO 和 AIO	48	47	34	37	25
ADC					
ADC 通道	10	10	9	9	6
AGPIO	11	11	8	8	5
总 ADC 通道数（单端）	21	21	17	17	11

5.6 带有内部上拉和下拉的引脚

器件上的某些引脚具有内部上拉或下拉。表 5-10 列出了拉动方向及其活动时间。默认情况下，GPIO 引脚的上拉被禁用，可以通过软件启用。为了避免任何悬空的未键合输入，引导 ROM 将在特定封装中对未键合的 GPIO 引脚启用内部上拉。表 5-10 中提到的带有上拉和下拉的其他引脚始终处于打开状态且无法被禁用。

表 5-10. 带有内部上拉和下拉的引脚

引脚	复位 (XRSn = 0)	器件引导	应用
GPIOx	禁用上拉	禁用上拉(1)	应用定义
GPIO35/TDI	禁用上拉		应用定义
GPIO37/TDO	禁用上拉		应用定义
TCK	上拉有效		
TMS	上拉有效		
XRSn	上拉有效		
其他引脚（包括 AIO）	上拉或下拉未存在		

(1) 给定封装中未绑定的引脚将具有由引导 ROM 启用内部上拉。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

5.7 未使用引脚的连接

对于不需要使用器件所有功能的应用，表 5-11 列出了对任何未使用引脚的可接受条件。当表 5-11 中列出了多个选项时，任何选项都可接受。表 5-11 中未列的引脚需按照节 5 中所述进行连接。

表 5-11. 未使用引脚的连接

信号名称	可接受的做法
模拟	
VREFHI	连接至 VDDA（仅在应用中未使用 ADC 时适用）
VREFLO	绑定到 VSSA
模拟输入引脚	• 无连接 • 绑定到 VSSA • 通过电阻器连接到 VSSA
模拟输入引脚（与 GPIO 共用）	• 无连接 • 通过电阻器连接到 VSSA
数字	
GPIOx	• 无连接（启用内部上拉的输入模式） • 无连接（禁用内部上拉的输出模式） • 上拉或下拉电阻器（任意值电阻器，输入模式，禁用内部上拉）
GPIO35/TDI	选择 TDI 多路复用器选项（默认）时，GPIO 处于输入模式。 • 启用内部上拉电阻 • 外部上拉电阻
GPIO37/TDO	当 TDO 复用选项被选中时（默认），GPIO 只在 JTAG 活动期间处于输出模式；否则，它处于三态条件。必须对该引脚进行偏置，以避免在输入缓冲器上产生额外电流。 • 启用内部上拉电阻 • 外部上拉电阻
TCK	• 无连接 • 上拉电阻器
TMS	上拉电阻器
GPIO19/X1	关闭 XTAL 和： • 输入模式，启用内部上拉电阻 • 输入模式，使用外部上拉或下拉电阻 • 输出模式，禁用内部上拉电阻
GPIO18/X2	关闭 XTAL 和： • 输入模式，启用内部上拉电阻 • 输入模式，使用外部上拉或下拉电阻 • 输出模式，禁用内部上拉电阻
电源和接地	
VDD	所有 VDD 引脚必须按照节 5.3 所述进行连接。不应使用引脚来偏置任何外部电路。
VDDA	如果未使用专用模拟电源，则连接到 VDDIO。
VDDIO	所有 VDDIO 引脚必须按照节 5.3 所述进行连接。
VSS	所有 VSS 引脚必须连接到电路板接地。
VSSA	如果未使用模拟接地，则连接到 VSS。

DRAFT ONLY
TI Confidential – NDA Restrictions

6 规格

6.1 绝对最大额定值

在推荐的运行条件下（除非另有说明）(1) (2)

		最小值	最大值	单位
电源电压	VDD 以 VSS 为基准	-0.3	1.5	V
	VDDIO 以 VSS 为基准	-0.3	4.6	
	VDDA 以 VSSA 为基准	-0.3	4.6	
输入电压	V_{IN} (3.3V)	-0.3	4.6	V
输出电压	V_O	-0.3	4.6	V
输入钳位电流	数字/模拟输入（每引脚），I_{IK}（V_{IN} < VSS/VSSA 或 V_{IN} > VDDIO/VDDA）(4)	-20	20	mA
	所有输入的总计，$I_{IKTOTAL}$（V_{IN} < VSS/VSSA 或 V_{IN} > VDDIO/VDDA）	-20	20	
输出电流	数字输出（每引脚），I_{OUT}	-20	20	mA
工作结温	T_J	-40	155	°C
贮存温度(3)	T_{stg}	-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议工作条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。

(2) 除非另有说明，否则所有电压值均以 VSS 为基准。

(3) 长期高温贮存或在最大温度条件下超期使用可能会导致器件总体使用寿命缩短。有关更多信息，请参阅*“半导体和 IC 封装热指标”应用报告*。

(4) 每个引脚的连续钳位电流为 ±2mA。请勿在此条件下连续工作，因为 V_{DDIO}/V_{DDA} 电压可能会在内部上升并影响其他电气规格。

6.2 ESD 等级

			值	单位
采用 64 引脚 PM 封装的 F2800137、F2800135、F2800135V、F2800133				
$V_{(ESD)}$ 静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 (2)	所有引脚	±500	
		64 引脚 PM 上的转角引脚：1、16、17、32、33、48、49、64	±750	
采用 48 引脚 PT 封装的 F2800137、F2800135、F2800133、F2800132				
$V_{(ESD)}$ 静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 (2)	所有引脚	±500	
		48 引脚 PT 上的转角引脚：1、12、13、24、25、36、37、48	±750	
采用 48 引脚 RGZ 封装的 F2800137、F2800135、F2800133、F2800132				
$V_{(ESD)}$ 静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 (2)	所有引脚	±500	
		48 引脚 RGZ 上的转角引脚：1、12、13、24、25、36、37、48	±750	
采用 32 引脚 RHB 封装的 F2800137、F2800135、F2800133、F2800132				

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.2 ESD 等级 (continued)

			值	单位
$V_{(ESD)}$ 静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	所有引脚	±500	
		32 引脚 RHB 上的转角引脚：1、8、9、16、17、24、25、32	±750	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议工作条件

		最小值	标称值	最大值	单位
器件电源电压，VDDIO 和 VDDA	启用内部 BOR(3)	$V_{BOR-VDDIO}(MAX) + V_{BOR-GB}$ (2)	3.3	3.63	V
	禁用内部 BOR	2.8	3.3	3.63	
器件电源电压，VDD		1.14	1.2	1.32	V
器件接地，VSS			0		V
模拟接地，VSSA			0		V
SR_{SUPPLY}	VDDIO、VDD、VDDA 相对于 VSS 的电源电压斜升速率。(4)				
V_{IN}	数字输入电压	VSS – 0.3		VDDIO + 0.3	V
	模拟输入电压	VSSA – 0.3		VDDA + 0.3	V
结温，T_J (1)		-40		140	°C
自然通风温度，T_A		-40		125	°C

(1) 在 T_J = 105°C 以上的温度下长时间运行将缩短器件的使用寿命。更多信息，请参阅*计算嵌入式处理器的有效使用寿命*。
(2) 请参阅*电源管理模块 (PMM)* 部分。
(3) 默认情况下会启用内部 BOR。
(4) 请参阅“电源管理模块运行条件”表。

DRAFT ONLY
TI Confidential – NDA Restrictions

6.4 功耗摘要

本小节中列出的电流值仅代表给定的测试条件下的值，而不是可能的绝对最大值。应用中的实际器件电流将随应用代码和引脚配置的不同而变化。节 6.4.1 列出了系统电流消耗值。

6.4.1 系统电流消耗 - 启用 VREG - 内部电源

在建议的工作条件下测得（除非另有说明）
典型值：V_{nom}

参数		测试条件		最小值 典型值 最大值	单位
工作模式					
I_{DDIO} ((3))	运行期间的 VDDIO 电流消耗	这是典型重负载应用中电流的估算值。实际电流会因系统活动、I/O 电气负载和开关频率而异。这包括启用内部 Vreg 时的内核电源电流。 - CPU 从 RAM 运行 - 闪存加电 - X1/X2 晶振加电 - PLL 被启用，SYSCLK=最大器件频率 - 模拟模块加电 - 输出在没有直流负载的情况下是静态 - 输入是静态高电平或低电平	30℃	36	mA
			85℃	44	mA
			125℃	50	mA
I_{DDA}	运行期间的 VDDA 电流消耗		30℃	1.6	mA
			85℃	2	mA
			125℃	2.5	mA
空闲模式					
I_{DDIO}	器件处于空闲模式时的 VDDIO 电流消耗	- CPU 处于空闲模式 - 闪存断电 - PLL 被启用，SYSCLK=最大器件频率，CPUCLK 被选通 - X1/X2 晶振被加电 - 模拟模块被断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30℃	17	mA
			85℃	21	mA
			125℃	27	mA
I_{DDA}	器件处于空闲模式时的 VDDA 电流消耗		30℃	0.01	mA
			85℃	0.1	mA
			125℃	0.1	mA
待机模式（PLL 启用）					
I_{DDIO}	器件处于待机模式时的 VDDIO 电流消耗	- CPU 处于待机模式 - 闪存断电 - PLL 被启用，SYSCLK 和 CPUCLK 会选通 - X1/X2 晶振断电 - 模拟模块断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30℃	7	mA
			85℃	11	mA
			125℃	17	mA
I_{DDA}	器件处于待机模式时的 VDDA 电流消耗		30℃	0.01	mA
			85℃	0.1	mA
			125℃	0.1	mA

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.4.1 系统电流消耗 - 启用 VREG - 内部电源 (continued)

在建议的工作条件下测得（除非另有说明）
典型值：V_{nom}

参数		测试条件		最小值	典型值	最大值	单位
待机模式（PLL 禁用）							
I_{DDIO}	器件处于待机模式时的 VDDIO 电流消耗	- CPU 处于待机模式 - 闪存断电 - PLL 被禁用，SYSCLK 和 CPUCLK 会选通 - X1/X2 晶振断电 - 模拟模块断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30℃		5.8		mA
			85℃			9	mA
			125℃			15.5	mA
I_{DDA}	器件处于待机模式时的 VDDA 电流消耗		30℃		0.01		mA
			85℃			0.1	mA
			125℃			0.1	mA
停机模式							
I_{DDIO}	器件处于停机模式时的 VDDIO 电流消耗	- CPU 处于停机模式 - 闪存被断电 - PLL 被禁用，SYSCLK 和 CPUCLK 被选通 - X1/X2 晶振被断电 - 模拟模块被断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30℃		5		mA
			85℃			8.2	mA
			125℃			15	mA
I_{DDA}	器件处于停机模式时的 VDDA 电流消耗		30℃		0.01		mA
			85℃			0.1	mA
			125℃			0.1	mA
闪存擦除/编程							
I_{DDIO}	擦除/编程周期期间的 VDDIO 电流消耗(1)	- CPU 从 RAM 运行 - 闪存进行连续编程/擦除操作 - PLL 被启用，SYSCLK 为 120MHz。 - 外设时钟被关闭。 - X1/X2 晶体上电 - 模拟器件断电 -输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平			45	65	mA
I_{DDA}	擦除/编程周期期间的 VDDA 电流消耗				0.1	2.5	mA
复位模式							
I_{DDIO}	复位激活时的 VDDIO 电流消耗(2)	器件正在复位	30℃		7		mA
			85℃		10.7		mA
			125℃		17		mA
I_{DDA}	复位处于活动状态时的 VDDA 电流消耗(2)		30℃		0.01		mA
			85℃		0.01		mA
			125℃		0.01		mA

(1) 闪存编程期间的欠压事件可能会损坏闪存数据并永久锁定器件。使用备用电源（例如 USB 编程器）的编程环境必须能够为器件和其他系统组件提供额定电流，并留有足够的裕度以避免电源欠压情况。
(2) 这是复位激活（即 XRSn 为低电平）时的电流消耗。
(3) “内部电源”表中的 I_{DDIO} 电流消耗值低于“外部电源”表中的 I_{DDIO} + I_{DD} 电流消耗值。这是因为“内部电源”表的“最大值”列将内核稳压至 VDD NOM，而“外部电源”表的“最大值”列将内核稳压至 VDD MAX（来自*建议工作条件*表）。

DRAFT ONLY
Confidential – NDA Restrictions

6.4.2 系统电流消耗 - 禁用 VREG - 外部电源

在建议的工作条件下测得（除非另有说明）
典型值：V_{nom}

参数		测试条件		最小值	典型值	最大值	单位
工作模式							
I_{DD}	运行期间的 VDD 电流消耗	这是典型重负载应用中电流的估算值。实际电流会因系统活动、I/O 电气负载和开关频率而异。这包括启用内部 Vreg 时的内核电源电流。 - CPU 从 RAM 运行 - 闪存加电 - X1/X2 晶振加电 - PLL 被启用，SYSCLK=最大器件频率 - 模拟模块加电 - 输出在没有直流负载的情况下是静态 - 输入是静态高电平或低电平	30℃		35		mA
			85℃			42	mA
			125℃			49.5	mA
I_{DDIO}	运行期间的 VDDIO 电流消耗		30℃		5.8		mA
			85℃		5.8		mA
			125℃		5.8		mA
I_{DDA}	运行期间的 VDDA 电流消耗		30℃		1.6		mA
			85℃		2		mA
			125℃		2.5		mA
空闲模式							
I_{DD}	器件处于空闲模式时的 VDD 电流消耗	- CPU 处于空闲模式 - 闪存断电 - PLL 被启用，SYSCLK=最大器件频率，CPUCLK 被选通 - X1/X2 晶振被加电 - 模拟模块被断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30℃		14		mA
			85℃			19	mA
			125℃			26	mA
I_{DDIO}	器件处于空闲模式时的 VDDIO 电流消耗		30℃		3.9		mA
			85℃		3.9		mA
			125℃		3.9		mA
I_{DDA}	器件处于空闲模式时的 VDDA 电流消耗		30℃		0.01		mA
			85℃			0.1	mA
			125℃			0.1	mA
待机模式（PLL 启用）							
I_{DD}	器件处于待机模式时的 VDD 电流消耗	- CPU 处于待机模式 - 闪存断电 - PLL 被启用，SYSCLK 和 CPUCLK 会选通 - X1/X2 晶振断电 - 模拟模块断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30℃		3.6		mA
			85℃			7.6	mA
			125℃			17	mA
I_{DDIO}	器件处于待机模式时的 VDDIO 电流消耗		30℃		3.9		mA
			85℃		3.9		mA
			125℃		3.9		mA
I_{DDA}	器件处于待机模式时的 VDDA 电流消耗		30℃		0.01		mA
			85℃			0.1	mA
			125℃			0.1	mA

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.4.2 系统电流消耗 - 禁用 VREG - 外部电源 (continued)

在建议的工作条件下测得（除非另有说明）
典型值：V_{nom}

参数		测试条件		最小值	典型值	最大值	单位
待机模式（PLL 禁用）							
I_{DD}	器件处于待机模式时的 VDD 电流消耗	- CPU 处于待机模式 - 闪存断电 - PLL 被禁用，SYSCLK 和 CPUCLK 会选通 - X1/X2 晶振断电 - 模拟模块断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30℃		2.6		mA
			85℃			6.6	mA
			125℃			13.5	mA
I_{DDIO}	器件处于待机模式时的 VDDIO 电流消耗		30℃		3.1		mA
			85℃		3.1		mA
			125℃		3.1		mA
I_{DDA}	器件处于待机模式时的 VDDA 电流消耗		30℃		0.01		mA
			85℃			0.1	mA
			125℃			0.1	mA
停机模式							
I_{DD}	器件处于停机模式时的 VDD 电流消耗	- CPU 处于停机模式 - 闪存被断电 - PLL 被禁用，SYSCLK 和 CPUCLK 被选通 - X1/X2 晶振被断电 - 模拟模块被断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30℃		2.4		mA
			85℃			6.2	mA
			125℃			13.2	mA
I_{DDIO}	器件处于停机模式时的 VDDIO 电流消耗		30℃		3.1		mA
			85℃		3.1		mA
			125℃		3.1		mA
I_{DDA}	器件处于停机模式时的 VDDA 电流消耗		30℃		0.01		mA
			85℃			0.1	mA
			125℃			0.1	mA
闪存擦除/编程							
I_{DD}	擦除/编程周期期间的 VDD 流耗(1)	- CPU 从 RAM 运行 - 闪存进行连续编程/擦除操作 - PLL 被启用，SYSCLK 为 100MHz。 - 外设时钟被关闭。 - X1/X2 晶振加电 - 模拟器件断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平			32	50	mA
I_{DDIO}	擦除/编程周期期间的 VDDIO 电流消耗(1)				13	17	mA
I_{DDA}	擦除/编程周期期间的 VDDA 电流消耗				0.1	2.5	mA

DRAFT ONLY
TI Confidential - NDA Restrictions

6.4.2 系统电流消耗 - 禁用 VREG - 外部电源 (continued)

在建议的工作条件下测得（除非另有说明）
典型值：V_{nom}

参数		测试条件		最小值 典型值 最大值	单位
复位模式					
I_{DD}	复位激活时的 VDD 电流消耗(2)	器件正在复位	30℃	2.2	mA
			85℃	4.2	mA
			125℃	8.7	mA
I_{DDIO}	复位处于活动状态时的 VDDIO 电流消耗(2)		30℃	5	mA
			85℃	5	mA
			125℃	5	mA
I_{DDA}	复位处于活动状态时的 VDDA 电流消耗(2)		30℃	0.01	mA
			85℃	0.01	mA
			125℃	0.01	mA

(1) 闪存编程期间的欠压事件可能会损坏闪存数据并永久锁定器件。使用备用电源（例如 USB 编程器）的编程环境必须能够为器件和其他系统组件提供额定电流，并留有足够的裕度以避免电源欠压情况。
(2) 这是复位激活（即 XRSn 为低电平）时的电流消耗。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.4.3 工作模式测试说明

节 6.4.1、节 6.4.2 和节 6.4.4.1 列出了器件工作模式下的电流消耗值。工作模式下将估算应用可能遇到的流耗。这些测量的测试条件具有以下属性：

- 从 RAM 执行代码。
- 闪存被读取，并保持激活状态。
- I/O 引脚不驱动任何外部元件。
- 所有外设都启用了时钟。
- 所有 CPU 都在积极执行代码。
- 所有模拟外设均已通电。ADC 和 DAC 会定期转换。

6.4.4 减少电流消耗

F280013x 器件提供了一些减少器件电流消耗的方法：

- 在应用的空闲期间，可以进入两种低功耗模式中的任何一种：空闲或待机。
- 如果代码从 RAM 中运行，闪存模块可能会断电。
- 禁用假定具有输出功能的引脚上的上拉电阻。
- 每个外设都有一个单独的时钟使能位 (PCLKCRx)。通过关闭给定应用中未使用的任何外设的时钟，可以减少电流消耗。节 6.4.4.1 列出了通过使用 PCLKCRx 寄存器禁用时钟可以实现的典型电流降低。
- 为了在 LPM 模式下实现更低的 VDDA 电流消耗，请参阅 *TMS320F280013x 实时微控制器技术参考手册* 的“模数转换器 (ADC)”一章，确保每个模块也断电。

6.4.4.1 每个禁用外设的典型电流降低

对于具有多个实例的外设，所引用的电流是针对所有模块的。

外设	I_{DDIO} 电流减少 (mA)
ADC(1)	1.32
CMPSS_LITE(1)	0.57
CMPSS(1)	0.31
CPU 计时器	0.06
DCAN	1.25
DCC	0.08
eCAP	0.12
EPG	0.32
ePWM	4.13
HRPWM	1.98
eQEP	0.18
SCI	0.50
I2C	0.51
SPI	0.11

(1) 此电流代表了每个模块的数字部分汲取的电流。

DRAFT ONLY
TI Confidential – NDA Restrictions

6.5 电气特性

在建议运行条件下测得（除非另有说明）

参数			测试条件	最小值	典型值	最大值	单位
数字和模拟 IO							
V_{OH}	高电平输出电压		I_{OH} = I_{OH} MIN	VDDIO * 0.8			V
			I_{OH}=-100 μ A	VDDIO – 0.2			
V_{OL}	低电平输出电压		I_{OL}=I_{OL} 最大值			0.4	V
			I_{OL} = 100μA			0.2	
I_{OH}	所有输出引脚的高电平输出源电流			-4			mA
I_{OL}	所有输出引脚的低电平输出灌电流					4	mA
R_{OH}	所有输出引脚的高电平输出阻抗		VOH=VDDS-0.4V	50	65	96	Ω
R_{OL}	所有输出引脚的低电平输出阻抗		VOL=0.4V	48	60	84	Ω
V_{IH}	高电平输入电压			2.0			V
V_{IL}	低电平输入电压					0.8	V
$V_{HYSTERESIS}$	输入迟滞 (AIO)			125			mV
	输入迟滞 (GPIO)			125			
$I_{PULLDOWN}$	输入电流	带有下拉的引脚	VDDIO = 3.3V V_{IN} = VDDIO		120		μA
I_{PULLUP}	输入电流	启用上拉的数字输入(1)	VDDIO = 3.3V V_{IN} = 0V		160		μA
$R_{PULLDOWN}$	弱下拉电阻			27	31	37	kΩ
R_{PULLUP}	弱上拉电阻			26	30	38	kΩ
I_{LEAK}	引脚漏电流	数字输入	上拉和输出被禁用 0V ≤ V_{IN} ≤ VDDIO			0.1	μA
		模拟引脚	模拟驱动器禁用 0V ≤ V_{IN} ≤ VDDA			0.1	
C_I	输入电容	数字输入			2		pF
		模拟引脚(2)					
VREG 和 BOR							
VREG、POR、BOR((4))							

(1) 有关带有上拉或下拉的引脚列表，请参阅“带有内部上拉和下拉的引脚”表。
(2) 模拟引脚是单独指定的；请参阅“ADC 输入模型”部分中的“每通道寄生电容”表。
(3) 请参阅 *电源管理模块 (PMM)* 部分。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.6 PM 封装的热阻特性

		°C/W(1)
$R_{\Theta JC}$	结至外壳热阻，顶部	21.9
	结至外壳热阻，底部	不适用
$R_{\Theta JB}$	结至电路板热阻	39.6
$R_{\Theta JA}$（高 k PCB）	结至大气热阻	62.5
Psi_{JT}	结至封装顶部	1.1
Psi_{JB}	结至电路板	39.2

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

6.7 PT 封装的热阻特性

		°C/W(1)
$R_{\Theta JC}$	结至外壳热阻，顶部	21.2
	结至外壳热阻，底部	不适用
$R_{\Theta JB}$	结至电路板热阻	35.1
$R_{\Theta JA}$（高 k PCB）	结至大气热阻	60.1
Psi_{JT}	结至封装顶部	0.9
Psi_{JB}	结至电路板	34.7

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

6.8 RGZ 封装的热阻特性

		°C/W(1)
$R_{\Theta JC}$	结至外壳热阻，顶部	18.6
	结至外壳热阻，底部	2.8
$R_{\Theta JB}$	结至电路板热阻	10.7
$R_{\Theta JA}$（高 k PCB）	结至大气热阻	28.4
Psi_{JT}	结至封装顶部	0.2
Psi_{JB}	结至电路板	10.7

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

DRAFT ONLY
TI Confidential - NDA Restrictions

6.9 RHB 封装的热阻特性

		°C/W(1)
$R_{\Theta JC}$	结至外壳热阻，顶部	22.5
	结至外壳热阻，底部	2.8
$R_{\Theta JB}$	结至电路板热阻	12.3
$R_{\Theta JA}$（高 k PCB）	结至大气热阻	31.3
Psi_{JT}	结至封装顶部	0.3
Psi_{JB}	结至电路板	12.2

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

6.10 散热设计注意事项

根据最终应用设计和运行情况，I_{DD} 和 I_{DDIO} 电流可能有所不同。最终产品中超过建议最大功率耗散的系统可能需要额外的散热增强措施。环境温度 (T_A) 随最终应用和产品设计的不同而不同。影响可靠性和功能性的关键参数是结温 T_J，而不是环境温度。因此，应该注意将 T_J 保持在指定限值内。应该测量 T_{case} 以评估工作结温 T_J。通常在封装顶部表面的中心测量 T_{case}。热应用报告 *半导体和 IC 封装热指标* 有助于理解热指标和相关定义。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.11 系统

6.11.1 电源管理模块 (PMM)

6.11.1.1 引言

电源管理模块 (PMM) 可以处理运行器件时所需的所有电源管理功能。

6.11.1.2 概述

在图 6-1 中给出了 PMM 的框图。可以看出，PMM 包含多个子组件，这些子组件将在后续章节中进行介绍。

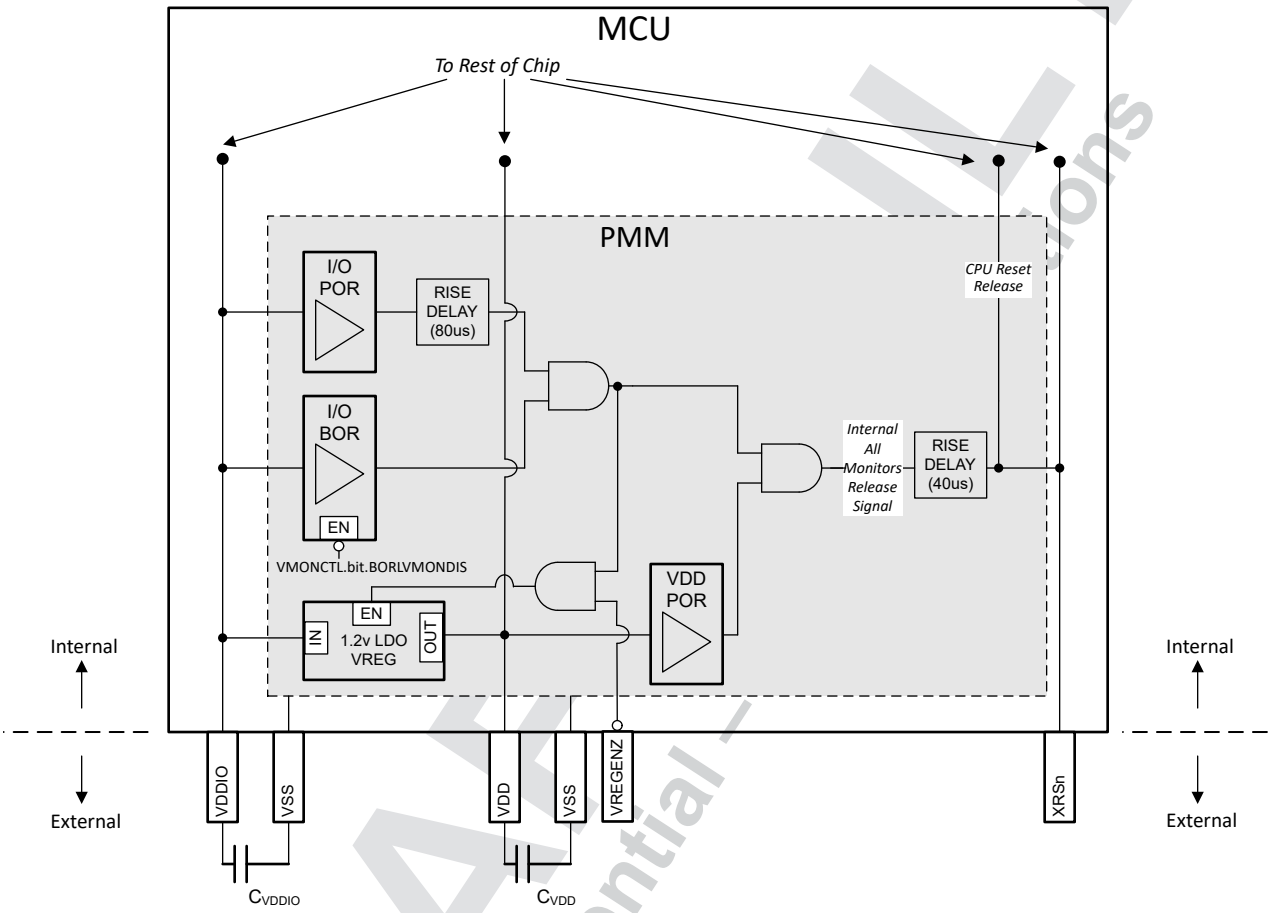


图 6-1. PMM 方框图

6.11.1.2.1 电源轨监视器

PMM 在电源轨上有电压监视器，一旦电压在上电期间超过设定的阈值，XRSn 信号便会释放为高电平。如果任何电压降至编程的电平以下，这些电压监视器还可以使 XRSn 信号跳闸为低电平。后续各节将介绍各种电压监视器。

备注

启动后，并非所有电压监视器都支持在应用中运行器件。在不支持电压监视器的情况下，如果器件在应用运行过程中需要监视电源电压，则建议使用外部监控器。

三个电压监视器（I/O POR、I/O BOR、VDD POR）都必须在器件开始运行（即 XRSn 变为高电平）之前释放各自的输出。但是，如果任何电压监视器跳闸，XRSn 将被驱动为低电平。当任何电压监视器跳闸时，I/O 保持高阻抗。

DRAFT Confidential – Texas Instruments Only

6.11.1.2.1.1 I/O POR（上电复位）监视器

I/O POR 监视器会监控 VDDIO 电源轨。在上电期间，这是第一个在 VDDIO 上释放的监视器（即第一个要解除跳闸的监视器）。

6.11.1.2.1.2 I/O BOR（欠压复位）监视器

I/O BOR 监视器还会监控 VDDIO 电源轨。在上电期间，这是第二个在 VDDIO 上释放的监视器（即第二个要解除跳闸的监视器）。与 I/O POR 相比，该监视器具有更严格的容差。

只要电压降至低于建议工作电压，都会导致 I/O BOR 跳闸并复位器件，但可以通过将 VMONCTL.bit.BORLVMONDIS 设置为 1 来禁用该功能。只有在器件完全启动后，才能禁用 I/O BOR。如果 I/O BOR 被禁用，I/O POR 将在电压下降时复位器件。

备注

I/O POR 跳闸的电平远低于 VDDIO 的最小建议电压，因此不应用于器件监控。

图 6-2 所示为 I/O BOR 的工作区域。

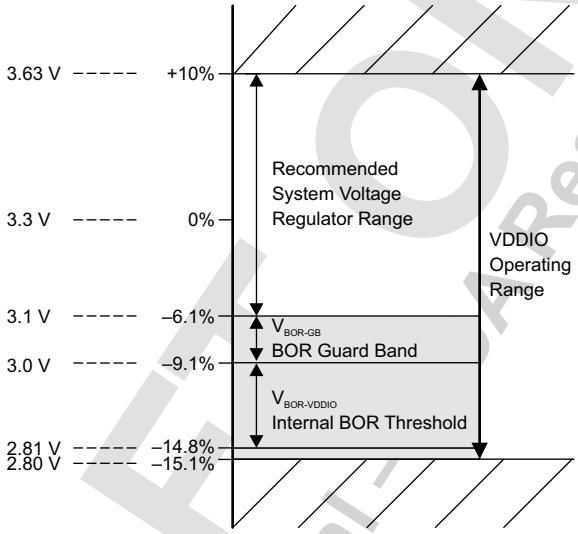


图 6-2. I/O BOR 工作区域

6.11.1.2.1.3 VDD POR（上电复位）监视器

VDD POR 监视器可监控 VDD 电源轨。在上电期间，一旦电压超过 VDD 上编程的跳闸电平，该监视器就会释放（即解除跳闸）。

备注

VDD POR 编程为低于 VDD 最小建议电压的水平，因此，如果应用中需要 VDD 监控，不应该依赖 VDD POR 来进行此监控。

6.11.1.2.2 外部监控器使用情况

VDDIO 监控：I/O BOR 支持应用使用，因此无需外部监控器来监控 I/O 电源轨。

VDD 监控：VDD POR 不支持应用使用。如果应用需要 VDD 监控，则应使用外部监控器监控 VDD 电源轨。

备注

不支持将外部监控器与内部 VREG 一起使用。如果应用需要 VDD 监控，则必须使用具有 VREGENZ 引脚的封装从外部为 VDD 供电。

DRAFT ONLY
TI Confidential – Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.11.1.2.3 延迟块

电压监控器路径中的延迟块协同工作，以延迟电压监控器和 XRSn 之间的释放时间。当 XRSn 在外部 VREG 模式下释放时，这些延迟可确保电压稳定。延迟块仅在上电期间（即，当 VDDIO 和 VDD 斜升时）有效。

延迟块有助于实现电源管理模块电气数据和时序中所指定的电源轨最小压摆率。

备注

方框图中指定的延迟数字是典型值。

6.11.1.2.4 内部 1.2V LDO 稳压器 (VREG)

内部 VREG 由 VDDIO 电源轨供电，并可以生成为 VDD 引脚供电所需的 1.2V 电压。启用它的方法是将 VREGENZ 引脚绑定为低电平。虽然有了内部 VREG 后便不再需要为 VDD 使用外部电源，但 VDD 引脚上仍需要去耦电容器以确保 VREG 稳定性和避免瞬变。有关详细信息，请参阅 *VDD 去耦* 一节。

6.11.1.2.5 VREGENZ

VREGENZ（VREG 禁用）引脚可控制内部 VREG 的状态。要启用内部 VREG，VREGENZ 引脚应连接至低电平。对于从外部为 VDD 供电（外部 VREG）的应用，应通过将 VREGENZ 引脚连接至高电平来禁用内部 VREG。

备注

并非所有器件封装都具有 VREGENZ 引脚输出。对于没有 VREGENZ 的封装，不支持外部 VREG 模式。

6.11.1.3 外部元件

6.11.1.3.1 去耦电容器

VDDIO 和 VDD 需要去耦电容器才能正常运行。后续章节将概述这些要求。

6.11.1.3.1.1 VDDIO 去耦

应在 VDDIO 上放置最小的去耦电容值。请参阅 C_{VDDIO} 参数（位于电源管理模块电气数据和时序中）。实际使用的去耦电容值取决于驱动 VDDIO 的电源。可接受以下任一配置：

- **配置 1**：根据 C_{VDDIO} 参数在每个 VDDIO 引脚上放置一个去耦电容器。
- **配置 2**：安装等效于 C_{VDDIO} * VDDIO 引脚的单个去耦电容器。

备注

将去耦电容器（一个或多个）靠近器件引脚放置至关重要。

6.11.1.3.1.2 VDD 去耦

应在 VDD 上放置最小的去耦电容值。请参阅 C_{VDD} TOTAL 参数（位于电源管理模块电气数据和时序中）。

在外部 VREG 模式下，实际使用的去耦电容值取决于驱动 VDD 的电源。

可接受以下任一配置：

- **配置 1**：对 VDD 引脚上的 C_{VDD} TOTAL 值执行除法运算。
- **配置 2**：安装一个容值为 C_{VDD} TOTAL 的去耦电容器。

备注

将去耦电容器（一个或多个）靠近器件引脚放置至关重要。

DRAFT ONLY
TI Confidential – NDA Restrictions

6.11.1.4 电源时序

6.11.1.4.1 电源引脚联动

强烈建议将所有 3.3V 电源轨连接在一起并由单个电源供电。该列表包括：

- VDDIO
- VDDA

此外，任何电源引脚都不应悬空。

在外部 VREG 模式下，VDD 引脚应连接在一起并由单个电源供电。

在内部 VREG 模式下，将 VDD 引脚连接在一起是可选操作，只要每个 VDD 引脚上都有一个电容器即可。请参阅 *VDD 去耦* 一节以了解 VDD 去耦配置。

器件上的模拟模块具有相当高的 PSRR；因此，在大多数情况下，VDDA 上的噪声必须超过电源轨的建议工作条件之后，模拟模块才会出现性能下降。因此，单独为 VDDA 供电带来的好处通常微乎其微。然而，为了改善噪声，一种可接受的做法是在 VDDIO 和 VDDA 之间放置一个 π 型滤波器。

备注

每个电源轨的所有电源引脚在内部连接在一起。例如，所有 VDDIO 引脚在内部连接在一起，所有 VDD 引脚在内部连接在一起，以此类推。

6.11.1.4.2 信号引脚电源序列

在为器件供电之前，不得对任何数字引脚施加比 VDDIO 高 0.3V 以上的电压或比 VSS 低 0.3V 以上的电压，也不得对任何模拟引脚 (包括 VREFHI) 施加比 VDDA 高 0.3V 以上的电压或比 VSSA 低 0.3V 以上的电压。简单地说，只应在 XRSn 变为高电平后驱动信号引脚，且前提是所有 3.3V 电源轨连接在一起。即使 VDDIO 和 VDDA 未连接在一起，仍需要进行此时序控制。

CAUTION

如果违反上述序列，则可能会发生器件故障，甚至可能造成损坏，因为电流将流经器件中的意外寄生路径。

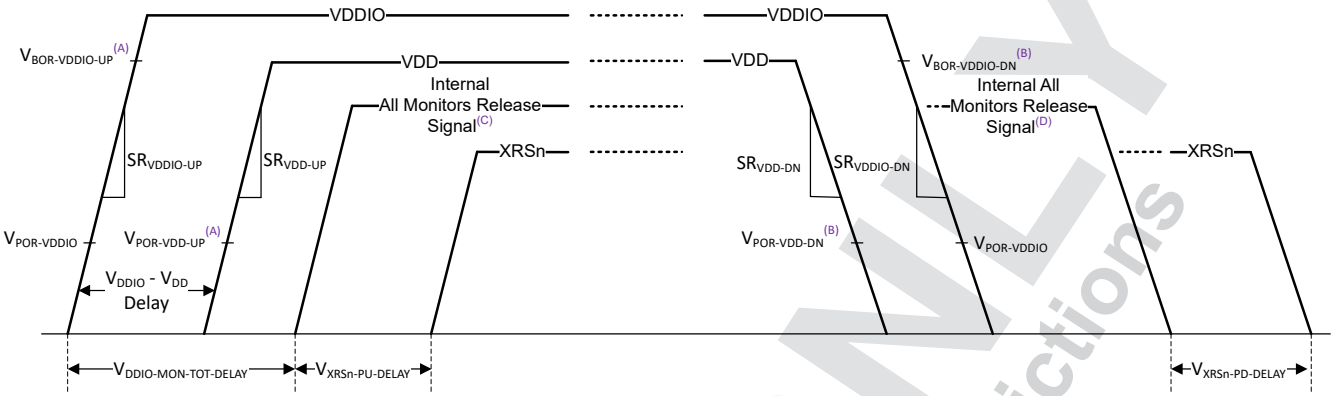
DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.11.1.4.3 电源引脚电源序列

6.11.1.4.3.1 外部 VREG/VDD 模式序列

图 6-3 展示了外部 VREG 模式的电源时序控制要求。所有参数的值可在电源管理模块电气数据和时序中找到。



A. 该跳闸点是 XRSn 释放之前的跳闸点。请参阅“电源管理模块特性”表。
B. 该跳闸点是 XRSn 释放之后的跳闸点。请参阅“电源管理模块特性”表。
C. 上电期间，所有监视器释放信号在所有 POR 和 BOR 监控器释放后变为高电平。请参阅 PMM 方框图。
D. 在断电期间，如果任何 POR 或 BOR 监视器跳闸，所有监视器释放信号都会变为低电平。请参阅 PMM 方框图。

图 6-3. 外部 VREG 上电序列

- **在上电期间：**
  1. VDDIO（即 3.3V 电源轨）应首先以指定的最小压摆率出现。
  2. VDD（即 1.2V 电源轨）应其次以指定的最小压摆率出现。
  3. 还指定了 VDDIO 电源轨和 VDD 电源轨出现时间之间的时间差。
  4. 在 $V_{DDIO-MON-TOT-DELAY}$ 和 $V_{XRSN-PD-DELAY}$ 指定的时间之后，XRSn 将被释放，并且器件会启动启动序列。
  5. I/O BOR 监视器在上电和断电期间具有不同的释放点。
  6. 在上电期间，VDDIO 和 VDD 电源轨都必须在 XRSn 释放之前启动。
- **在掉电期间：**
  1. 对 VDDIO 和 VDD 中哪个应先断电没有要求；但是，有最小压摆率规格。
  2. I/O BOR 监视器在上电和断电期间具有不同的释放点。
  3. 在断电期间跳闸的任何 POR 或 BOR 监视器都会导致 XRSn 在 $V_{XRSN-PD-DELAY}$ 之后变为低电平。

备注

所有监控器释放信号 是一个内部信号。

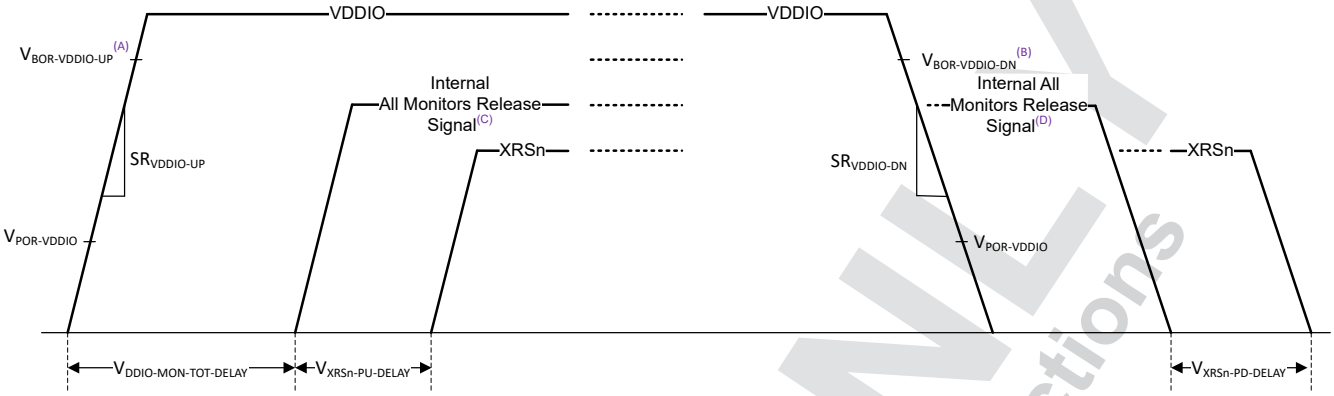
备注

如果有一个驱动 XRSn 的外部电路（例如，监控器），在所有内部和外部源释放 XRSn 引脚之前，启动序列不会开始。

DRAFT ONLY
TI Confidential – NDA Restrictions

6.11.1.4.3.2 内部 VREG/VDD 模式序列

图 6-4 展示了内部 VREG 模式的电源时序控制要求。所有所示参数的值均可在电源管理模块电气数据和时序中找到。



A. 该跳闸点是 XRSn 释放之前的跳闸点。请参阅“电源管理模块特性”表。
B. 该跳闸点是 XRSn 释放之后的跳闸点。请参阅“电源管理模块特性”表。
C. 上电期间，所有监视器释放信号在所有 POR 和 BOR 监控器释放后变为高电平。请参阅 PMM 方框图。
D. 在断电期间，如果任何 POR 或 BOR 监视器跳闸，所有监视器释放信号都会变为低电平。请参阅 PMM 方框图。

图 6-4. 内部 VREG 上电序列

- **在上电期间：**
  1. VDDIO（即 3.3V 电源轨）应提供指定的最小压摆率。
  2. 在释放 I/O 监视器（I/O POR 和 I/O BOR）后，内部 VREG 将上电。
  3. 在 $V_{DDIO-MON-TOT-DELAY}$ 和 $V_{XRSN-PU-DELAY}$ 指定的时间过后，XRSn 将被释放，并且器件的启动序列将开始。
  4. I/O BOR 监视器在上电和断电期间具有不同的释放点。
- **在断电期间：**
  1. 在断电期间对 VDDIO 的唯一要求是压摆率。
  2. I/O BOR 监视器在上电和断电期间具有不同的释放点。
  3. I/O BOR 跳闸将导致 XRSn 在 $V_{XRSN-PD-DELAY}$ 之后变为低电平，并使内部 VREG 断电。

备注

所有监视器释放信号 是一个内部信号。

备注

如果有一个驱动 XRSn 的外部电路（例如，监控器），在所有内部和外部源释放 XRSn 引脚之前，启动序列不会开始。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.11.1.4.3.3 电源时序摘要和违规影响

电源轨的可接受上电序列汇总如下。此处的“上电”表示相关电源轨已达到建议的最低工作电压。

CAUTION
不可接受的序列会导致可靠性问题并可能导致损坏。

为简单起见，建议将所有 3.3V 电源轨连接在一起，并按照电源引脚电源序列中的说明进行操作。

表 6-1. 外部 VREG 序列摘要

情形	电源轨上电顺序			可接受
	VDDIO	VDDA	VDD	
A	1	2	3	是
B	1	3	2	是
C	2	1	3	-
D	2	3	1	-
E	3	2	1	-
F	3	1	2	-
G	1	1	2	是
H	2	2	1	-

表 6-2. 内部 VREG 序列摘要

情形	电源轨上电顺序		可接受
	VDDIO	VDDA	
A	1	2	是
B	2	1	-
C	1	1	是

备注
应当仅在 VDDA 达到建议的最低工作电压后才为器件上的模拟模块供电。

6.11.1.4.3.4 电源压摆率

VDDIO 有最低压摆率要求。如果不满足最低压摆率要求，XRSn 可能会切换几次，直到 VDDIO 越过 I/O BOR 区域。

备注
XRSn 上的切换操作对器件没有不利影响，因为只有当 XRSn 稳定为高电平时才会开始引导。但是，如果使用器件的 XRSn 来选通其他 IC 的复位信号，则应满足压摆率要求以防止这种切换。

VDD 在外部 VREG 模式下具有最低压摆率要求。如果不满足最低压摆率要求，器件可能会在 VDD 达到最低工作电压之前解除复位并开始引导，这可能导致器件无法正常工作。

备注
如果无法满足最低压摆率要求，必须在 VDD 上使用监控器来保持 XRSn 为低电平，直到 VDD 超过最低工作电压，以此确保器件正常工作。

DRAFT ONLY
TI Confidential – NDA Restrictions

6.11.1.5 电源管理模块电气数据和时序

6.11.1.5.1 电源管理模块运行条件

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
通用						
C_{VDDIO} (1) (2)	每个引脚的 VDDIO 电容((7))		0.1			uF
C_{VDDA} (1) (2)	每个引脚的 VDDA 电容((7))		2.2			uF
SR_{VDD33} (3)	3.3V 电源轨（VDDIO、VDDA）的电源电压斜升速率		20		100	mV/us
$V_{BOR-VDDIO-GB}$ (5)	VDDIO 欠压复位电压保护带			0.1		V
外部 VREG						
C_{VDD} 总计((1)) ((4))	总 VDD 电容(7)			10		uF
SR_{VDD12} ((3))	1.2V 电源轨 (VDD) 的电源电压斜升速率		10		100	mV/us
V_{DDIO} - V_{DD} 延迟((6))	VDDIO 和 VDD 之间的斜坡延迟		0			us
内部 VREG						
C_{VDD} 总计((1)) ((4))	总 VDD 电容(7)			10		uF

(1) 还应使用大容量电容器。去耦电容的确切值取决于为这些引脚供电的系统电压调节解决方案。
(2) 建议将 3.3V 电压轨（VDDIO、VDDA）连接在一起并由单电源供电。
(3) 请参阅*电源压摆率*一节。电源斜坡速率高于最大值会触发片上 ESD 保护。
(4) 请参阅*电源管理模块 (PMM)* 一节，了解总去耦电容的可能配置。
(5) TI 建议使用 $V_{BOR-VDDIO-GB}$，避免由于正常电源噪声或 3.3V VDDIO 系统稳压器上的负载瞬态事件而导致 BOR-VDDIO 复位。要防止在器件正常运行期间激活 BOR-VDDIO，良好的系统稳压器设计和去耦电容（符合系统稳压器规格）非常重要。$V_{BOR-VDDIO-GB}$ 的值是一个系统级设计注意事项；此处列出的电压是许多应用的典型值。
(6) 3.3V 电源轨斜升时和 1.2V 电源轨斜升时之间的延迟。请参阅 *VREG 序列摘要*表，了解允许的电源斜坡序列。
(7) 最大电容器容差应为 20%。

6.11.1.5.2 电源管理模块特征

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{VREG}	内部稳压器输出		1.152	1.2	1.248	V
$V_{VREG-PU}$	内部稳压器上电时间				350	us
$V_{VREG-INRUSH}$ (5)	内部稳压器浪涌电流			650		mA
$V_{POR-VDDIO}$	VDDIO 上电复位电压	XRSn 释放之前和之后		2.3		V
$V_{BOR-VDDIO-UP}$ (1)	斜升时的 VDDIO 欠压复位电压	XRSn 释放之前		2.7		V
$V_{BOR-VDDIO-DOWN}$ (1)	斜降时的 VDDIO 欠压复位电压	XRSn 释放之后	2.81		3.0	V
$V_{POR-VDD-UP}$ ((2))	斜升时的 VDD 上电复位电压	XRSn 释放之前		1		V
$V_{POR-VDD-DOWN}$ ((2))	斜降时的 VDD 上电复位电压	XRSn 释放之后		1		V
$V_{XRSn-PU-DELAY}$ (3)	上电期间电源斜升后的 XRSn 释放延迟			40		us
$V_{XRSn-PD-DELAY}$ (4)	断电期间电源斜降后的 XRSn 跳闸延迟			2		us

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.11.1.5.2 电源管理模块特征 (continued)

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$V_{DDIO-MON-TOT-DELAY}$	VDDIO 监视器（POR、BOR）路径中的总延迟			80		us
$V_{XRSn-MON-RELEASE-DELAY}$	VDD POR 事件之后的 XRSn 释放延迟	电源处于工作范围内		40		us
	VDDIO BOR 事件之后的 XRSn 释放延迟			40		us
	VDDIO POR 事件之后的 XRSn 释放延迟			120		us

(1) 请参阅*电源电压*图。
(2) $V_{POR-VDD}$ 明显低于推荐的工作条件。如果需要监视 VDD，则需要一个外部监控器。
(3) 电源在越过相应电源轨的最低建议运行条件后被视为完全斜升。在该延迟生效之前，需要释放所有 POR 和 BOR 监视器。RC 网络延迟将与该延迟相加。
(4) 断电时，任何跳闸的 POR 或 BOR 监视器都会立即使 XRSn 跳闸。该延迟是任何 POR、BOR 监视器跳闸和 XRSn 变为低电平之间的时间。该延迟是变量，取决于电源的斜降速率。RC 网络延迟将与该延迟相加。
(5) 这是内部 VREG 导通时在 VDDIO 电源轨上汲取的瞬态电流。因此，当 VREG 导通时，VDDIO 电源轨上可能会出现一些压降，这可能导致 VREG 逐步斜升。这不会对器件产生不利影响，但如果需要，可以通过在 VDDIO 上使用足够的去耦电容器或选择能够提供此瞬态电流的 LDO 或直流/直流稳压器来降低影响。

电源电压

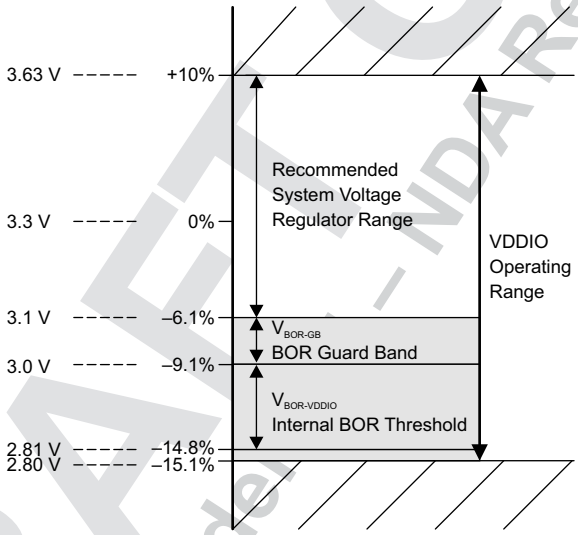


图 6-5. 电源电压

DRAFT ONLY
TI Confidential – NDA Restrictions

6.11.2 复位时序

XRSn 是器件复位引脚。它用作输入和漏极开路输出。该器件内置上电复位 (POR) 和欠压复位 (BOR) 监控器。在上电期间，监控器电路会将 XRSn 引脚保持为低电平。有关更多详细信息，请参阅“电源管理模块 (PMM)”部分。看门狗或 NMI 看门狗复位也会驱动引脚至低电平。外部开漏电路可以驱动该引脚，从而使器件复位生效。

应在 XRSn 和 VDDIO 之间放置一个阻值为 2.2kΩ 至 10kΩ 的电阻。应在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除；电容应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 V_{OL}。图 6-6 显示了推荐的复位电路。

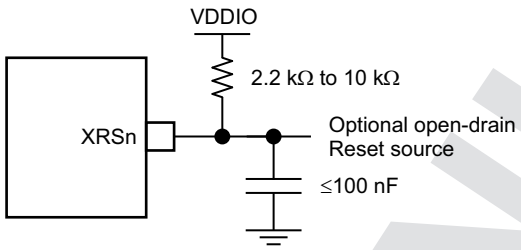


图 6-6. 复位电路

6.11.2.1 复位源

“复位信号”表总结了各种复位信号及其对器件的影响。

表 6-3. 复位信号

复位源	CPU 内核复位（C28x、FPU、TMU）	外设复位	JTAG/调试逻辑复位	IOs	$\overline{XRS}$ 输出
POR	是	是	是	高阻态	是
BOR	是	是	是	高阻态	是
$\overline{XRS}$ 引脚	是	是	否	高阻态	-
$\overline{WDRS}$	是	是	否	高阻态	是
$\overline{NMIWDRS}$	是	是	否	高阻态	是
$\overline{SYSRS}$（调试器复位）	是	是	否	高阻态	否
$\overline{SCCRESET}$	是	是	否	高阻态	否
SIMRESET。$\overline{XRS}$	是	是	否	高阻态	是
SIMRESET。$\overline{CPU1RS}$	是	是	否	高阻态	否

参数 $t_{h(boot-mode)}$ 必须考虑从这些来源启动的复位。

请参阅 *TMS320F280013x 实时微控制器技术参考手册* 中“系统控制”一章的“复位”部分。

CAUTION

有些复位源由器件内部驱动。其中一些源会将 XRSn 驱动为低电平，用于禁用驱动引导引脚的任何其他器件。SCCRESET 和调试器复位源不会驱动 XRSn；因此，用于引导模式的引脚不应由系统中的其他器件主动驱动。引导配置规定可更改 OTP 中的引导引脚。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.11.2.2 复位电气数据和时序

6.11.2.2.1 复位 - XRSn - 时序要求

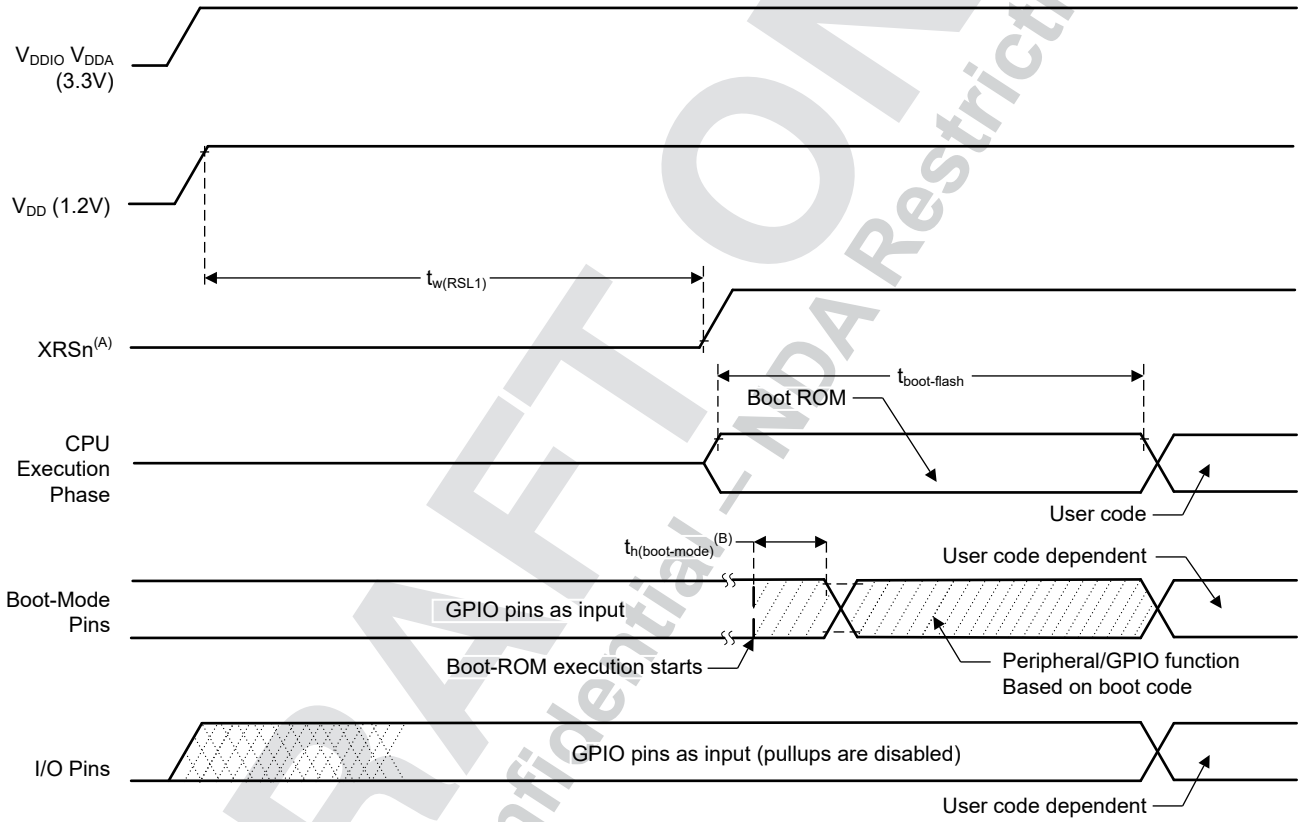
		最小值	最大值	单位
$t_{h(引导模式)}$	引导模式引脚的保持时间	1.5		ms
$t_{w(RSL2)}$	脉冲持续时间，热复位时 XRSn 处于低电平	3.2		µs

6.11.2.2.2 复位 - XRSn - 开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
$t_{w(RSL1)}$	脉冲持续时间，XRSn 在电源稳定后由器件驱动为低电平		100		µs
$t_{w(WDRS)}$	脉冲持续时间，由看门狗生成的复位脉冲		$512t_{c(OSCCLK)}$		周期
$t_{boot-flash}$	在闪存中第一次取指令之前的引导 ROM 执行时间			1.2	ms

6.11.2.2.3 复位时序图

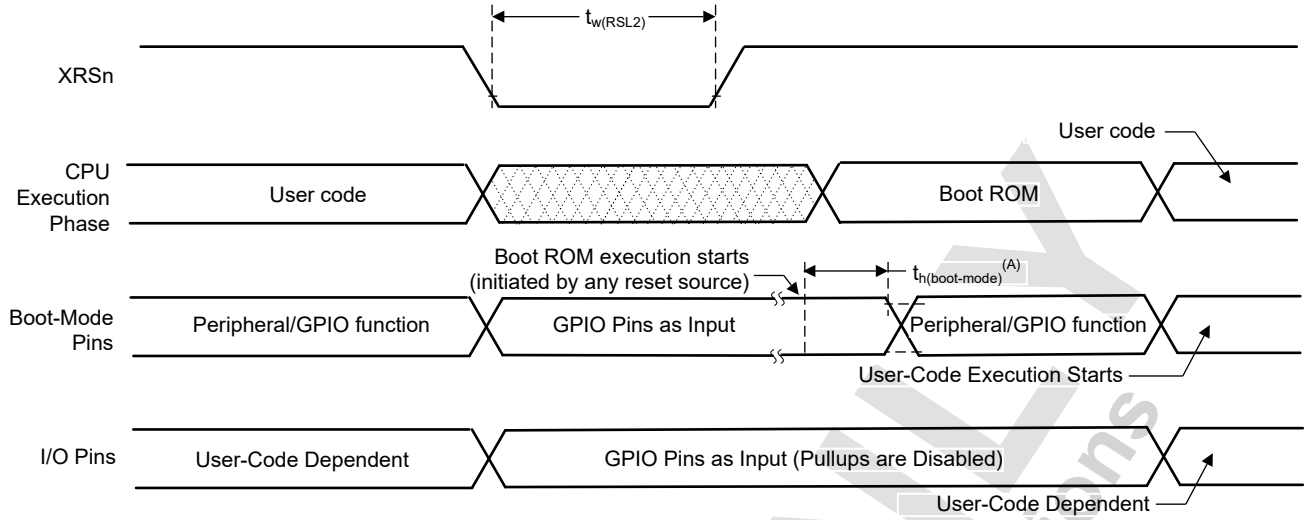


A. XRSn 引脚可以由监控器或外部上拉电阻从外部驱动，请参阅“引脚属性”表。片上监控器将保持该引脚为低电平，直到电源处于有效范围内。

B. 从任何源（参阅“复位源”部分）复位后，引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态，引导代码分支到目的内存或者引导代码功能。如果引导 ROM 代码在上电条件后（在调试程序环境中）执行，则引导代码执行时间基于当前的 SYSCLK 速度。SYSCLK 将基于用户环境，可以启用或不启用 PLL 。

图 6-7. 上电复位

DRAFT ONLY
TI Confidential – NDA Restrictions



A. 从任何源（参阅“复位源”部分）复位后，引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态，引导代码分支到目的内存或者引导代码功能。如果引导 ROM 代码在上电条件后（在调试程序环境中）执行，则引导代码执行时间基于当前的 SYSCLK 速度。SYSCLK 将基于用户环境，可以启用或不启用 PLL 。

图 6-8. 热复位

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.11.3 时钟规格

6.11.3.1 时钟源

表 6-4. 可能的基准时钟源

时钟源	说明
INTOSC1	内部振荡器 1。 10MHz 内部振荡器。
INTOSC2(1)	内部振荡器 2。 10MHz 内部振荡器。
X1 (XTAL)	X1 和 X2 引脚之间连接的外部晶体或谐振器，或连接到 X1 引脚的单端时钟。

(1) 复位时，内部振荡器 2 (INTOSC2) 为 PLL (OSCCLK) 的默认时钟源。

DRAFT ONLY
TI Confidential – NDA Restrictions

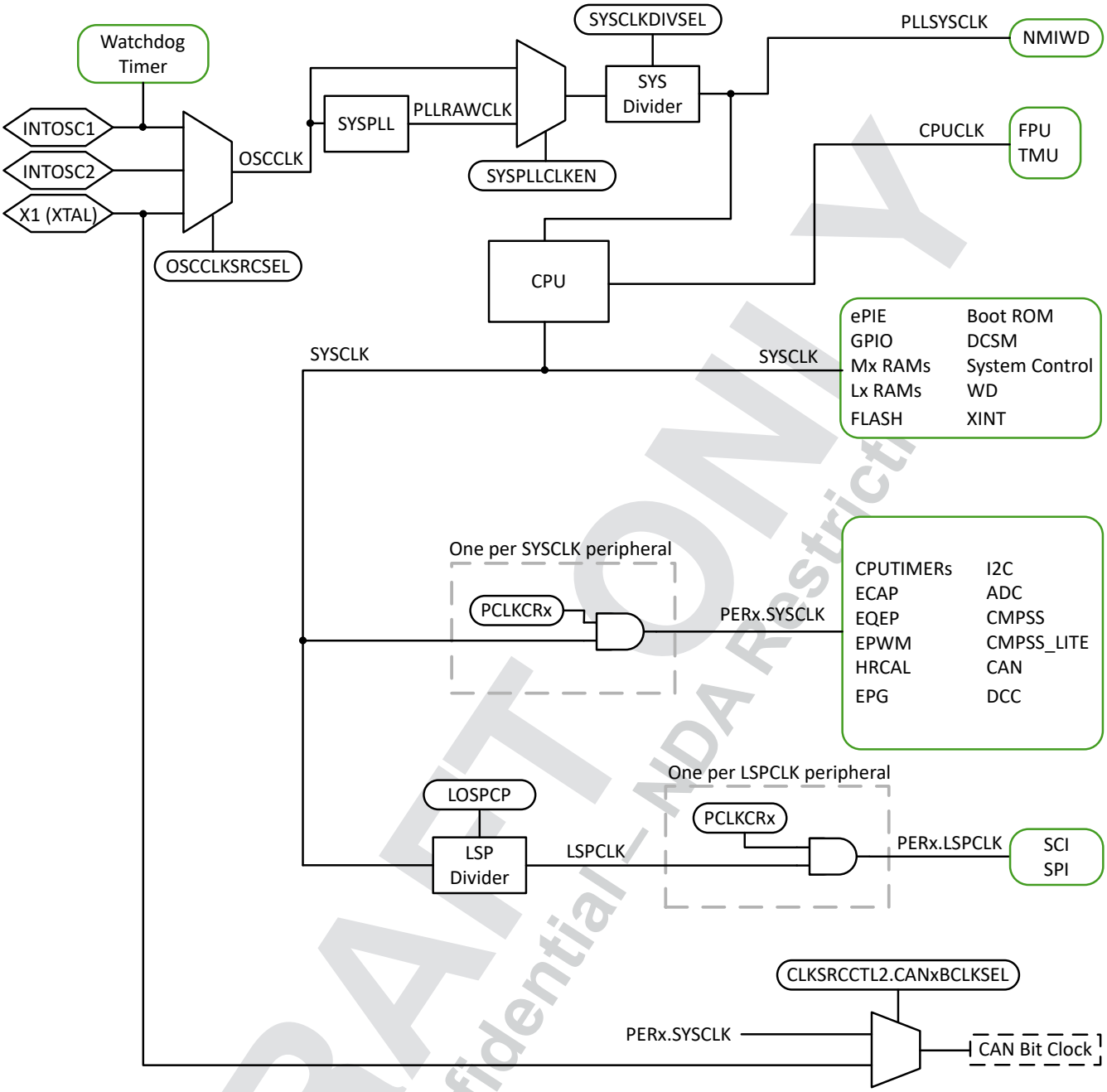


图 6-9. 计时系统

DRAFT ONLY
TI Confidential – NDA Restricti

Copyright © 2023 Texas Instruments Incorporated

SYSPLL

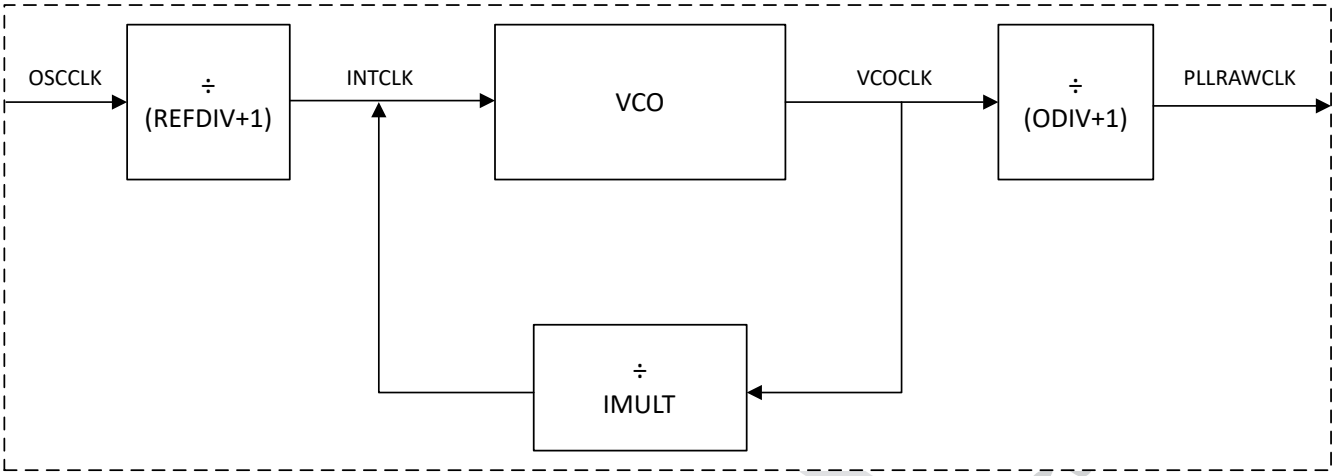


图 6-10. 系统 PLL

在*系统 PLL* 图中，

$$f_{PLLRAWCLK} = \frac{f_{OSCCLK}}{(REFDIV + 1)} \times \frac{IMULT}{(ODIV + 1)}$$

DRAFT
TI Confidential – NDA Restricted

6.11.3.2 时钟频率、要求和特性

本节提供了输入时钟的频率和时序要求、PLL 锁定时间、内部时钟的频率以及输出时钟的频率和开关特性。

6.11.3.2.1 输入时钟频率和时序要求，PLL 锁定时间

6.11.3.2.1.1 输入时钟频率

		最小值	最大值	单位
$f_{(XTAL)}$	频率，X1/X2，来自外部晶体或谐振器	10	20	MHz
$f_{(X1)}$	频率，X1，来自外部振荡器	10	25	MHz

6.11.3.2.1.2 XTAL 振荡器特征

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
X1 V_{IL}	有效低电平输入电压	-0.3		0.3 * VDDIO	V
X1 V_{IH}	有效高电平输入电压	0.7 * VDDIO		VDDIO + 0.3	V

6.11.3.2.1.3 使用外部时钟源（非晶体）时的 X1 输入电平特性

在建议运行条件下测得（除非另有说明）

参数		最小值	最大值	单位
X1 V_{IL}	有效低电平输入电压（缓冲器）	-0.3	0.3 * VDDIO	V
X1 V_{IH}	有效高电平输入电压（缓冲器）	0.7 * VDDIO	VDDIO + 0.3	V

6.11.3.2.1.4 X1 时序要求

		最小值	最大值	单位
$t_{f(X1)}$	下降时间，X1		6	ns
$t_{r(X1)}$	上升时间，X1		6	ns
$t_{w(X1L)}$	脉冲持续时间，X1 低电平占 $t_{c(X1)}$ 的百分比	45%	55%	
$t_{w(X1H)}$	脉冲持续时间，X1 高电平占 $t_{c(X1)}$ 的百分比	45%	55%	

6.11.3.2.1.5 AUXCLKIN 时序要求

		最小值	最大值	单位
$t_{f(AUXI)}$	下降时间，AUXCLKIN		6	ns
$t_{r(AUXI)}$	上升时间，AUXCLKIN		6	ns
$t_{w(AUXL)}$	脉冲持续时间，AUXCLKIN 低电平占 $t_{c(XCI)}$ 的百分比	45%	55%	
$t_{w(AUXH)}$	脉冲持续时间，AUXCLKIN 高电平占 $t_{c(XCI)}$ 的百分比	45%	55%	

6.11.3.2.1.6 APLL 特性

在建议运行条件下测得（除非另有说明）

参数	最小值	典型值	最大值	单位
PLL 锁定时间				
SYS PLL 锁定时间(1)			5µs + (1024 * (REFDIV + 1) * $t_{c(OSCCLK)}$)	us

(1) 此处的 PLL 锁定时间定义了 PLL 启用 (SYSPLLCTL1[PLLENA]=1) 后 PLL 锁定所需的典型时间。此处未考虑使用双路钟比较器 (DCC) 验证 PLL 时钟的额外时间。TI 建议使用 C2000Ware 的最新示例软件来初始化 PLL。对于系统 PLL，请参阅 InitSysPll() 或 SysCtl_setClock()。

DRAFT ONLY
Confidential – NDA Restriction

Copyright © 2023 Texas Instruments Incorporated

6.11.3.2.1.7 XCLKOUT 开关特性 - 旁路或启用 PLL

在建议运行条件下测得（除非另有说明）

参数(1)		最小值	最大值	单位
$t_{f(XCO)}$	下降时间，XCLKOUT		6	ns
$t_{r(XCO)}$	上升时间，XCLKOUT		6	ns
$t_{w(XCOL)}$	脉冲持续时间，XCLKOUT 低电平	H – 2(2)	H + 2(2)	ns
$t_{w(XCOH)}$	脉冲持续时间，XCLKOUT 高电平	H – 2(2)	H + 2(2)	ns
$f_{(XCO)}$	频率，XCLKOUT		50	MHz

(1) 假定这些参数有 6pF 的负载。
(2) $H = 0.5t_{c(XCO)}$

6.11.3.2.1.8 内部时钟频率

		最小值	标称值	最大值	单位
$f_{(SYSCLK)}$	频率，器件（系统）时钟	2		120	MHz
$t_{c(SYSCLK)}$	周期，器件（系统）时钟	10		500	ns
$f_{(INTCLK)}$	频率，系统 PLL 输入 VCO（在 REFDIV 之后）	2		20	MHz
$f_{(VCOCLK)}$	频率，系统 PLL VCO（在 ODIV 之前）	220		600	MHz
$f_{(PLLRAWCLK)}$	频率，系统 PLL 输出（在 SYSCLK 分频器之前）	6		240	MHz
$f_{(PLL)}$	频率，PLLSYSCLK	2		120	MHz
$f_{(PLL_LIMP)}$	频率，PLL 跛行频率(1)		45/(ODIV+1)		MHz
$f_{(LSP)}$	频率，LSPCLK	2		120	MHz
$t_{c(LSPCLK)}$	周期，LSPCLK	10		500	ns
$f_{(OSCCLK)}$	频率，OSCCLK（INTOSC1、INTOSC2、XTAL 或 X1）		参阅各自的时钟		MHz
$f_{(EPWM)}$	频率，EPWMCLK			120	MHz
$f_{(HRPWM)}$	频率，HRPWMCLK	60		120	MHz

(1) OSCCLK 无效时的 PLL 输出频率（OSCCLK 丢失导致 PLL 变为跛行模式）。

DRAFT ONLY
TI Confidential – NDA Restrictions

6.11.3.3 输入时钟和 PLL

除了内部 0 引脚振荡器外，还支持三种类型的外部时钟源：

- 单端 3.3V 外部时钟。时钟信号应连接到 X1（如图 6-11 所示），且 XTALCR.SE 位设置为 1。
- 外部晶体。如图 6-12 所示，晶体应连接在 X1 和 X2 之间，其负载电容器连接至 VSS。
- 外部谐振器。如图 6-13 所示，谐振器应连接在 X1 和 X2 之间，且其接地端连接至 VSS。

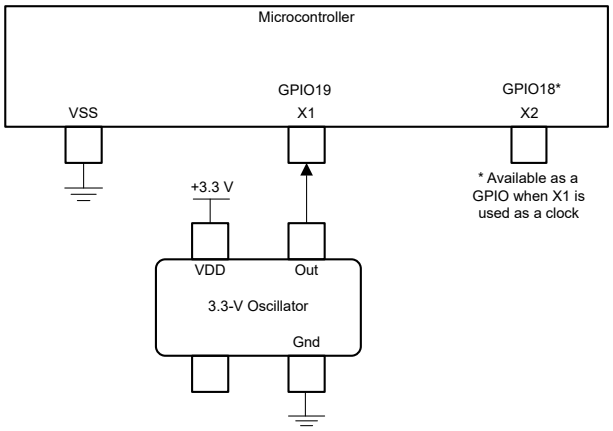


图 6-11. 单端 3.3V 外部时钟

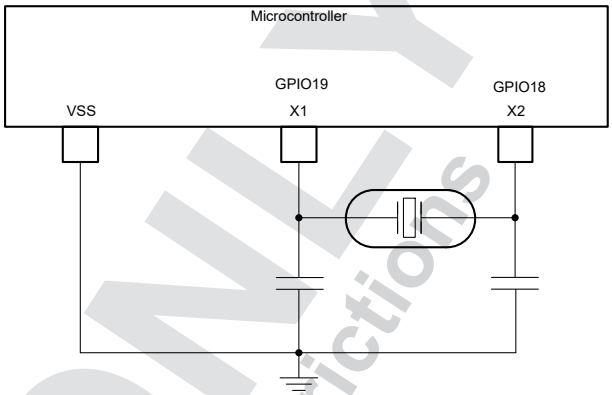


图 6-12. 外部晶体

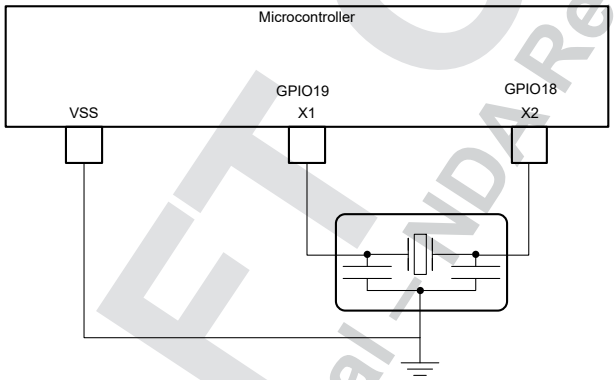


图 6-13. 外部谐振器

6.11.3.4 XTAL 振荡器

6.11.3.4.1 引言

该器件中的晶体振荡器是一种嵌入式电振荡器，当与兼容的石英晶体（或陶瓷谐振器）配对使用时，可生成器件所需的系统时钟。

6.11.3.4.2 概述

以下几节将介绍电振荡器和晶体的元件。

6.11.3.4.2.1 电子振荡器

该器件中的电子振荡器是皮尔斯振荡器。它是一个正反馈逆变器电路，需要一个调优电路才能振荡。当这个振荡器与一个兼容的晶体配对时，会形成振荡电路。该振荡电路在晶体的基频处振荡。在该器件上，由于分流电容器 (C0) 和所需的负载电容器 (CL)，振荡器被设计成在并联谐振模式下运行。图 6-14 所示为电子振荡器和振荡电路的元件。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

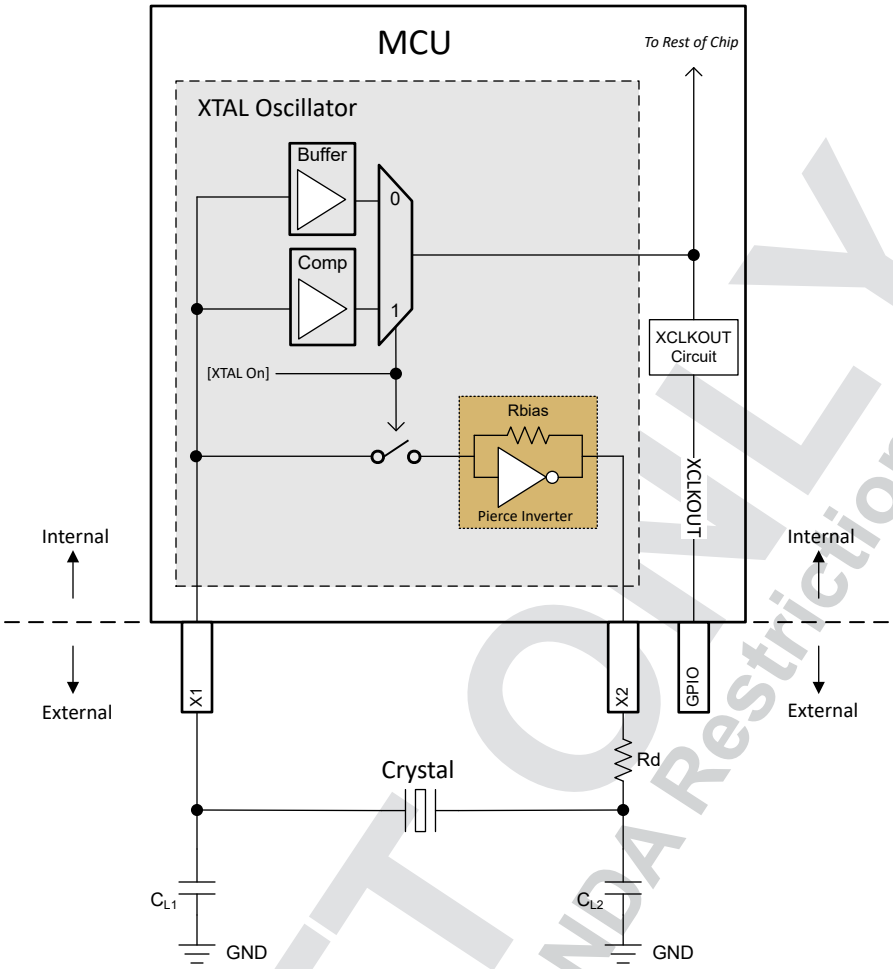


图 6-14. 电子振荡器方框图

6.11.3.4.2.1.1 运行模式

此器件中的电振荡器有两种工作模式：晶体模式和单端模式。

6.11.3.4.2.1.1.1 晶体的工作模式

在晶体工作模式下，必须将带有负载电容器的石英晶体连接到 X1 和 X2。

当 [XTAL On] = 1 时，会启用此工作模式，这是通过设置 XTALCR.OSCOFF = 0 和 XTALCR.SE = 0 来实现的。反馈环路有一个内部偏置电阻器，因此不应使用外部偏置电阻器。添加外部偏置电阻器会产生与内部 Rbias 并联的电阻，从而移动工作偏置点并可能导致波形削波、占空比超出规格以及有效负电阻降低。

在此工作模式下，X1 上的结果时钟通过比较器 (Comp) 传递到芯片的其余部分。X1 上的时钟需要满足比较器的 VIH 和 VIL。有关比较器的 VIH 和 VIL 要求，请参阅 *XTAL 振荡器特性* 表。

6.11.3.4.2.1.1.2 单端工作模式

在单端工作模式下，一个时钟信号连接至 X1，而 X2 悬空。在此模式下不应使用石英晶体。

当 [XTAL On] = 0 时会启用此模式，这可通过设置 XTALCR.OSCOFF = 1 和 XTALCR.SE = 1 来实现。

在此工作模式下，X1 上的时钟通过一个缓冲器 (Buffer) 传递到芯片的其余部分。有关缓冲器的输入要求，请参阅 *使用外部时钟源（非晶体）时的 X1 输入电平特征* 表。

DRAFT ONLY
TI Confidential – NDA Restrictions

6.11.3.4.2.1.2 XCLKOUT 上的 XTAL 输出

通过配置 CLKSRCCTL3.XCLKOUTSEL 和 XCLKOUTDIVSEL.XCLKOUTDIV 寄存器，可以将馈入芯片其余部分的电振荡器输出引出到 XCLKOUT 上以供观察。如需查看输出 XCLKOUT 的 GPIO 的列表，请参阅“GPIO 多路复用引脚”表。

6.11.3.4.2.2 石英晶体

石英晶体可以由 LCR（电感-电容-电阻）电路进行电气表示。然而，与 LCR 电路不同，晶体由于低动态电阻而具有非常高的 Q 值，并且阻尼也非常低。晶体元件如图 6-15 所示，并在下文中有相应说明。

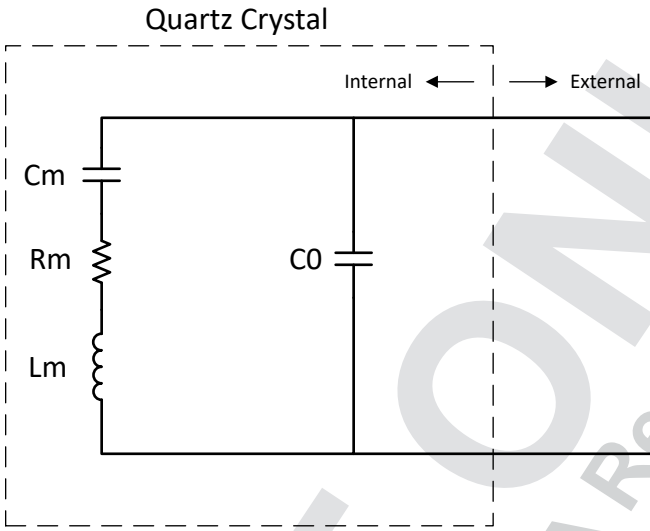


图 6-15. 晶体电气表示

Cm（动态电容）：表示晶体的弹性。

Rm（动态电阻）：表示晶体内的电阻损耗。这不是晶体的 ESR，但可以根据其他晶体元件的值进行近似计算。

Lm（动态电感）：表示晶体的振动质量。

C0（并联电容）：由两个晶体电极和杂散封装电容形成的电容。

CL（负载电容）：这是晶体在其电极处看到的有效电容。它位于晶体外部。晶体数据表中指明的频率 ppm 通常与 CL 参数相关联。

请注意，大多数晶体制造商将 CL 指定为晶体引脚上的有效电容，而一些晶体制造商将 CL 指定为仅其中一个晶体引脚上的电容。请与晶体制造商核实 CL 的指定值，以便在计算中使用正确的值。

根据图 6-14，CL1 和 CL2 是串联的；因此，要找到晶体看到的等效总电容，必须应用电容串联公式：如果 CL1 = CL2，只需计算 [CL1]/2 即可。

建议将杂散 PCB 电容与该值相加。合理的估算值为 3pF 至 5pF，但实际值将取决于相关的 PCB。

请注意，电振荡器和晶体都需要负载电容。所选的值必须同时满足电振荡器和晶振的要求。

CL 对晶体的影响是频率牵引。如果有效负载电容低于目标值，晶体频率将增加，反之亦然。然而，频率牵引的影响通常非常小，通常会导致与标称频率相差不到 10ppm。

6.11.3.4.2.3 GPIO 工作模式

在此器件上，X1 和 X2 分别可用作 GPIO19 和 GPIO18，具体取决于 XTAL 的工作模式。请参阅 *TMS320F280013x 实时微控制器技术参考手册* 的“外部振荡器 (XTAL)”一节。

6.11.3.4.3 正常运行

DRAFT ONLY
Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.11.3.4.3.1 ESR – 有效串联电阻

有效串联电阻是晶体在谐振时提供给电子振荡器的电阻负载。ESR 越高，Q 越低，晶体启动或保持振荡的可能性就越小。ESR 和晶体元件之间的关系如下所示。

$$ESR = Rm * \left(1 + \frac{C0}{CL}\right)^2 \quad (1)$$

请注意，ESR 与晶体的动态电阻不同，但如果有效负载电容远高于分流电容、则可以按此近似计算。

6.11.3.4.3.2 Rneg - 负电阻

负电阻是电振荡器向晶体呈现的阻抗。这是电振荡器为了克服振荡期间产生的损耗而必须为晶体提供的能量。Rneg 描述了一个提供而不是消耗能量的电路，也可以看作是电路的总体增益。

为确保晶体在所有条件下都能启动，普遍接受的做法是让 Rneg > 3 倍 ESR 至 5 倍 ESR。请注意，启动晶体所需的能量略大于维持振荡所需的能量；因此，如果能够确保在启动时满足负电阻要求，则维持振荡将不是问题。

图 6-16 和图 6-17 所示为该器件的负电阻与晶体元件之间的差异。从图中可以看出，晶体并联电容 (C0) 和有效负载电容 (CL) 对电振荡器的负电阻有极大影响。请注意，这些是典型图；因此，请参阅表 6-5 了解设计中需要注意的最小值和最大值。

6.11.3.4.3.3 启动时间

在选择晶体电路的元件时，启动时间是一个重要的考虑因素。如 Rneg - 负电阻一节所述，为了在所有条件下实现可靠启动，建议晶体的 Rneg > 3 倍 ESR 至 5 倍 ESR。

晶体 ESR 和阻尼电阻 (Rd) 会极大地影响启动时间。这两个值越高，晶体启动所需的时间就越长。较长的启动时间通常表明晶体和元件未正确匹配。

如需了解典型的启动时间，请参阅晶体振荡器规格。请注意，此处指定的数字是仅供参考的典型数字。实际启动时间在很大程度上取决于所涉及的晶体和外部元件。

6.11.3.4.3.3.1 X1/X2 前提条件

在该器件上，X1/X2 上的 GPIO19/18 备选功能可用于在需要时缩短晶体的启动时间。此功能是通过将负载电容器 CL1 和 CL2 预调节到 XTAL 开启前的已知状态来实现的。有关详细信息，请参阅 *TMS320F280013x 实时微控制器技术参考手册*。

6.11.3.4.3.4 DL – 驱动电平

驱动电平是指电子振荡器提供以及晶体耗散的功率。晶体制造商数据表中指定的最大驱动电平通常是晶体在不损坏或显著缩短使用寿命的情况下可以耗散的最大驱动电平。另一方面，电子振荡器指定的驱动电平是它可以提供的最大功率。电子振荡器提供的实际功率不一定是最大功率，具体取决于晶体和电路板元件。

如果电子振荡器的实际驱动电平超过晶体的最大驱动电平规格，则应安装阻尼电阻器 (Rd) 以限制电流并降低晶体的功率耗散。请注意，Rd 会降低电路增益；因此，应评估要使用的实际值，以确保满足启动和持续振荡的所有其他条件。

6.11.3.4.4 如何选择晶体

请参考晶体振荡器规格：

1. 选择一个晶体频率（例如，20MHz）。
2. 确认晶体的 ESR <=50Ω，符合 20MHz 的规格。
3. 确认晶体制造商的负载电容要求位于 6pF 和 12pF 之间，符合 20MHz 的规格。
   - 如前所述，CL1 和 CL2 是串联的；因此，如果 CL1 = CL2，则有效负载电容 CL = [CL1]/2。
   - 在此基础上加上电路板寄生效应会得到 CL = [CL1]/2 + 杂散电容
4. 确认晶体的最大驱动电平 >= 1mW。如果不满足此要求，则可以使用阻尼电阻 Rd。请参阅 DL - 驱动电平，了解使用 Rd 时要考虑的其他要点。

DRAFT ONLY
TI Confidential – NDA Restrictions

6.11.3.4.5 测试

建议用户让晶体制造商使用其电路板对晶体进行完整表征，以确保晶体始终启动并保持振荡。

下面简要概述了可执行的一些测量：

由于晶体电路对电容非常敏感，建议不要将示波器探针连接到 X1 和 X2。如果必须使用示波器探针来监测 X1/X2，则应使用电容小于 1pF 的有源探针。

频率

1. 在 XCLKOUT 上引出 XTAL。
2. 测量该频率作为晶体频率。

负电阻

1. 在 XCLKOUT 上引出 XTAL。
2. 在负载电容器之间放置一个与晶体串联的电位器。
3. 增加电位器的电阻，直到 XCLKOUT 上的时钟停止。
4. 该电阻加上晶体的实际 ESR 就是电振荡器的负电阻。

启动时间

1. 关闭 XTAL。
2. 在 XCLKOUT 上引出 XTAL。
3. 开启 XTAL 并测量 XCLKOUT 上的时钟保持在 45% 和 55% 占空比范围内所需的时间。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.11.3.4.6 常见问题和调试提示

晶体无法启动

- 浏览如何选择晶体部分，确保没有违规。

晶体需要很长时间才能启动

- 如果安装了阻尼电阻 Rd，则其过高。
- 如果未安装阻尼电阻，则晶体 ESR 过高或由于高负载电容而导致总电路增益过低。

6.11.3.4.7 晶体振荡器规格

6.11.3.4.7.1 晶体振荡器参数

		最小值	最大值	单位
CL1、CL2	负载电容	12	24	pF
C0	晶振并联电容		7	pF

6.11.3.4.7.2 晶振等效串联电阻 (ESR) 要求

对于晶振等效串联电阻 (ESR) 需求表：

1. 晶振并联电容 (C0) 应小于或等于 7pF。
2. ESR = 负电阻/3

表 6-5. 晶振等效串联电阻 (ESR) 要求

晶体频率 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

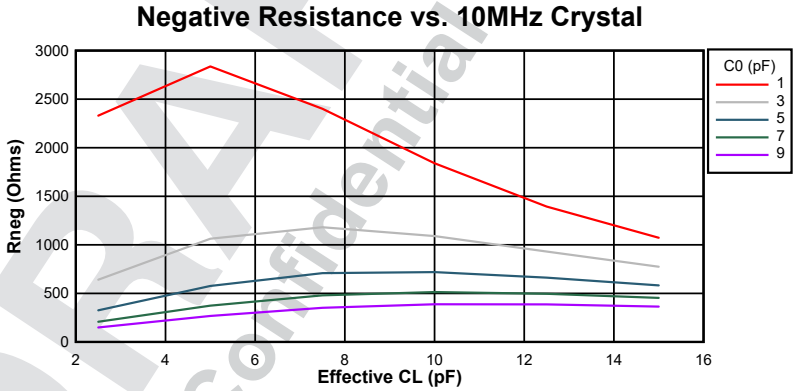


图 6-16. 10MHz 时的负电阻变化

DRAFT ONLY
TI Confidential – NDA Restrictions

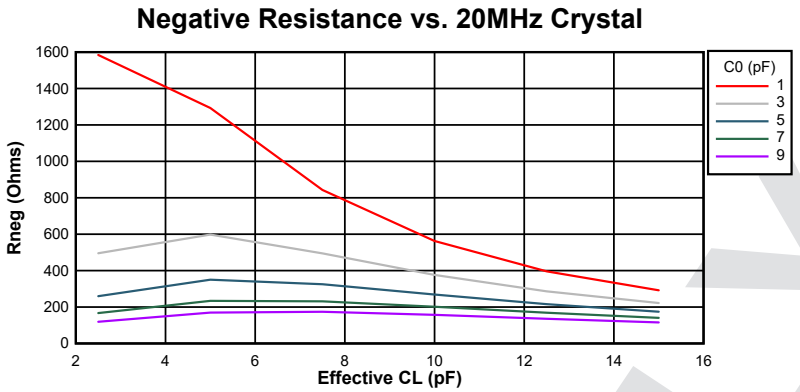


图 6-17. 20MHz 时的负电阻变化

6.11.3.4.7.3 晶体振荡器电气特性

在推荐的工作条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
启动时间(1)	f = 10MHz	ESR 最大值 = 110 Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20 MHz	ESR 最大值 = 50 Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
晶振驱动电平 (DL)					1	mW

(1) 启动时间取决于晶体和振荡电路元件。TI 建议晶体供应商使用所选晶体来表征应用。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.11.3.5 内部振荡器

为了减少电路板生产成本和缩短应用开发时间，所有 F280013x 器件都包含两个独立的内部振荡器，称为 INTOSC1 和 INTOSC2。默认情况下，INTOSC2 设置为系统参考时钟 (OSCCLK) 源，INTOSC1 设置为备用时钟源。

如果应用需要更严格的 **SCI 波特率匹配**，则可以使用 C2000Ware 中提供的 SCI 波特率调优示例 (baud_tune_via_uart)。

6.11.3.5.1 INTOSC 特性

在建议运行条件下测得（除非另有说明）

参数		部件	封装后缀	测试条件	最小值	典型值	最大值	单位
f_{INTOSC}	频率，INTOSC1 和 INTOSC2((1))	F2800137、F2800135V、F2800135	PT、PM	-40°C 至 125°C	9.82 (-1.8%)	10	10.1 (1.0%)	MHz
				-30°C 至 90°C	9.86 (-1.4%)	10	10.1 (1.0%)	
				-10°C 至 85°C	9.9 (-1.0%)	10	10.1 (1.0%)	
		F2800133、F2800132		-40°C 至 125°C	9.7 (-3.0%)	10	10.3 (3.0%)	
		全部	RHB、RGZ	-40°C 至 125°C	9.7 (-3.0%)	10	10.3 (3.0%)	
$f_{INTOSC-STABILITY}$	室温下的频率稳定性	全部	全部	30°C，标称 VDD		±0.1		%
$t_{INTOSC-ST}$	启动和趋稳时间	全部	全部				20	µs

(1) 由于回流焊的热应力和机械应力，INTOSC 频率可能会发生偏移。回流焊后烘烤可以使器件恢复到原始数据表性能。

6.11.3.5.2 INTOSC2 与外部精密电阻 (ExtR) 搭配使用

为获得更高的精度，可将一个外部精密电阻与 INTOSC2 搭配使用。

所需的外部元件包括：

- EXTR 引脚和 VSS 之间的 100kΩ 精密电阻器
- 用于噪声滤波的 10nF 电容器
- 用于低噪声电源和负载瞬态的 20µF VDDIO 电容最小值

图 6-18 展示了这些所需外部组件的示例图示。

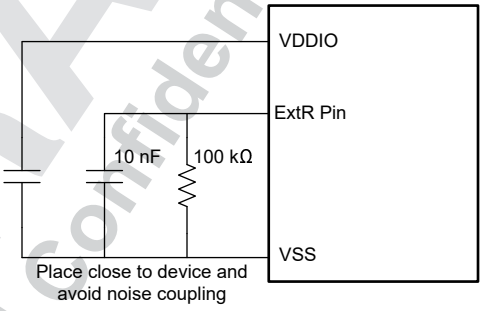


图 6-18. ExtR 示例原理图

在 EXTR 模式下，振荡器频率误差与 EXTR 电阻器的精度成正比。

VDDIO 电源的质量直接影响 EXTR INTOSC 性能。必须谨慎确定 VDDIO 电容值和电路设计，以便提供尽可能干净的电源，避免抖动、噪声和其他性能问题。

在 EXTR 引脚上放置一个电阻可防止将该引脚用作 GPIO 或 X1。

DRAFT ONLY
TI Confidential – NDA Restrictions

表 6-6 提供了 ExtR 规格值。

表 6-6. ExtR 规格

参数	测试条件	最小值	典型值	最大值	单位
$f_{INTOSC2\text{-}ExtR\text{-}ERR\text{-}PERC}$	理想的 0% 误差 100kΩ ExtR 电阻器	-0.7	0	+0.7	%
$f_{INTOSC2\text{-}ExtR}$	理想的 0% 误差 100kΩ ExtR 电阻器	9.93	10	10.07	MHz
$f_{ExtR\text{-}SETTLING}$	切换至 ExtR 模式		1		ms
ExtR 电阻 (R_{ExtR})			100		kΩ
ExtR 去耦电容 (C_{ExtR})			10		nF
VDDIO 去耦电容 (C_{VDDIO})		20			μF

表 6-7 提供了在给定电阻参数的情况下确定 INTOSC2 总误差的计算示例。

表 6-7. 样本总误差计算

参数	值	单位
INTOSC2 理想频率变化	0.70	%
ExtR 电阻容差	$R_{TOLERANCE}$	%
ExtR 电阻器温度系数	R_{TEMPCO}	ppm/°C
工作温度	$T_{OPERATING_POINT}$	°C
ExtR 数据表环境温度	$T_{AMBIENT}$	°C
总频率误差	$[(0.70/100) + (R_{TOLERANCE}/100) + ((R_{TEMPCO}/1E6) * abs(T_{OPERATING_POINT}-T_{AMBIENT}))]*100$	%

表 6-8 提供了使用上述计算的示例值。

表 6-8. 总误差示例值

参数	值	单位
INTOSC2 理想频率变化	0.70	%
ExtR 电阻容差	0.10	%
ExtR 电阻器温度系数	25	ppm/ °C
工作温度	90	°C
ExtR 数据表环境温度	25	°C
总频率误差计算	((0.70/100) + (0.10/100) + ((25/1E6) * abs(90-25)))*100	%
总频率误差计算	0.96	%

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

为获得理想性能，请遵循以下电路板布局布线指南：

- ExtR 迹线应尽可能短
- ExtR 应布放到最近的 VSS 引脚
- 将 ExtR (R_{ExtR}) 和 C_{ExtR} 与 C2000 器件放在同一侧，并仅在同一层布线
- 任何相邻的 GPIO 引脚（例如 GPIO18、X2）都可以使用另一侧和不同的层进行布线，以便减少相邻的 GPIO 耦合
- VSS 连接必须同时连接到 VSS 平面并直接连接到 C2000 器件 VSS 引脚
- 建议在 ExtR 布线周围布放 VSS 防护布线，如图 6-19 所示
- 在 ExtR 和 C_{EXTR} 下方的层中填充 VSS 或 VDDIO 平面，避免在相邻的层中布置信号布线

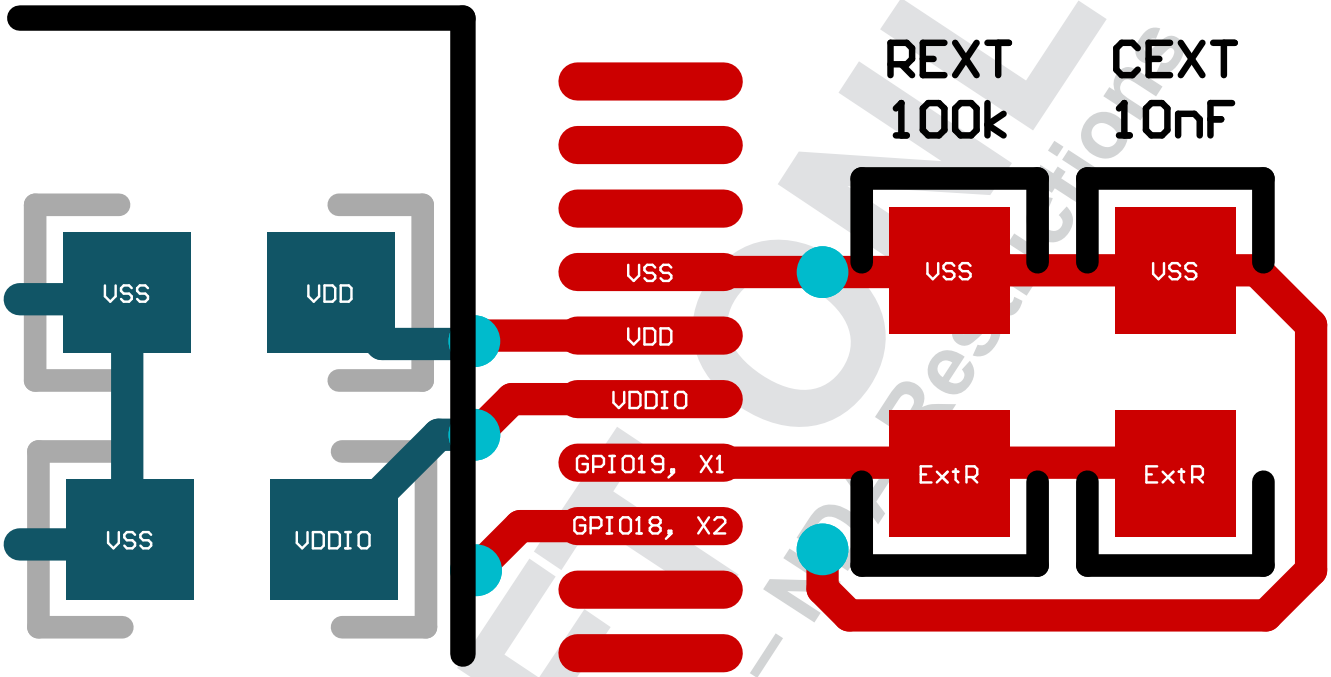


图 6-19. ExtR PCB 布局示例

DRAFT ONLY
TI Confidential – NDA Restrictions

6.11.4 闪存参数

表 6-9 列出了不同时钟源和频率下所需的最低闪存等待状态。等待状态是寄存器 FRDCNTL[RWAIT] 中设置的值。

表 6-9. 不同时钟源和频率下所需的最低闪存等待状态

CPUCLK (MHz)	等待状态 (FRDCNTL[RWAIT](1))
80 < CPUCLK ≤ 120	2
0 < CPUCLK ≤ 80	1

(1) 所需的最小 FRDCNTL[RWAIT] 为 1，不支持 RWAIT=0。

F280013x 器件具有经改进的 128 位预取缓冲器，可在不同等待状态下提供更高的闪存代码执行效率。图 6-20 和图 6-21 展示了该系列器件与采用 64 位预取缓冲器的上一代器件在不同等待状态设置下的典型效率比较情况。使用预取缓冲器时的等待状态执行效率将取决于应用软件中存在的分支数量。此处提供了线性代码和 if-then-else 代码的两个示例。

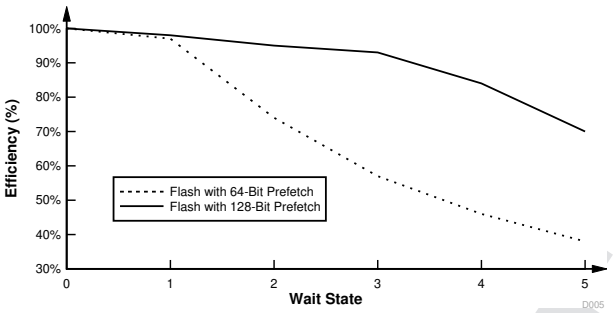


图 6-20. 具有大量 32 位浮点数学指令的应用程序代码

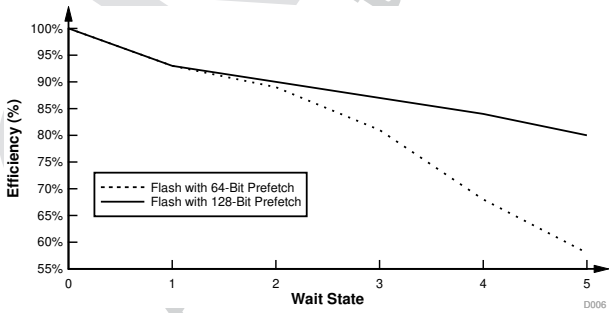


图 6-21. 具有 16 位 If-Else 指令的应用程序代码

备注

主阵列闪存编程必须与 64 位地址边界对齐，并且每个 64 位字在每个写/擦除周期只能编程一次。

DRAFT
TI Confidential – NDA restrictions

Copyright © 2023 Texas Instruments Incorporated

6.11.4.1 闪存参数

参数		最小值	典型值	最大值	单位
编程时间(1)	128 数据位 + 16 ECC 位		62.5	625	µs
	2KB（扇区）		8	80	ms
擦除时间(2) (3)（< 25 个周期）	2KB（扇区）		15	55	ms
	64KB		17	61	ms
	128KB		18	66	ms
	256KB		21	78	ms
擦除时间(2) (3)（1000 个周期）	2KB（扇区）		25	130	ms
	64KB		28	143	ms
	128KB		30	157	ms
	256KB		35	183	ms
擦除时间(2) (3)（2000 个周期）	2KB（扇区）		30	221	ms
	64KB		33	243	ms
	128KB		36	265	ms
	256KB		42	310	ms
擦除时间(2) (3)（20K 个周期）	2KB（扇区）		120	1003	ms
	64KB		132	1102	ms
	128KB		145	1205	ms
	256KB		169	1410	ms
N_{wec} 每个存储体的写入/擦除周期((4))				100000	周期
$t_{retention}$ 数据保持持续时间 (T_J = 85ºC)		20			年

(1) 编程时间是最大器件频率下的值。编程时间包括闪存状态机的开销，但不包括将以下内容传输到 RAM 的时间：
- 使用闪存 API 对闪存进行编程的代码
- 闪存 API 本身
- 要编程的闪存数据

换言之，此表中显示的时间是指器件 RAM 中的所有必需代码/数据都变为可用状态并准备好进行编程之后的相应时间。所用 JTAG 调试探头的速度对传输时间有显著影响。
编程时间的计算以在指定的工作频率下一次编程 144 位为基础。编程时间包含 CPU 对编程的验证。写入/擦除 (W/E) 循环不会缩短编程时间，但会缩短擦除时间。
擦除时间包括由 CPU 对编程的验证，不涉及任何数据传输。

(2) 擦除时间包含 CPU 对擦除的验证。

(3) 当器件从 TI 出货时，片上闪存存储器处于一个被擦除状态。这样，当首次编辑器件时，在编程前无需擦除闪存存储器。然而，对于所有随后的编程操作，需要执行擦除操作。

(4) 存储体和扇区写入/擦除周期的总和不能超过此数字。

DRAFT ONLY
TI Confidential – NDA Restrictions

6.11.5 仿真/JTAG

JTAG（IEEE 标准 1149.1-1990 标准测试访问端口和边界扫描架构）端口有四个专用引脚：TMS、TDI、TDO 和 TCK。cJTAG（针对简化引脚和增强功能测试访问端口以及边界扫描架构的 IEEE 标准 1149.7-2009）端口，是一个只需要两个引脚（TMS 和 TCK）的紧凑型 JTAG 接口，此接口可实现多路复用为传统 GPIO35 (TDI) 和 GPIO37 (TDO) 引脚的其他器件功能。

通常情况下，当 MCU 目标和 JTAG 接头之间的距离小于 6 英寸 (15.24cm)，并且 JTAG 链上没有其他器件时，JTAG 信号上不需要缓冲器。否则，每个信号都应被缓冲。此外，对于大多数 10MHz 下的 JTAG 调试探针操作，JTAG 信号上不需要串联电阻器。但是，如果需要高仿真速度（35MHz 左右），则应在每个 JTAG 信号上串联 22Ω 电阻。

JTAG 调试探针头的 PD（电源检测）引脚应连接到电路板 3.3V 电源。接头 GND 引脚应连接至电路板接地。TDIS（电缆断开感应）也应连接至电路板接地。JTAG 时钟应从接头 TCK 输出引脚环回到接头的 RTCK 输入引脚（以通过 JTAG 调试探针检测时钟连续性）。此 MCU 不支持 14 引脚和 20 引脚仿真接头上的 EMU0 和 EMU1 信号。这些信号应始终通过一对 2.2kΩ 至 4.7kΩ（取决于调试器端口的驱动强度）的板载上拉电阻在仿真接头处上拉。通常使用 2.2kΩ 的阻值。

接头引脚 $\overline{\text{RESET}}$ 是 JTAG 调试探针接头的开漏输出，通过 JTAG 调试探针命令使电路板元件复位（仅通过 20 引脚接头可用）。图 6-22 展示了如何将 14 引脚 JTAG 接头连接到 MCU 的 JTAG 端口信号图 6-23 展示了如何连接到 20 引脚 JTAG 接头。20 引脚 JTAG 接头引脚 EMU2、EMU3 和 EMU4 未使用，应接地。

有关硬件断点和观察点的更多信息，请参阅 CCS 中 C2000 器件的硬件断点和观察点。

有关 JTAG 仿真的更多信息，请参阅 *XDS 目标连接指南*。

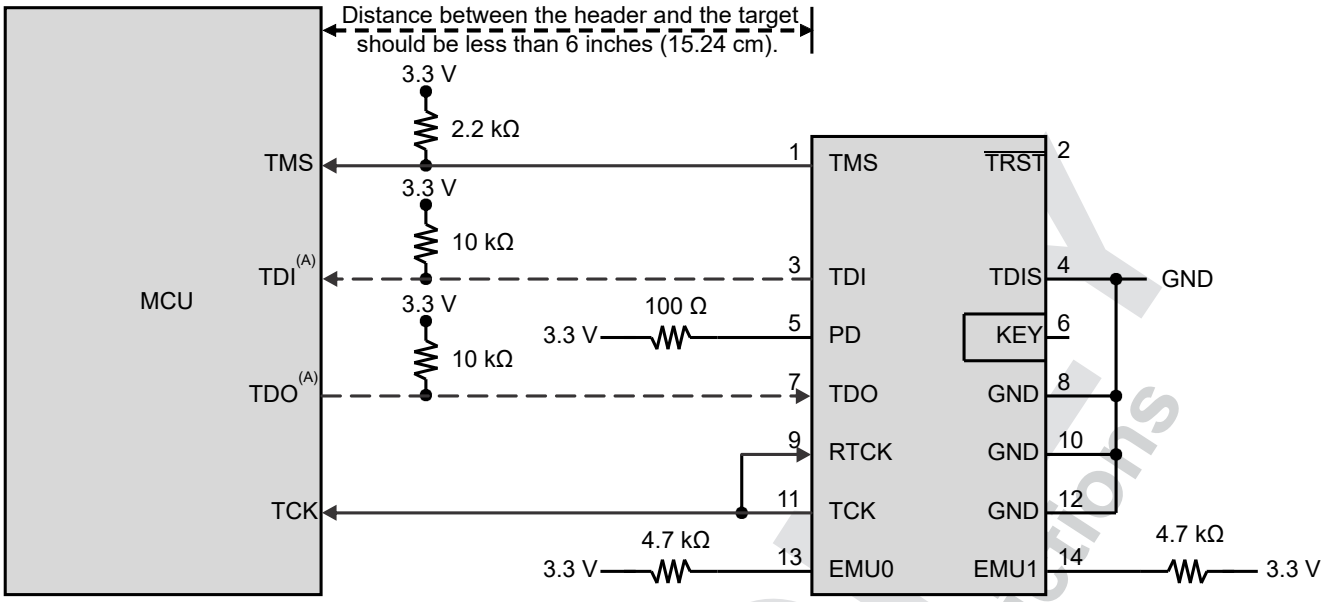
备注

JTAG 测试数据输入 (TDI) 是引脚的默认多路复用器选择。默认情况下，内部上拉处于禁用状态。如果此引脚被用作 JTAG TDI，应该启用内部上拉电阻器或在电路板上增加一个外部上拉电阻器来避免悬空输入。在 cJTAG 选项中，此引脚可用作 GPIO。

JTAG 测试数据输出 (TDO) 是引脚的默认多路复用器选择。默认情况下，内部上拉处于禁用状态。当没有 JTAG 活动时，TDO 函数将处于三态条件，使此引脚悬空。应启用内部上拉或在电路板上添加外部上拉，以避免 GPIO 输入悬空。在 cJTAG 选项中，此引脚可用作 GPIO。

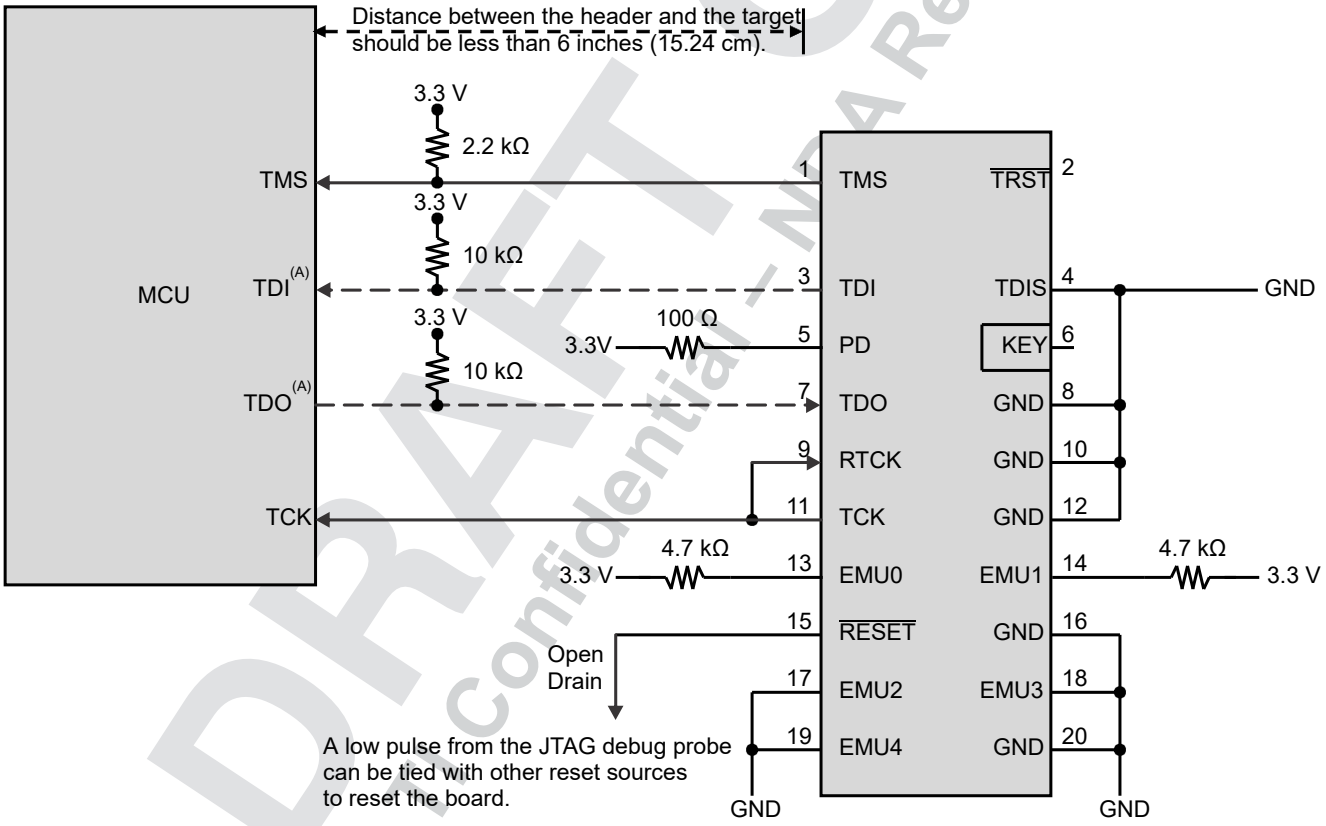
DRAFT ONLY
TI Confidential - NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated



A. cJTAG 选项不需要 TDI 和 TDO 连接，这些引脚可用作 GPIO。

图 6-22. 连接到 14 引脚 JTAG 接头



A. cJTAG 选项不需要 TDI 和 TDO 连接，这些引脚可用作 GPIO。

图 6-23. 连接到 20 引脚 JTAG 接头

DRAFT ONLY
Confidential – NDA Restrictions

6.11.5.1 JTAG 电气数据和时序

6.11.5.1.1 JTAG 时序要求

编号			最小值	最大值	单位
1	$t_{c(TCK)}$	周期时间，TCK	66.66		ns
1a	$t_{w(TCKH)}$	脉冲持续时间，TCK 高电平（t_c 的 40%）	26.66		ns
1b	$t_{w(TCKL)}$	脉冲持续时间，TCK 低电平（t_c 的 40%）	26.66		ns
3	$t_{su(TDI-TCKH)}$	TDI 有效至 TCK 高电平的输入设置时间	7		ns
	$t_{su(TMS-TCKH)}$	TMS 有效至 TCK 高电平的输入设置时间	7		
4	$t_{h(TCKH-TDI)}$	从 TCK 高电平至 TDI 有效的输入保持时间	7		ns
	$t_{h(TCKH-TMS)}$	从 TCK 高电平至 TMS 有效的输入保持时间	7		

6.11.5.1.2 JTAG 开关特征

在推荐的工作条件下（除非另有说明）

编号	参数		最小值	最大值	单位
2	$t_{d(TCKL-TDO)}$	TCK 低电平到 TDO 有效的延迟时间	6	20	ns

6.11.5.1.3 JTAG 时序图

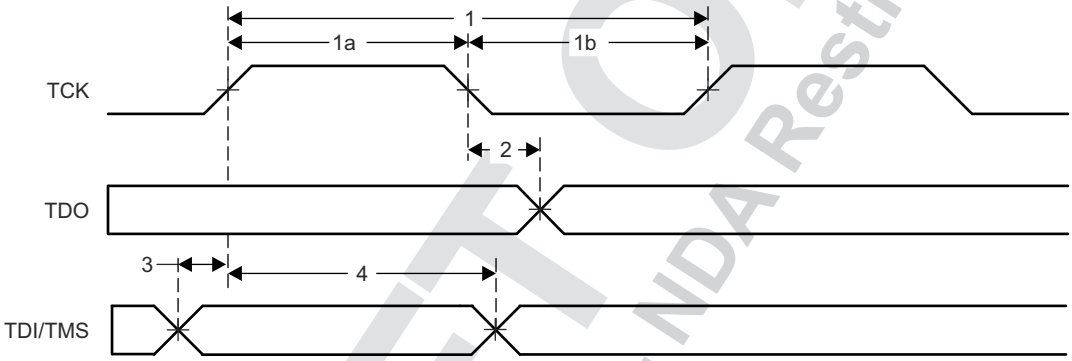


图 6-24. JTAG 时序

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.11.5.2 cJTAG 电气数据和时序

6.11.5.2.1 cJTAG 时序要求

编号			最小值	最大值	单位
1	$t_{c(TCK)}$	周期时间，TCK	100		ns
1a	$t_{w(TCKH)}$	脉冲持续时间，TCK 高电平（t_c 的 40%）	40		ns
1b	$t_{w(TCKL)}$	脉冲持续时间，TCK 低电平（t_c 的 40%）	40		ns
3	$t_{su(TMS-TCKH)}$	TMS 有效至 TCK 高电平的输入设置时间	7		ns
	$t_{su(TMS-TCKL)}$	输入设置时间，TMS 有效至 TCK 低电平	7		ns
4	$t_{h(TCKH-TMS)}$	从 TCK 高电平至 TMS 有效的输入保持时间	2		ns
	$t_{h(TCKL-TMS)}$	输入保持时间，从 TCK 低电平至 TMS 有效	2		ns

6.11.5.2.2 cJTAG 开关特性

在建议运行条件下测得（除非另有说明）

编号	参数		最小值	最大值	单位
2	$t_{d(TCKL-TMS)}$	延迟时间，TCK 低电平到 TMS 有效的时间	6	20	ns
5	$t_{dis(TCKH-TMS)}$	延迟时间，TCK 高电平到 TMS 禁用的时间		20	ns

6.11.5.2.3 cJTAG 时序图

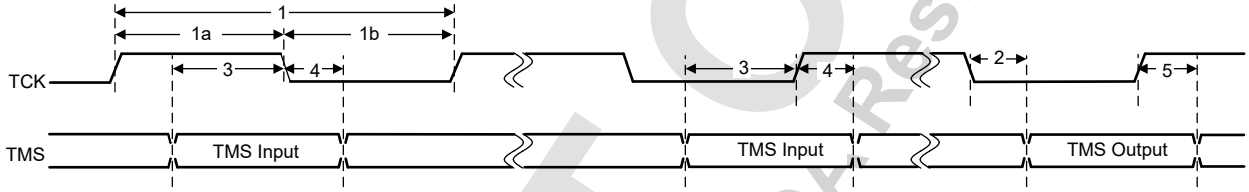


图 6-25. cJTAG 时序

DRAFT ONLY
TI Confidential – NDA Restrictions

6.11.6 GPIO 电气数据和时序

外设信号与通用输入/输出 (GPIO) 信号多路复用。复位时，GPIO 引脚配置为输入。对于特定的输入，用户还能选择输入限定周期的数量来滤除不必要的噪声干扰。

GPIO 模块包含输出 X-BAR，其允许将各种内部信号路由到 GPIO 多路复用器位置中的 GPIO 上，并表示为 OUTPUTXBARx。GPIO 模块还包含输入 X-BAR，用于将来自任何 GPIO 输入的信号路由到不同的 IP 块，例如 ADC、eCAP、ePWM 和外部中断。有关更多详细信息，请参阅 *TMS320F280013x 实时微控制器技术参考手册* 中的“X-BAR”一章。

6.11.6.1 GPIO - 输出时序

6.11.6.1.1 通用输出开关特征

在推荐的工作条件下 (除非另有说明)

参数			最小值	最大值	单位
$t_{r(GPO)}$	上升时间，GPIO 从低电平切换至高电平	所有 GPIO		6(1)	ns
$t_{f(GPO)}$	下降时间，GPIO 从高电平切换至低电平	所有 GPIO		6(1)	ns
t_{fGPO}	切换频率，GPIO 引脚			50	MHz

(1) 上升时间和下降时间随负载而变化。这些值假定负载为 6pF。

6.11.6.1.2 通用输出时序图

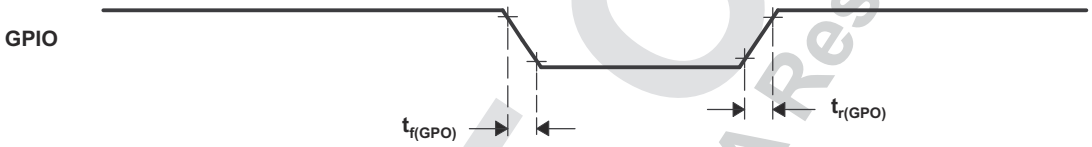


图 6-26. 通用输出时序

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

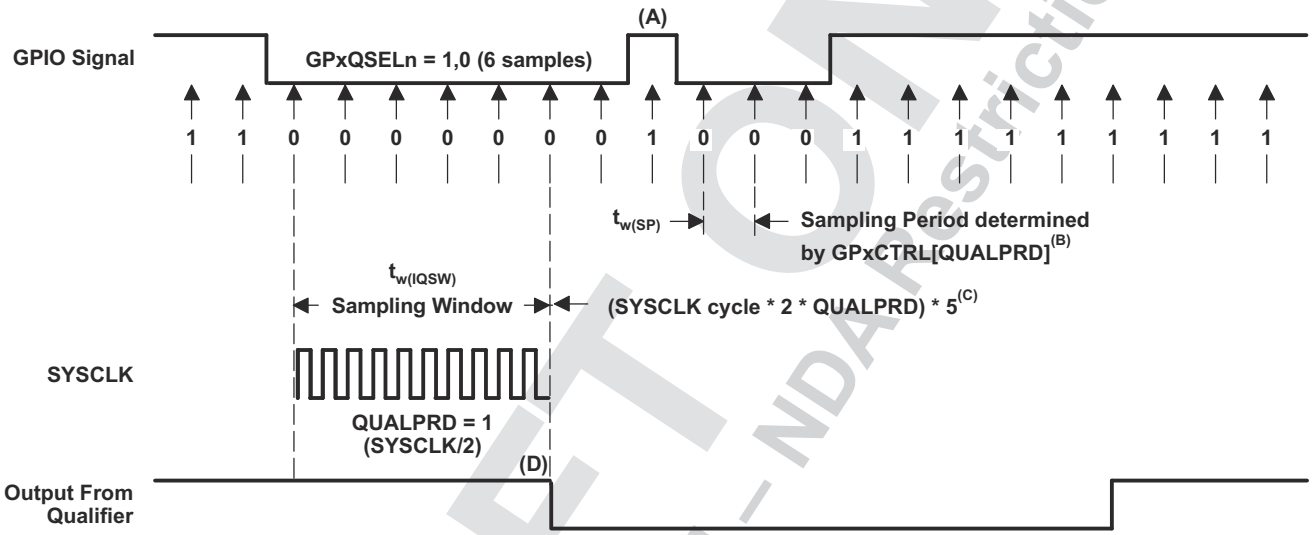
6.11.6.2 GPIO - 输入时序

6.11.6.2.1 通用输入时序要求

			最小值 最大值	单位
$t_{w(SP)}$	采样周期	QUALPRD=0	$1t_{c(SYSCLK)}$	周期
		QUALPRD≠0	$2t_{c(SYSCLK)}$*QUALPRD	周期
$t_{w(IQSW)}$	输入限定符采样窗口		$t_{w(SP)}$*(n(1)-1)	周期
$t_{w(GPI)}$ (2)	脉冲持续时间，GPIO 低电平/高电平	同步模式	$2t_{c(SYSCLK)}$	周期
		带输入限定符	$t_{w(IQSW)}$ + $t_{w(SP)}$ + $1t_{c(SYSCLK)}$	周期

(1) “n”代表由 GPxQSELn 寄存器定义的合格样片的数量。
(2) 对于 $t_{w(GPI)}$，对低电平有效信号在 V_{IL} 至 V_{IL} 之间测量脉宽，而高电平有效信号，在 V_{IH} 至 V_{IH} 之间测量脉宽。

6.11.6.2.2 采样模式



A. 输入限定符将忽略此短时脉冲波干扰。QUALPRD 位字段指定了限定采样周期。该位字段可以在 00 至 0xFF 之间变化。如果 QUALPRD=00，那么采样周期为 1 个 SYSCLK 周期。对于任何其他的“n”值，限定采样周期为 2n SYSCLK 周期（也就是说，在每 2n 个 SYSCLK 周期上，GPIO 引脚将被采样）。
B. 通过 GPxCTRL 寄存器选择的限定周期会应用于包含 8 个 GPIO 引脚的组。
C. 此限定块可取 3 个或者 6 个样片。GPxQSELn 寄存器选择使用哪种采样模式。
D. 在所示的示例中，为了使限定器检测到变化，输入应该在 10 个 SYSCLK 周期或者更长周期内保持稳定。换句话说，输入应该在 (5 × QUALPRD × 2) 个 SYSCLK 周期内保持稳定。这将确保有 5 个采样周期用于检测。由于外部信号是异步驱动的，因此 13 SYSCLK 宽的脉冲确保了可靠的识别。

图 6-27. 采样模式

DRAFT ONLY
TI Confidential – NDA Restrictions

6.11.6.3 输入信号的采样窗口宽度

下述小节总结了各种输入限定符配置下的输入信号的采样窗口宽度。

采样频率表明相对于 SYSCLK 对信号进行采样的频率。

如果 QUALPRD ≠ 0，采样频率 = SYSCLK/(2 × QUALPRD)

如果 QUALPRD=0，则采样频率 = SYSCLK

如果 QUALPRD≠0，则采样周期 = SYSCLK 周期 × 2 × QUALPRD

在上面的等式中，SYSCLK 周期表示 SYSCLK 的时间周期。

如果 QUALPRD=0，则采样周期 = SYSCLK 周期

在给定的采样窗口中，采取输入信号的 3 个或者 6 个样片来确定信号的有效性。这是由写入到 GPxQSELn 寄存器的值确定的。

情况 1：

使用 3 个样片进行限定

如果 QUALPRD≠0，则采样窗口宽度 = (SYSCLK 周期 x 2 x QUALPRD) × 2

如果 QUALPRD=0，则采样窗口宽度 = (SYSCLK 周期) x 2

情况 2：

使用 6 个样片进行限定

如果 QUALPRD≠0，则采样窗口宽度 = (SYSCLK 周期 x 2 x QUALPRD) × 5

如果 QUALPRD=0，则采样窗口宽度 = (SYSCLK 周期) x 5

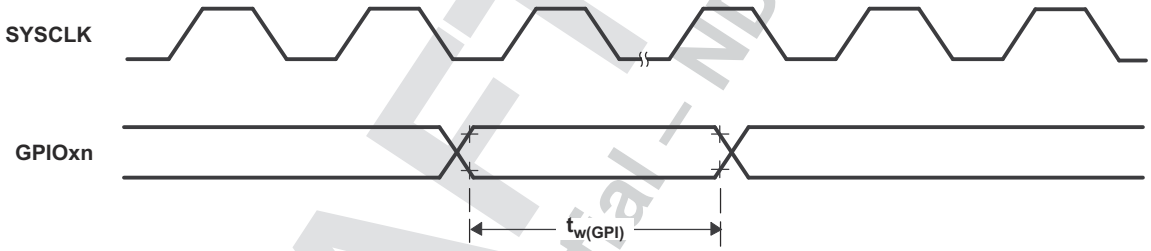


图 6-28. 通用输入时序

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.11.7 中断

C28x CPU 有 14 条外设中断线路，其中两条（INT13 和 INT14）分别直接连接到 CPU 计时器 1 和 2。其余 12 条通过增强型外设中断扩展 (ePIE) 模块连接到外设中断信号。ePIE 将多达 16 个外设中断多路复用到每条 CPU 中断线路中。它还会扩展矢量表以允许每个中断都有自己的 ISR。这使得 CPU 能够支持大量外设。

中断路径分为三级：外设、ePIE 和 CPU。每一级都有其自身的使能和标志寄存器。该系统允许 CPU 处理一个中断并让其他中断挂起，在软件中实施嵌套中断并确定其优先级，以及在某些关键任务期间禁用中断。

图 6-29 所示为该器件的中断架构。

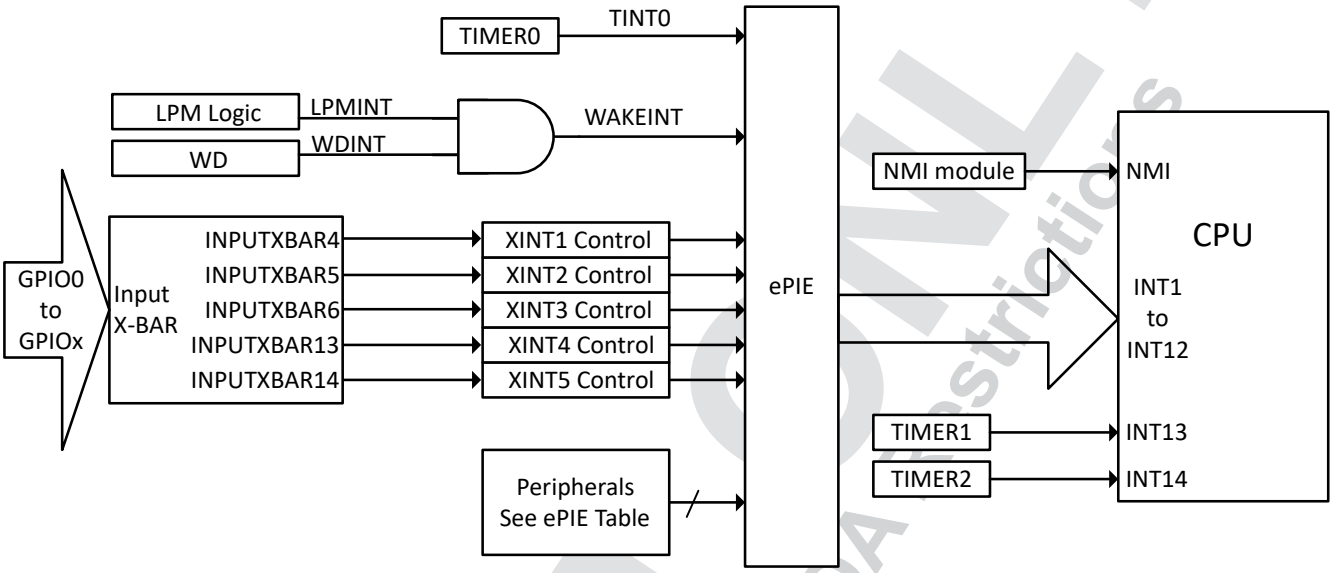


图 6-29. 器件中断架构

DRAFT ONLY
TI Confidential – NDA Restrictions

6.11.7.1 外部中断 (XINT) 电气数据和时序

有关输入限定符参数的说明，请参阅“通用输入时序要求”表。

6.11.7.1.1 外部中断时序要求

			最小值	最大值	单位
$t_{w(INT)}$	脉冲持续时间，INT 输入低电平/高电平	同步	$2t_{c(SYSCLK)}$		周期
		带限定符	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$		周期

6.11.7.1.2 外部中断开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	最大值	单位
$t_{d(INT)}$	延时时间，INT 低电平/高电平到中断矢量获取(1)	$t_{w(IQSW)} + 14t_{c(SYSCLK)}$	$t_{w(IQSW)} + t_{w(SP)} + 14t_{c(SYSCLK)}$	周期

(1) 这是假设 ISR 是在单周期存储器中。

6.11.7.1.3 外部中断时序

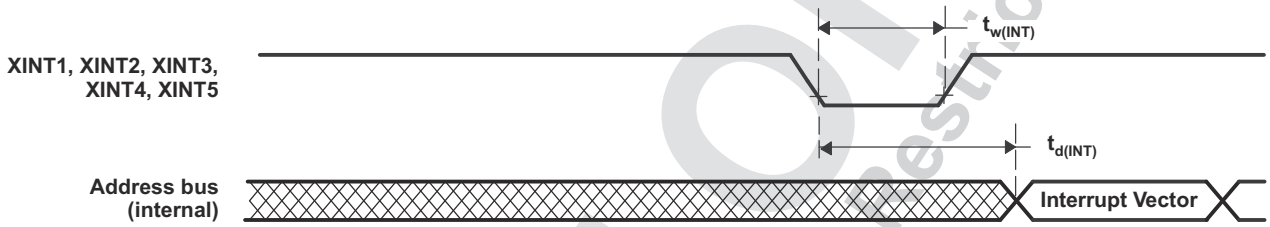


图 6-30. 外部中断时序

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.11.8 低功率模式

该器件具有停机、空闲和待机三种时钟门控低功耗模式。

有关所有低功耗模式的更多详细信息以及进入和退出过程，请参阅 *TMS320F280013x 实时微控制器技术参考手册* 的“低功耗模式”一节。

6.11.8.1 时钟门控低功耗模式

该器件上的空闲和停机模式与其他 C28x 器件上的类似。表 6-10 描述了进入任何一种时钟门控低功耗模式时对系统的影响。

表 6-10. 时钟门控低功耗模式对器件的影响

模块/ 时钟域	IDLE（闲置）	待机	HALT
SYSCLK	运行	门控	门控
CPUCLK	门控	门控	门控
连接到 PERx.SYSCLK 的模块的时钟	运行	门控	门控
WDCLK	运行	运行	如果 CLKSRCCTL1.WDHALTI = 0，则进行门控
PLL	供电	供电	软件必须在进入 HALT 之前关闭 PLL。
INTOSC1	供电	供电	如果 CLKSRCCTL1.WDHALTI = 0，则断电
INTOSC2	供电	供电	如果 CLKSRCCTL1.WDHALTI = 0，则断电
闪存(1)	供电	供电	供电
XTAL(2)	供电	供电	供电

(1) 在任何 LPM 下，闪存模块不会由硬件断电。如果应用需要，可使用软件将其断电。 要了解更多信息，请参阅 *TMS320F280013x 实时微控制器技术参考手册* 中“系统控制”一章的“闪存和 OTP 存储器”部分。

(2) 在任何 LPM 下，XTAL 不会由硬件断电。它可以通过软件将 XTALCR.OSCOFF 位设置为 1 来断电。如果不需要 XTAL，可以在应用期间的任何时间完成此操作。

DRAFT ONLY
TI Confidential – NDA Restrictions

6.11.8.2 低功耗模式唤醒时序

有关输入限定符参数的说明，请参阅“通用输入时序要求”表。

6.11.8.2.1 空闲模式时序要求

			最小值 最大值	单位
$t_{w(WAKE)}$	脉冲持续时间，外部唤醒信号	无输入限定符	$2t_{c(SYSCLK)}$	周期
		带输入限定符	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	

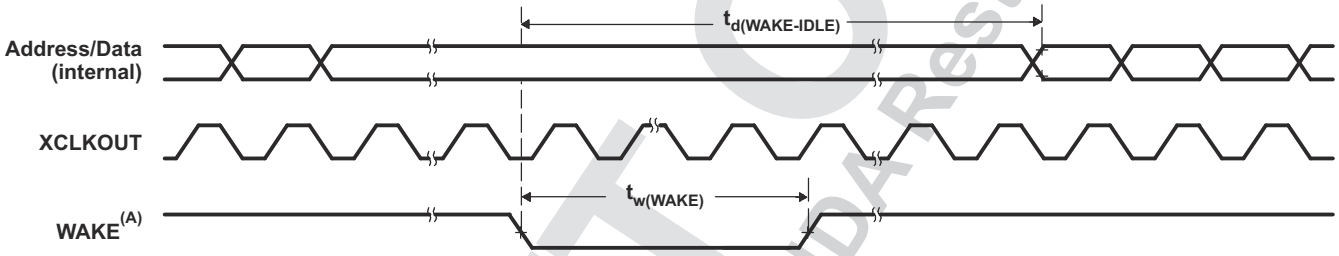
6.11.8.2.2 空闲模式开关特性

在推荐的运行条件下测得（除非另有说明）

参数			测试条件	最小值 最大值	单位
$t_{d(WAKE-IDLE)}$	延迟时间，外部唤醒信号到程序执行重新开始的时间(1)	来自闪存（活动状态）	无输入限定符	$40t_{c(SYSCLK)}$	周期
			带输入限定符	$40t_{c(SYSCLK)} + t_{w(WAKE)}$	周期
		来自 RAM	无输入限定符	$25t_{c(SYSCLK)}$	周期
			带输入限定符	$25t_{c(SYSCLK)} + t_{w(WAKE)}$	周期

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR（由唤醒信号触发）的执行涉及额外延迟。

6.11.8.2.3 空闲进入和退出时序图



A. WAKE 可以是任何启用的中断、$\overline{WDINT}$ 或 XRSn。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最少）的延迟。

图 6-31. 空闲进入和退出时序图

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.11.8.2.4 待机模式时序要求

			最小值 最大值	单位
$t_{w(WAKE-INT)}$	脉冲持续时间，外部唤醒信号	QUALSTDBY = 0 | $2t_{c(OSCCLK)}$	$3t_{c(OSCCLK)}$	周期
		QUALSTDBY > 0 | (2 + QUALSTDBY)$t_{c(OSCCLK)}$ (1)	(2 + QUALSTDBY) * $t_{c(OSCCLK)}$	

(1) QUALSTDBY 是 LPMCR 寄存器中的一个 6 位字段。

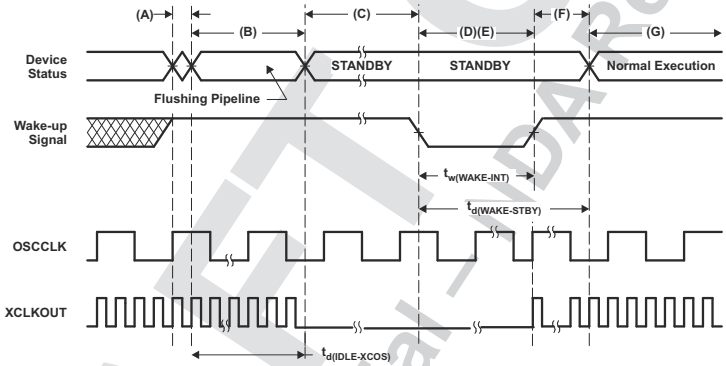
6.11.8.2.5 待机模式开关特征

在推荐的工作条件下（除非另有说明）

参数		测试条件	最小值 最大值	单位
$t_{d(IDLE-XCOS)}$	IDLE 指令被执行到 XCLKOUT 停止的延迟时间		$16t_{c(INTOSC1)}$	周期
$t_{d(WAKE-STBY)}$	延迟时间，外部唤醒信号到程序执行重新开始的时间(1)	从闪存唤醒（闪存模块处于活动状态）	$175t_{c(SYSCLK)}$ + $t_{w(WAKE-INT)}$	周期
$t_{d(WAKE-STBY)}$		从 RAM 唤醒	$3t_{c(OSC)}$ + $15t_{c(SYSCLK)}$ + $t_{w(WAKE-INT)}$	周期

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR（由唤醒信号触发）的执行涉及额外延迟。

6.11.8.2.6 待机模式进入和退出时序图



A. 执行空闲指令将器件置于待机模式。
B. LPM 块响应待机信号，SYSCLK 在关闭之前最多保持 16 个 INTOSC1 时钟周期。此延迟使 CPU 流水线和其他待处理的操作能够正确刷新。
C. 外设的时钟被关闭。然而，PLL 和看门狗并未关闭。此器件现在处于待机模式。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最小值）的延迟。
D. 外部唤醒信号被驱动为有效。
E. 馈送到 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外，此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚，器件的唤醒行为将是不确定的并且在随后的唤醒脉冲中器件可能不会退出低功耗模式。
F. 在延迟周期后，退出待机模式。
G. 正常执行重新开始。器件将响应中断（如果启用）。

图 6-32. 待机模式进入和退出时序图

DRAFT ONLY
TI Confidential – NDA Restrictions

6.11.8.2.7 停机模式时序要求

		最小值	最大值	单位
$t_{w(WAKE-GPIO)}$	脉冲持续时间，GPIO 唤醒信号(1)	t_{oscst} + $2t_{c(OSCCLK)}$		周期
$t_{w(WAKE-XRS)}$	脉冲持续时间，$\overline{XRS}$ 唤醒信号(1)	t_{oscst} + $8t_{c(OSCCLK)}$		周期

(1) 对于将 X1/X2 用于 OSCCLK 的应用，用户必须表征其特定的振荡器启动时间，因为它取决于器件外部的电路/布局。要了解更多信息，请参阅*晶体振荡器 (XTAL)* 部分。对于使用 INTOSC1 或 INTOSC2 作为 OSCCLK 的应用，请参阅“内部振荡器”部分，了解 t_{oscst}。振荡器启动时间不适用于在 X1 引脚上使用单端晶振的应用，因为它由器件外部供电。

6.11.8.2.8 停机模式开关特征

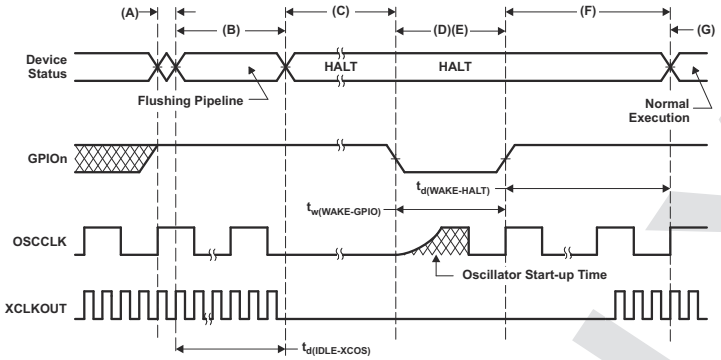
在推荐的工作条件下 (除非另有说明)

参数		最小值	最大值	单位
$t_{d(IDLE-XCOS)}$	IDLE 指令被执行到 XCLKOUT 停止的延迟时间		$16t_{c(INTOSC1)}$	周期
$t_{d(WAKE-HALT)}$	延迟时间，外部唤醒信号结束到 CPU1 程序执行重新开始的时间			周期
	从闪存唤醒 - 闪存模块处于活动状态		$75t_{c(OSCCLK)}$	
	从 RAM 唤醒		$75t_{c(OSCCLK)}$	

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.11.8.2.9 停机模式进入和退出时序图



A. 执行 IDLE 指令以将器件置于停机模式。
B. LPM 块响应 HALT 信号，SYSCLK 在关闭之前最多保持 16 个 INTOSC1 时钟周期。此延迟使 CPU 流水线和其他待处理的操作能够正确刷新。
C. 到外设的时钟被关闭并且 PLL 被关断。如果一个石英晶振或者陶瓷谐振器被用作时钟源，内部振荡器也被关断。器件现在处于停机模式，并且功耗非常低。可以在停机模式中保持内部振荡器（INTOSC1 和 INTOSC2）以及看门狗处于活动中。为实现这一点，需要向 CLKSRCCTL1.WDHALTI 写入 1。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最少）的延迟。
D. 当 GPIOn 引脚（用于使器件脱离 HALT 模式）被驱动为低电平时，振荡器被打开并且振荡器唤醒序列被启动。只有当振荡器稳定时，GPIO 才应被驱动为高电平。这使得在 PLL 锁序列期间提供洁净的时钟信号。由于 GPIO 引脚的下降沿会以异步方式开始唤醒过程，因此在进入停机模式之前和在此模式期间，应该注意保持低噪声环境。
E. 馈送到 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外，此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚，器件的唤醒行为将是不确定的并且在随后的唤醒脉冲中器件可能不会退出低功耗模式。
F. 当内核的 CLKIN 已启用时，器件将在一些延迟后响应中断（如果已启用）。现在退出停机模式。
G. 恢复正常运行。
H. 用户必须在停机唤醒时重新锁定 PLL，以确保稳定的 PLL 锁定。

图 6-33. 停机模式进入和退出时序图

DRAFT ONLY
TI Confidential – NDA Restrictions

6.12 模拟外设

本节介绍了模拟子系统模块。

该器件上的模拟模块包括模数转换器 (ADC)、温度传感器、比较器子系统 (CMPSS) 和 Lite 比较器子系统型号 (CMPSS)。

模拟子系统具有以下特性：

- 灵活的电压基准
  - ADC 以 VREFHI 和 VSSA 引脚为基准
    - VREFHI 引脚电压可由外部驱动或由内部带隙电压基准生成。
    - 内部电压基准范围可选为 0V 至 3.3V 或 0V 至 2.5V
  - 比较器 DAC 以 VDDA 和 VSSA 为基准
- 灵活地使用引脚
  - 比较器子系统输入和数字输入 (AIO)/输出 (AGPIO) 与 ADC 输入进行多路复用
  - 低比较器 DAC (CMPx_DACL) 可选择性输出到多路复用 ADC 引脚供外部使用（不能与 CMPSS 比较功能同时使用，仅在某些 CMPSS 实例中可用）
  - 内部连接到所有 ADC 上的 VREFLO，用于偏移量自校准

图 6-34 展示了所有封装的模拟子系统方框图。图 6-35 展示了模拟组连接。节 6.12.1 列出了模拟引脚和内部连接。节 6.12.2 列出了模拟信号的说明。

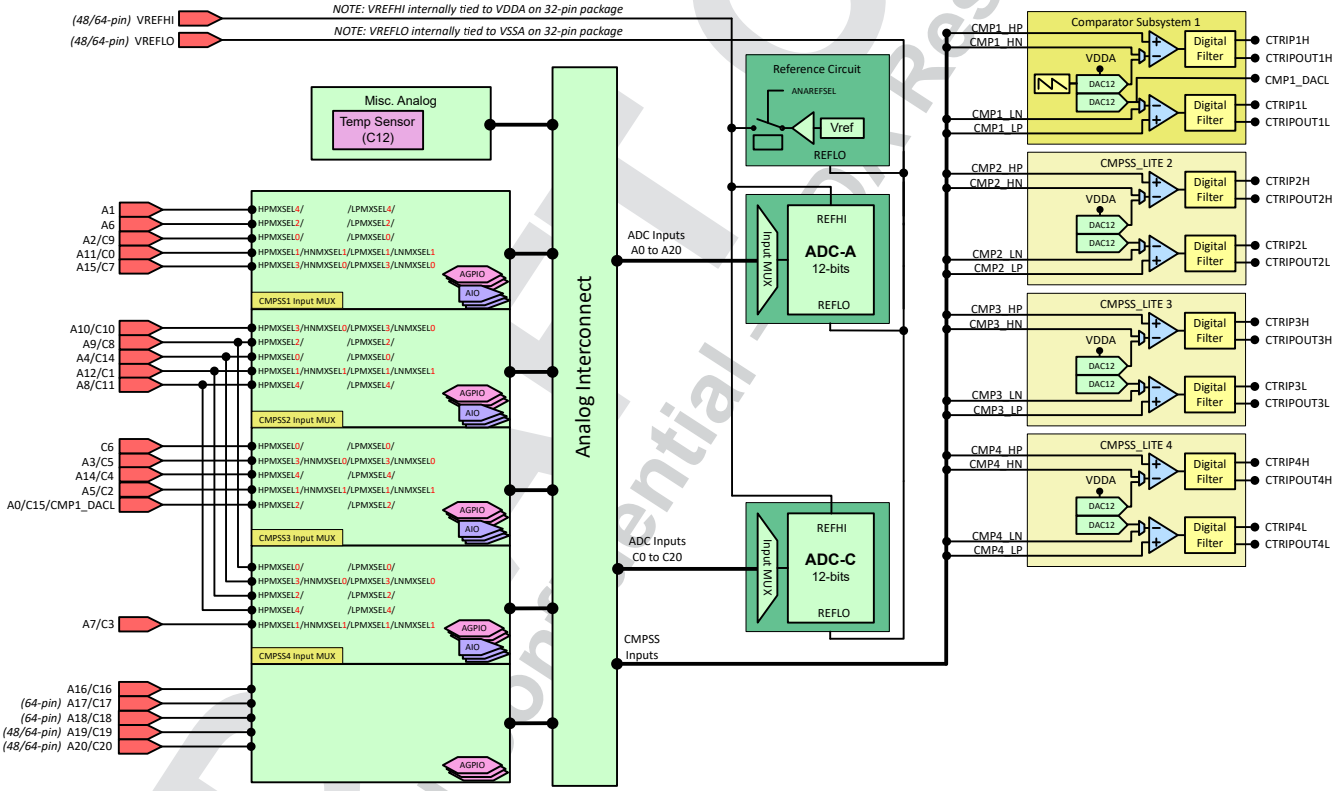
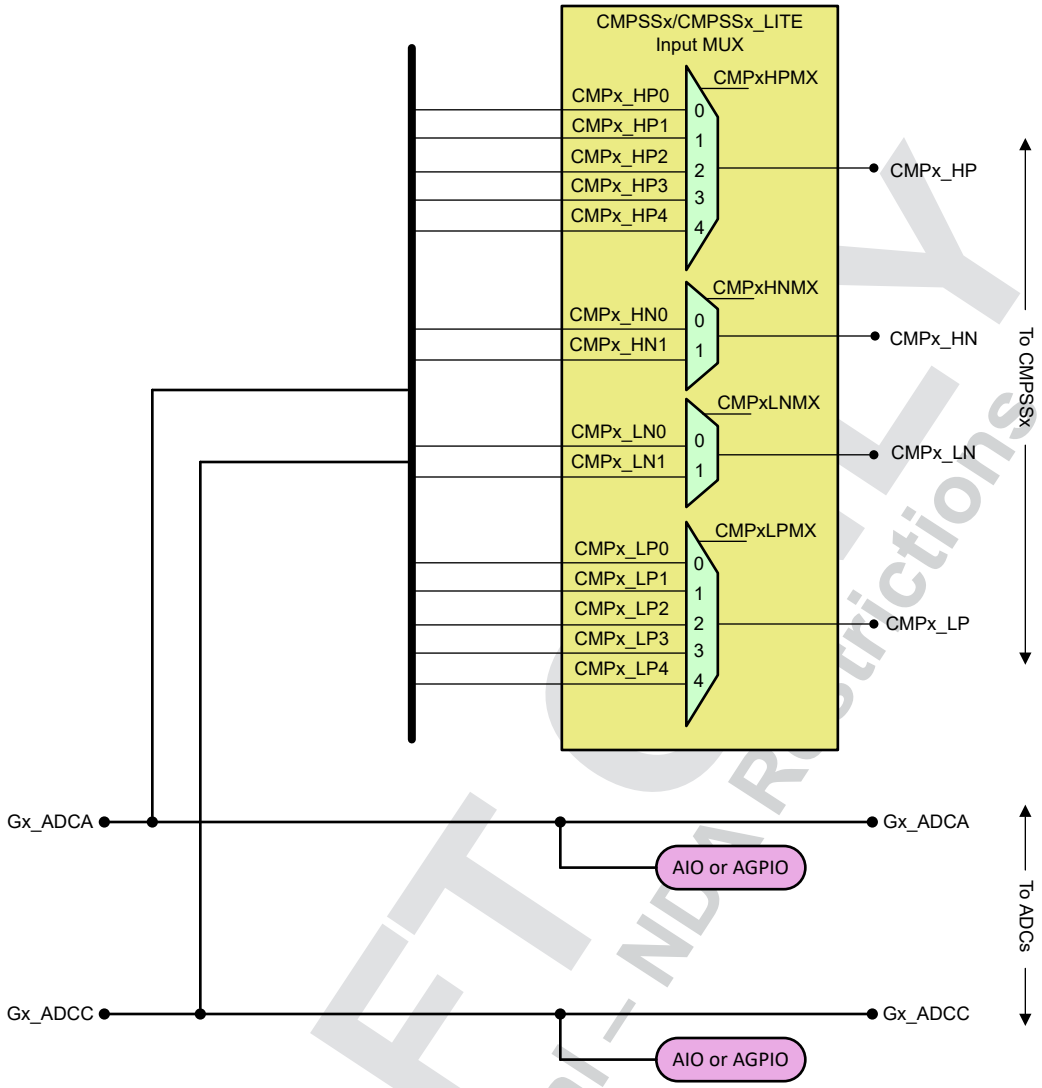


图 6-34. 模拟子系统方框图

DRAFT ONLY
Texas Instruments Confidential - Export Restrictions

Copyright © 2023 Texas Instruments Incorporated



注意：AIO 仅支持数字输入模式。

图 6-35. 模拟组连接

DRAFT ONLY
TI Confidential – NDA Restrictions

6.12.1 模拟引脚和内部连接

表 6-11. 模拟引脚和内部连接

引脚名称	引脚/封装				ADC		DAC	比较器子系统（多路复用器）				AIO 输入/GPIO
	64 QFP[5]	48 QFP	48 QFN	32 QFN	A	C		高 正	高 负	低 正	低 负	
VREFHI	16	12	12	-[4]								
VREFLO	17	13	13	-[4]	A13	C13						
模拟组 1								**CMP1**				
A6	6	4[1]	4[1]	2[1]	A6	-		CMP1 (HPMXSEL=2)		CMP1 (LPMXSEL=2)		GPIO228[3]
A2/C9	9	6	6	4	A2	C9		CMP1 (HPMXSEL=0)		CMP1 (LPMXSEL=0)		GPIO224[3]
A15/C7	10	7[1]	7[1]	5[1]	A15	C7		CMP1 (HPMXSEL=3)	CMP1 (HNMXSEL=0)	CMP1 (LPMXSEL=3)	CMP1 (LNMXSEL=0)	AIO233
A11/C0	12	8	8	6[1]	A11	C0		CMP1 (HPMXSEL=1)	CMP1 (HNMXSEL=1)	CMP1 (LPMXSEL=1)	CMP1 (LNMXSEL=1)	AIO237
A1	14	10	10	7[1]	A1	-		CMP1 (HPMXSEL=4)		CMP1 (LPMXSEL=4)		AIO232
模拟组 2								**CMP2**				
A10/C10	25	21	21	13[1]	A10	C10		CMP2 (HPMXSEL=3)	CMP2 (HNMXSEL=0)	CMP2 (LPMXSEL=3)	CMP2 (LNMXSEL=0)	GPIO230[3]
模拟组 3								**CMP3**				
C6	7	4[1]	4[1]	2[1]	-	C6		CMP3 (HPMXSEL=0)		CMP3 (LPMXSEL=0)		GPIO226[3]
A3/C5	8	5	5	3	A3	C5		CMP3 (HPMXSEL=3)	CMP3 (HNMXSEL=0)	CMP3 (LPMXSEL=3)	CMP3 (LNMXSEL=0)	GPIO242[3]
A14/C4	11	7[1]	7[1]	5[1]	A14	C4		CMP3 (HPMXSEL=4)		CMP3 (LPMXSEL=4)		AIO239
A5/C2	13	9	9	6[1]	A5	C2		CMP3 (HPMXSEL=1)	CMP3 (HNMXSEL=1)	CMP3 (LPMXSEL=1)	CMP3 (LNMXSEL=1)	AIO244
A0/C15/CMP1_DACL	15	11	11	7[1]	A0	C15	CMP1_DACL	CMP3 (HPMXSEL=2)		CMP3 (LPMXSEL=2)		AIO231
模拟组 4								**CMP4**				
A7/C3	19	15	15	8[1]	A7	C3		CMP4 (HPMXSEL=1)	CMP4 (HNMXSEL=1)	CMP4 (LPMXSEL=1)	CMP4 (LNMXSEL=1)	AIO245
组合模拟组 2/4								**CMP2/4**				
A12/C1	18	14	14	8[1]	A12	C1		CMP2 (HPMXSEL=1) CMP4 (HPMXSEL=2)	CMP2 (HNMXSEL=1)	CMP2 (LPMXSEL=1) CMP4 (LPMXSEL=2)	CMP2 (LNMXSEL=1)	AIO238
A8/C11	20	16	16	9	A8	C11		CMP2 (HPMXSEL=4) CMP4 (HPMXSEL=4)		CMP2 (LPMXSEL=4) CMP4 (LPMXSEL=4)		AIO241
A4/C14	23	19	19	12	A4	C14		CMP2 (HPMXSEL=0) CMP4 (HPMXSEL=3)	CMP4 (HNMXSEL=0)	CMP2 (LPMXSEL=0) CMP4 (LPMXSEL=3)	CMP4 (LNMXSEL=0)	AIO225
A9/C8	24	20	20	13[1]	A9	C8		CMP2 (HPMXSEL=2) CMP4 (HPMXSEL=0)		CMP2 (LPMXSEL=2) CMP4 (LPMXSEL=0)		GPIO227[3]
其他模拟												
温度传感器[2]	-	-	-	-	-	C12		CMP2 (HPMXSEL=5)				
A16/C16	2	2	2	32	A16	C16						GPIO28[3]
A17/C17	27	-	-	-	A17	C17						GPIO20[3]
A18/C18	28	-	-	-	A18	C18						GPIO21[3]

DRAFT ONLY
TI confidential – NDA restrictions

Copyright © 2023 Texas Instruments Incorporated

表 6-11. 模拟引脚和内部连接 (continued)

引脚名称	引脚/封装				ADC		DAC	比较器子系统（多路复用器）				AIO 输入/ GPIO
	64 QFP(5)	48 QFP	48 QFN	32 QFN	A	C		高 正	高 负	低 正	低 负	
A19/C19	29	23	22	-	A19	C19						GPIO13(3)
A20/C20	30	24	23	-	A20	C20						GPIO12(3)

(1) 信号与另一个信号在该封装上作为单个引脚接合在一起。
(2) 仅限内部连接；不连接到器件引脚。
(3) 这些模拟引脚上的 GPIO 支持完整的数字输入和输出功能，称为 AGPIO。默认情况下，AGPIO 处于未连接状态；也就是说，模拟和数字功能都被禁用。有关配置详细信息，请参阅 *ADC 引脚上的数字输入和输出 (AGPIO)* 部分。
(4) 在 32 RHB 封装上，VREFHI 在内部连接到 VDDA，而 VREFLO 在内部连接到 VSSA。
(5) 该列适用于 64 PM 和具有 VREGENZ 的 64 PM (VPM) 型号。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.12.2 模拟信号说明

表 6-12. 模拟信号说明

信号名称	说明
AIOx	ADC 引脚上的数字输入
Ax	ADC A 输入
Cx	ADC C 输入
CMPx_HNy	比较器子系统高电平比较器负输入
CMPx_HPy	比较器子系统高电平比较器正输入
CMPx_LNy	比较器子系统低电平比较器负输入
CMPx_LPy	比较器子系统低电平比较器正输入
CMPx_DACL	来自较低 CMPSS DAC 的 DAC 输出（可连接到外部引脚）
温度传感器	内部温度传感器

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.12.3 模数转换器 (ADC)

此处所述的 ADC 模块是一个逐次逼近 (SAR) 型 ADC，具有 12 位分辨率。本节将转换器的模拟电路称为“内核”，包括通道选择 MUX、采样保持 (S/H) 电路、逐次逼近电路、电压基准电路和其他模拟支持电路。转换器的数字电路被称为“包装器”，包括用于可编程转换的逻辑、结果寄存器、模拟电路接口、外设总线接口、后处理电路以及其他片上模块接口。

每个 ADC 模块都包含一个采样保持 (S/H) 电路。ADC 模块被设计成在同一个芯片上重复多次，从而实现多个 ADC 的同步采样或独立运行。ADC 包装器基于转换启动 (SOC) (请参阅 *TMS320F280013x 实时微控制器技术参考手册* 中“模数转换器 (ADC)”一章的“SOC 工作原理”一节) 。

每个 ADC 具有以下特性：

- 12 位分辨率
- 由 VREFHI/VREFLO 设定的比例式外部基准
- 2.5V 或 3.3V 的可选内部基准电压
- 单端信号模式
- 具有多达 21 个通道的输入多路复用器
- 16 个可配置 SOC
- 16 个可单独寻址的结果寄存器
- 多个触发源
  - 软件立即启动
  - 所有 ePWM：ADCSOC A 或 B
  - GPIO XINT2
  - CPU 计时器 0/1/2
  - ADCINT1/2
- 四个灵活的 PIE 中断
- 突发模式触发选项
- 四个后处理块，每块具有：
  - 饱和偏移量校准
  - 设定点计算的误差
  - 具有中断和 ePWM 跳变功能的高电平、低电平和过零比较
  - 触发至采样延迟采集

备注

并非每个通道都可以从所有 ADC 输出引脚。请参阅“引脚配置和功能”部分以确定哪些通道可用。

DRAFT ONLY
TI Confidential – NDA Restrictions

ADC 内核和 ADC 包装器的方框图如图 6-36 所示。

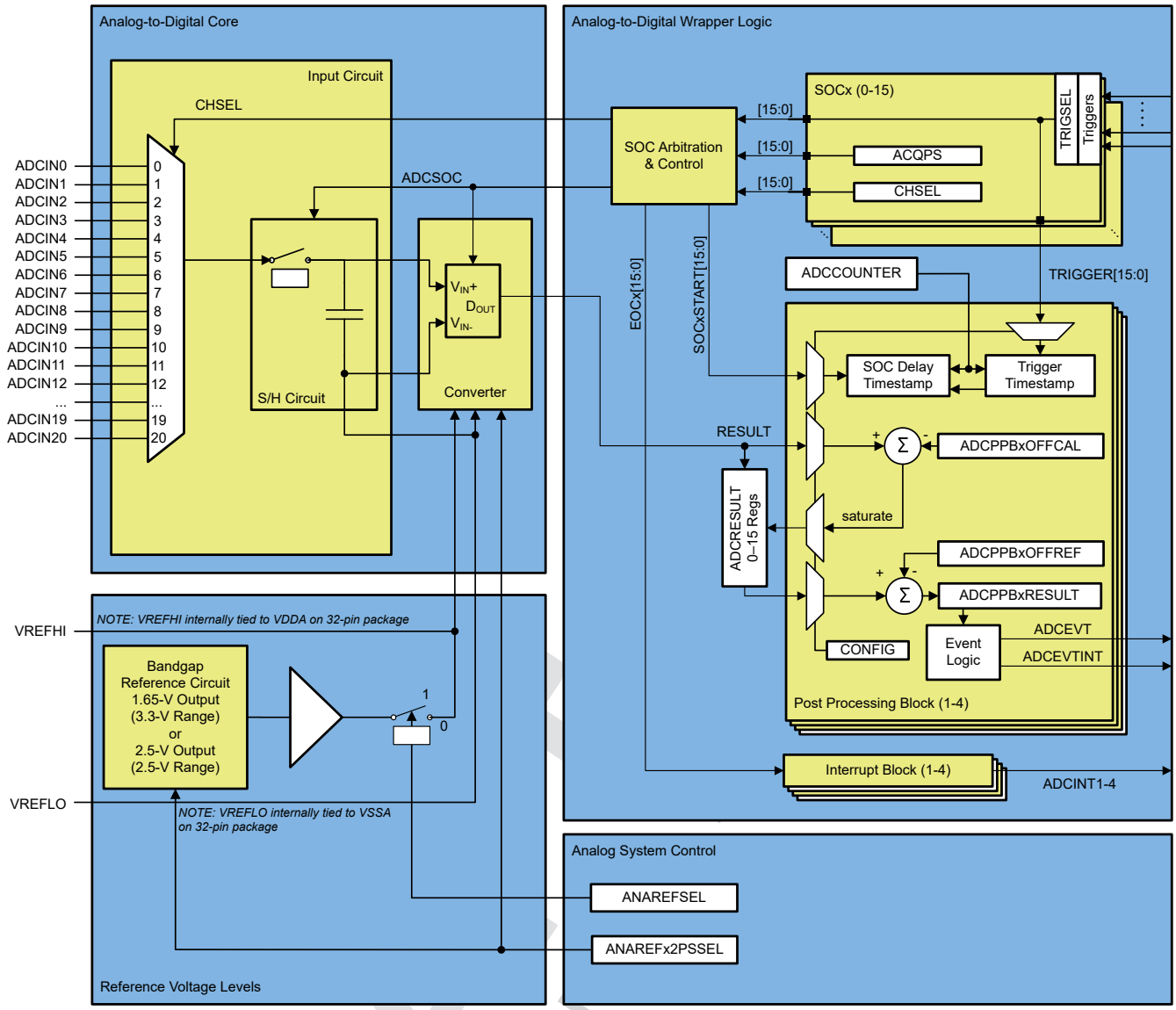


图 6-36. ADC 模块方框图

Copyright © 2023 Texas Instruments Incorporated

6.12.3.1 ADC 可配置性

一些 ADC 配置由 SOC 单独控制，而其他配置则由每个 ADC 模块全局控制。表 6-13 汇总了基本的 ADC 选项及其可配置性级别。

表 6-13. ADC 选项和配置级别

选项	可配置性
时钟	按照模块(1)
分辨率	不可配置（仅限 12 位分辨率）
信号模式	不可配置（仅限单端信号模式）
基准电压源	对所有模块均为外部或内部
触发源	按照 SOC(1)
转换后的通道	按照 SOC
采集窗口持续时间	按照 SOC(1)
EOC 位置	按照模块
突发模式	按照模块(1)

(1) 将这些值以不同方式写入不同的 ADC 模块可能会导致 ADC 异步工作。有关 ADC 何时同步或异步运行的指导，请参阅 *TMS320F280013x 实时微控制器技术参考手册* 中“模数转换器 (ADC)”一章的“确保同步运行”一节。

6.12.3.1.1 信号模式

ADC 支持单端信号模式。以 VREFLO 为基准通过单个引脚 (ADCINx) 对转换器的输入电压进行采样。

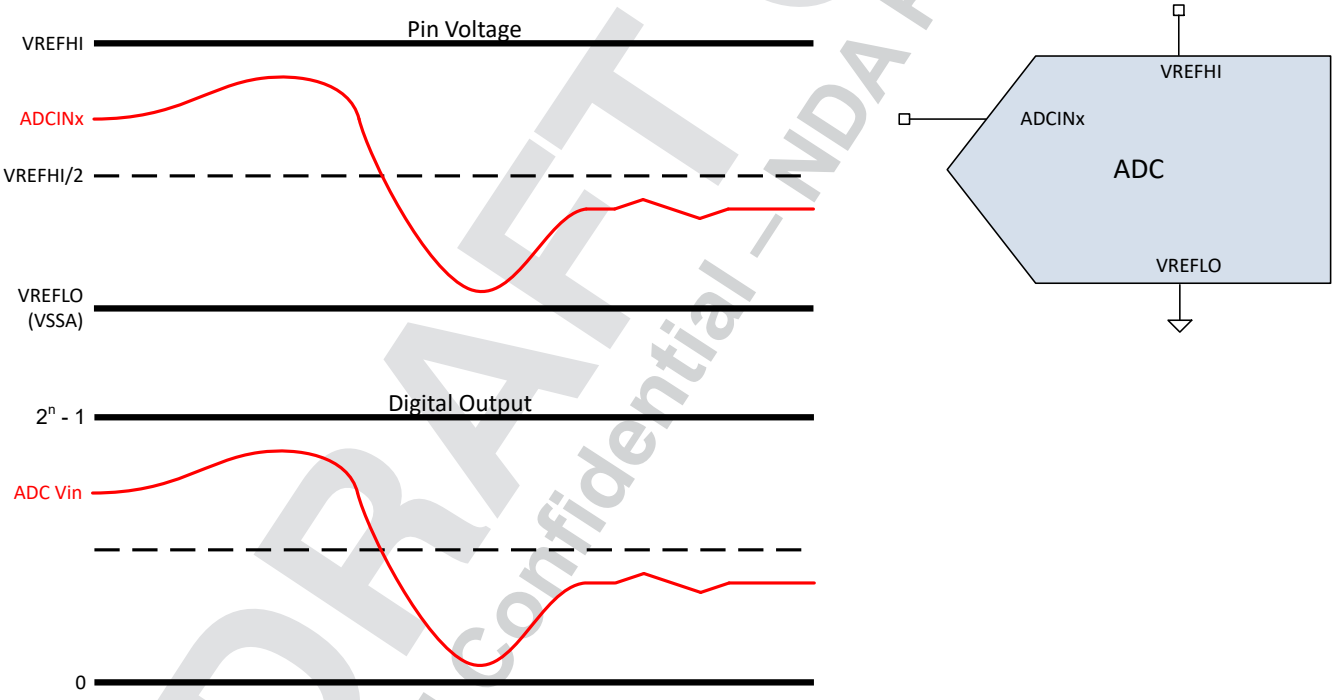


图 6-37. 单端信号模式

DRAFT ONLY
TI Confidential – NDA Restrictions

6.12.3.2 ADC 电气数据和时序

备注

工作过程中，ADC 输入应保持低于 VDDA + 0.3V。如果 ADC 输入超过此电平，器件内部的 V_{REF} 可能会受到干扰，这可能会影响使用相同 V_{REF} 的其他 ADC 输入的结果。

备注

VREFHI 引脚必须保持低于 VDDA + 0.3V，以确保正常工作。如果 VREFHI 引脚超过此电平，可能会激活阻塞电路，并且 VREFHI 的内部值可能会在内部浮动至 0V，从而导致 ADC 转换不正确。

6.12.3.2.1 ADC 运行条件

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK（源自 PERx.SYSCLK）	F2800137、F2800135、F2800133	5		60	MHz
	F2800132	5		50	
采样率	120MHz SYSCLK F2800137、F2800135、F2800133 引脚和 AIO			4	每秒百万次采样 (MSPS)
	120MHz SYSCLK F2800137、F2800135、F2800133 引脚和 AGPIO			3.75	
	100MHz SYSCLK F2800132 引脚和 AIO			3.45	
	100MHz SYSCLK F2800132 引脚和 AGPIO			3.33	
采样窗口持续时间（由 ACQPS 和 PERx.SYSCLK 设置）(1)	R_s 为 50Ω 或更小，引脚与 AIO	75			ns
	R_s 为 50Ω 或更小，引脚与 AGPIO	90			
	内部 VREFLO 连接	75			
VREFHI	外部基准	2.4	2.5 或 3.0	VDDA	V
VREFHI(2)	内部基准电压 = 3.3V 范围		1.65		V
	内部基准电压 = 2.5V 范围		2.5		V
VREFHI	封装 = 32QFN	VDDA	VDDA	VDDA	V
VREFLO		VSSA		VSSA	V
VREFHI - VREFLO		2.4		VDDA	V
转换范围	内部基准电压 = 3.3V 范围	0		3.3	V
	内部基准电压 = 2.5V 范围	0		2.5	
	外部基准	VREFLO		VREFHI	
	封装 = 32QFN	0		VDDA(3)	

(1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度，才能确保 ADC 正确运行。
(2) 在内部基准模式下，基准电压由器件从 VREFHI 引脚驱动。在此模式下，用户不应将电压驱动到引脚中。
(3) 在 32QFN 封装中，VREFHI 在内部连接至 VDDA，而 VREFLO 在内部连接至 VSSA。32QFN 封装不支持内部基准模式。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.12.3.2.2 ADC 特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK 转换周期	120MHz SYSCLK	10.1		11	ADCCLK
上电时间	外部基准模式			500	µs
	内部基准模式			5000	µs
	在 2.5V 和 3.3V 范围之间切换时采用内部基准模式。			5000	µs
VREFHI 输入电流(1)			130		µA
内部基准电容值(2)		2.2			µF
外部基准电容值(2)		2.2			µF
直流特性					
增益误差	内部基准电压	–45		45	LSB
	外部基准	-5	±3	5	
偏移量误差		–5	±2	5	LSB
通道间增益误差(4)			2		LSB
通道间偏移量误差(4)			2		LSB
ADC 间增益误差(5)	所有 ADC 的 VREFHI 和 VREFLO 都相同		4		LSB
ADC 间偏移量误差(5)	所有 ADC 的 VREFHI 和 VREFLO 都相同		2		LSB
DNL 误差		> –1	±0.5	1	LSB
INL 误差		-2	±1.0	2	LSB
ADC 间隔离	VREFHI = 2.5V，同步 ADC	-1		1	LSB
交流特性					
SNR(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1		68.8		dB
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 INTOSC		60.1		
THD(3)	VREFHI = 2.5V，fin = 100kHz		-80.6		dB
SFDR(3)	VREFHI = 2.5V，fin = 100kHz		79.2		dB
SINAD(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1		68.5		dB
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 INTOSC		60.0		
ENOB(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，单个 ADC		11.0		位
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，同步 ADC		11.0		
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，异步 ADC		不支持		

DRAFT ONLY
TI Confidential – NDA Restrictions

6.12.3.2.2 ADC 特性 (continued)

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
PSRR	VDD = 1.2V 直流 + 100mV 直流至正弦（1kHz 时）		60		dB
	VDD = 1.2V 直流 + 100mV 直流至正弦（300kHz 时）		57		
	VDDA = 3.3V 直流 + 200mV 直流至正弦（1kHz 时）		60		
	VDDA = 3.3V 直流 + 200mV 正弦（900kHz 时）		57		

(1) 当 ADC 输入大于 VDDA 时，VREFHI 上的负载电流会增加。这会导致转换不准确。
(2) 最好使用封装尺寸为 0805 或更小的陶瓷电容器。可接受高达 ±20% 的容差。
(3) 作为减少电容耦合和串扰的最佳实践的一部分，与 ADC 输入和 VREFHI 引脚相邻的引脚上的 IO 活动已尽可能减少。
(4) 同一 ADC 模块的所有通道之间的差异。
(5) 与其他 ADC 模块相比的最坏情况变化。

6.12.3.2.3 ADC 输入模型

表 6-14 和图 6-38 给出了 ADC 输入特性。

表 6-14. 编辑模型参数

	说明	基准模式	值
C_p	寄生输入电容	全部	请参阅表 6-15 至表 6-18
R_{on}	采样开关电阻	外部基准，2.5V 内部基准	500Ω
		3.3V 内部基准	860Ω
C_h	采样电容器	外部基准，2.5V 内部基准	12.5pF
		3.3V 内部基准	7.5pF
R_s	标称源阻抗	全部	50Ω

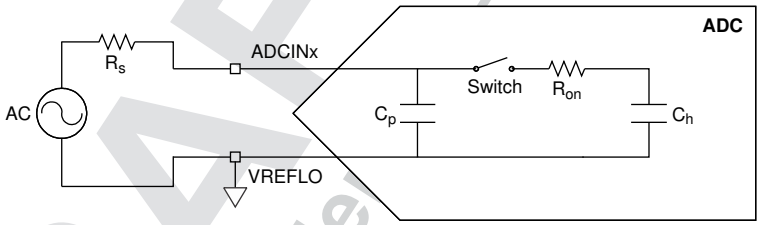


图 6-38. 输入模型

应将此输入模型与实际信号源阻抗配合使用，来确定采集窗口持续时间。要了解更多信息，请参阅 *TMS320F280013x 实时微控制器技术参考手册* 中“模数转换器 (ADC)”一章的“选择采集窗口持续时间”部分。有关改进 ADC 输入电路的建议，请参阅 *C2000 MCU 的 ADC 输入电路评估* 应用报告。

表 6-15. 64 引脚 PM LQFP 的每通道寄生电容

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A0/C15/CMP1_DACL	7.7	10.2
A1	1.6	4.1
A2/C9	1.5	4
A3/C5	1.8	4.3
A4/C14	2.4	4.9

DRAFT ONLY
Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

表 6-15. 64 引脚 PM LQFP 的每通道寄生电容 (continued)

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A5/C2	2	4.5
A6	1.4	3.9
A7/C3	1.9	4.4
A8/C11	2.2	4.7
A9/C8	2.3	4.8
A10/C10	2	4.5
A11/C0	2.4	4.9
A12/C1	3.2	5.7
A14/C4/ADCINCAL	2.4	4.9
A15/C7	3	5.5
A16/C16	2.4	4.9
A17/C17	2.7	5.2
A18/C18	2.7	5.2
A19/C19	2.7	5.2
A20/C20	2.7	5.2
C6	1.7	4.2

表 6-16. 48 引脚 PT LQFP 的每通道寄生电容

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A0/C15/CMP1_DACL	7.7	10.2
A1	1.6	4.1
A2/C9	1.5	4
A3/C5	1.8	4.3
A4/C14	2.4	4.9
A5/C2	2	4.5
A6/C6	3.1	8.1
A7/C3	1.9	4.4
A8/C11	2.2	4.7
A9/C8	2.3	4.8
A10/C10	2	4.5
A11/C0	2.4	4.9
A12/C1	3.2	5.7
A14/A15/C4/C7/ADCINCAL	5.4	10.4
A16/C16	2.4	4.9
A19/C19	2.7	5.2
A20/C20	2.7	5.2

表 6-17. 48 引脚 RGZ VQFN 的每通道寄生电容

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A0/C15/CMP1_DACL	7.7	10.2
A1	1.6	4.1
A2/C9	1.5	4
A3/C5	1.8	4.3

DRAFT ONLY
TI Confidential – NDA Restrictions

表 6-17. 48 引脚 RGZ VQFN 的每通道寄生电容 (continued)

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A4/C14	2.4	4.9
A5/C2	2	4.5
A6/C6	3.1	8.1
A7/C3	1.9	4.4
A8/C11	2.2	4.7
A9/C8	2.3	4.8
A10/C10	2	4.5
A11/C0	2.4	4.9
A12/C1	3.2	5.7
A14/A15/C4/C7/ADCINCAL	5.4	10.4
A16/C16	2.4	4.9
A19/C19	2.7	5.2
A20/C20	2.7	5.2

表 6-18. 32 引脚 RHB VQFN 的每通道寄生电容

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A0/A1/C15/CMP1_DACL	9.3	14.3
A2/C9	1.5	4
A3/C5	1.8	4.3
A4/C14	2.4	4.9
A5/C2/A11/C0	4.4	9.4
A6/C6	3.1	8.1
A7/C3/A12/C1	5.1	10.1
A8/C11	2.2	4.7
A9/C8/A10/C10	4.3	9.3
A14/A15/C4/C7/ADCINCAL	5.4	10.4
A16/C16	2.4	4.9

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.12.3.2.4 ADC 时序图

图 6-39 展示了在下列假设下两个 SOC 的 ADC 转换时序：

- SOC0 和 SOC1 配置为使用相同的触发器。
- 触发发生时，没有其他 SOC 正在转换或挂起。
- 轮循指针处于使 SOC0 首先转换的状态。
- ADCINTSEL 配置为在 SOC0 的转换结束时设置一个 ADCINT 标志（该标志是否传播到 CPU 以引起中断由 PIE 模块中的配置决定）。

表 6-19 列出了 ADC 时序参数的说明。表 6-20 列出了 ADC 时序。

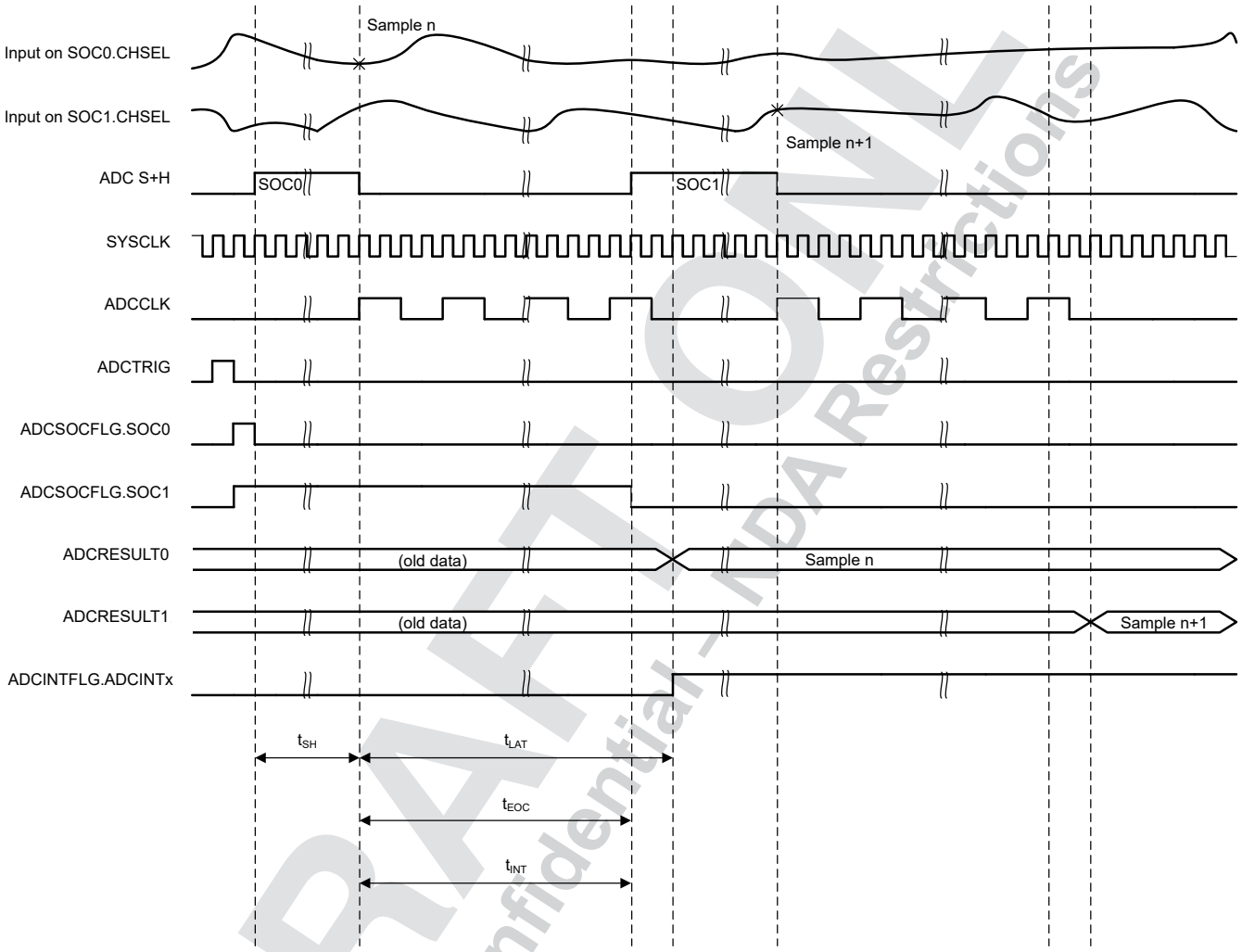


图 6-39. ADC 时序

表 6-19. ADC 时序参数说明

参数	说明
t_{SH}	S+H 窗口的持续时间。 在该窗口结束时，S+H 电容器上的值则变为待转换成数字值的电压。持续时间由 (ACQPS + 1) 个 SYSCLK 周期计算得出。ACQPS 可以为每个 SOC 单独配置，因此对于不同的 SOC，t_{SH} 不一定相同。 **注意：**无论器件时钟设置如何，S+H 电容器上的值均在 S+H 窗口结束前大约 5ns 时被采集。
t_{LAT}	从 S+H 窗口结束到 ADC 结果锁存到 ADCRESULTx 寄存器的时间。 如果在此时间之前读取 ADCRESULTx 寄存器，返回的是之前的转换结果。

DRAFT ONLY
Confidential – NDA Restrictions

表 6-19. ADC 时序参数说明 (continued)

参数	说明
t_{EOC}	从 S+H 窗口结束到下一个 ADC 转换的 S+H 窗口可以开始的时间。后续采样可以在锁存转换结果之前开始。
t_{INT}	从 S+H 窗口结束到设置 ADCINT 标志（如果已配置）的时间。 如果 ADCCTL1 寄存器中的 INTPULSEPOS 位被置位，t_{INT} 将与转换结束 (EOC) 信号相一致。 如果 INTPULSEPOS 位为 0，t_{INT} 将与 S+H 窗口的结束相一致。如果 t_{INT} 触发读取 ADC 结果寄存器（通过触发读取结果的 ISR 来读取），必须注意确保读取发生在结果锁存之后（否则，读取的是之前的结果）。 如果 INTPULSEPOS 位为 0，并且 ADCINTCYCLE 寄存器中的 OFFSET 字段不为 0，则在设置 ADCINT 标志之前会有 OFFSET SYSCLK 周期的延迟。此延迟可用于在采样准备就绪时进入 ISR。

表 6-20. 12 位模式下的 ADC 时序

ADCCLK 预分频		SYSCLK 周期			
ADCCTL2 预分频	预分频比	t_{EOC}	t_{LAT} (1)	t_{INT} (Early)(2)	t_{INT} (Late)
0	1	11	13	0	11
2	2	21	23	0	21
4	3	31	34	0	31
6	4	41	44	0	41
8	5	51	55	0	51
10	6	61	65	0	61
12	7	71	76	0	71
14	8	81	86	0	81

(1) 请参阅 *TMS320F280013x 实时 MCU 器件勘误表* 中的“ADC：DMA 读取过时结果”公告。
(2) 默认情况下，如果 INTPULSEPOS 为 0，则 t_{INT} 在 S+H 窗口后的一个 SYSCLK 周期内发生。这可以通过写入 ADCINTCYCLE 寄存器的 OFFSET 字段来改变。

DRAFT ONLY
TI Confidential – NDA Restriction

Copyright © 2023 Texas Instruments Incorporated

6.12.4 温度传感器

6.12.4.1 温度传感器电气数据和时序

温度传感器可用于测量器件结温。温度传感器通过与 ADC 的内部连接进行采样，并通过 TI 提供的软件转换为温度。在对温度传感器进行采样时，ADC 必须满足“温度传感器特性”表中的采集时间要求。

6.12.4.1.1 温度传感器特征

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
T_{acc}	温度精度	外部基准		±15		°C
$t_{startup}$	启动时间（TSNSCTL[ENABLE] 至采样温度传感器）			500		µs
t_{acq}	ADC 采集时间		450			ns

DRAFT ONLY
TI Confidential – NDA Restrictions

6.12.5 比较器子系统 (CMPSS)

比较器子系统 (CMPSS) 由模拟比较器和支持电路组成，这些电路对于峰值电流模式控制、开关模式电源、功率因数校正、电压跳闸监控等电源应用非常有用。

该器件包含两种型号的 CMPSS 模块：CMPSS 和 CMPSS_LITE。这些模块共用一个通用架构，但是某些特性只有完整 CMPSS 型号支持，而 CMPSS_LITE 型号并不支持。

比较器子系统基于多个模块构建而成。每个子系统包含两个比较器、两个基准 12 位 DAC（CMPSS_LITE 实例是 9.5 位有效基准 DAC）和两个数字滤波器。该子系统还包括一个斜坡发生器（仅限完整的 CMPSS 模块；CMPSS_LITE 实例并不支持）。比较器在每个模块中用“H”或“L”表示，其中“H”代表高电平，“L”代表低电平。每个比较器都会生成一个数字输出，指示正输入端的电压是否大于负输入端的电压。比较器的正输入由一个外部引脚驱动（请参阅 *TMS320F280013x 实时微控制器技术参考手册* 中的“模拟子系统”一章，了解适用于 CMPSS 的多路复用器选项）。负输入可由外部引脚或可编程基准 12 位 DAC 驱动。每个比较器输出都会通过一个可编程的数字滤波器，该滤波器可以去除伪跳变信号。如果不需要滤波，也可以使用未滤波的输出。一个斜坡发生器电路可用于控制该子系统中高电平比较器的基准 12 位 DAC 值（仅限完整 CMPSS 模块；CMPSS_LITE 实例并不支持）。

每个 CMPSS 包含：

- 两个模拟比较器
- 两个可编程的基准 12 位 DAC（CMPSS_LITE 实例上为 9.5 位有效 DAC）
- 一个斜坡发生器（仅限完整 CMPSS；CMPSS_LITE 实例上没有）
- 两个数字滤波器，65536 最大滤波器时钟预分频
- 能够将各个子模块与 EPWMSYNCPER 同步
- 能够通过 EPWMBLANK 扩展清除信号
- 能够将输出与 SYSCLK 同步
- 能够锁存输出
- 能够反转输出
- 可选择在输入端使用迟滞
- 可选择通过外部信号或基准 DAC 驱动比较器的负输入
- 可选择在外部引脚上使用低电平比较器 DAC 输出 CMPx_DACL（仅限部分实例，不能与比较功能同时使用）

6.12.5.1 CMPSS 模块型号

该器件包含两种不同型号的 CMPSS 模块：CMPSS（完整模块）和 CMPSS_LITE（功能简化且性能降低）。表 6-21 中总结了这两种型号在特性上的差异。

表 6-21. CMPSS 和 CMPSS_LITE 特性比较

特性	CMPSS	CMPSS_LITE
高电平和低电平比较器	是	是
双 12 位基准 DAC	是	是（9.5 位有效）
DAC 斜坡生成	是	否
外部引脚上提供低 DAC 输出	是（某些情况）	否
数字滤波器	是	是
性能	完整性能（请参阅 CMPSS 比较器电气特性表）	性能有所降低（请参阅 CMPSS_LITE 比较器电气特性表）

6.12.5.2 CMPx_DACL

一些 CMPSS 模块实例支持缓冲到引脚的 DAC 输出。CMPSS 模块的此 CMPx_DACL 输出使用指定 CMPSS 模块的低侧 DAC。当使用来自 CMPSS 实例的 DAC 输出时，该实例的所有其他 CMPSS 模块功能都不可用。

有关特定器件可用的 CMPx_DACL 实例，请参阅*模拟引脚和内部连接* 表的 DAC 列。

有关 DAC 输出功能，请参阅 *CMPx_DACL 的缓冲输出电气特性* 部分。

DRAFT ONLY
TI Confidential – NDA Restriction

Copyright © 2023 Texas Instruments Incorporated

6.12.5.3 CMPSS 连接图

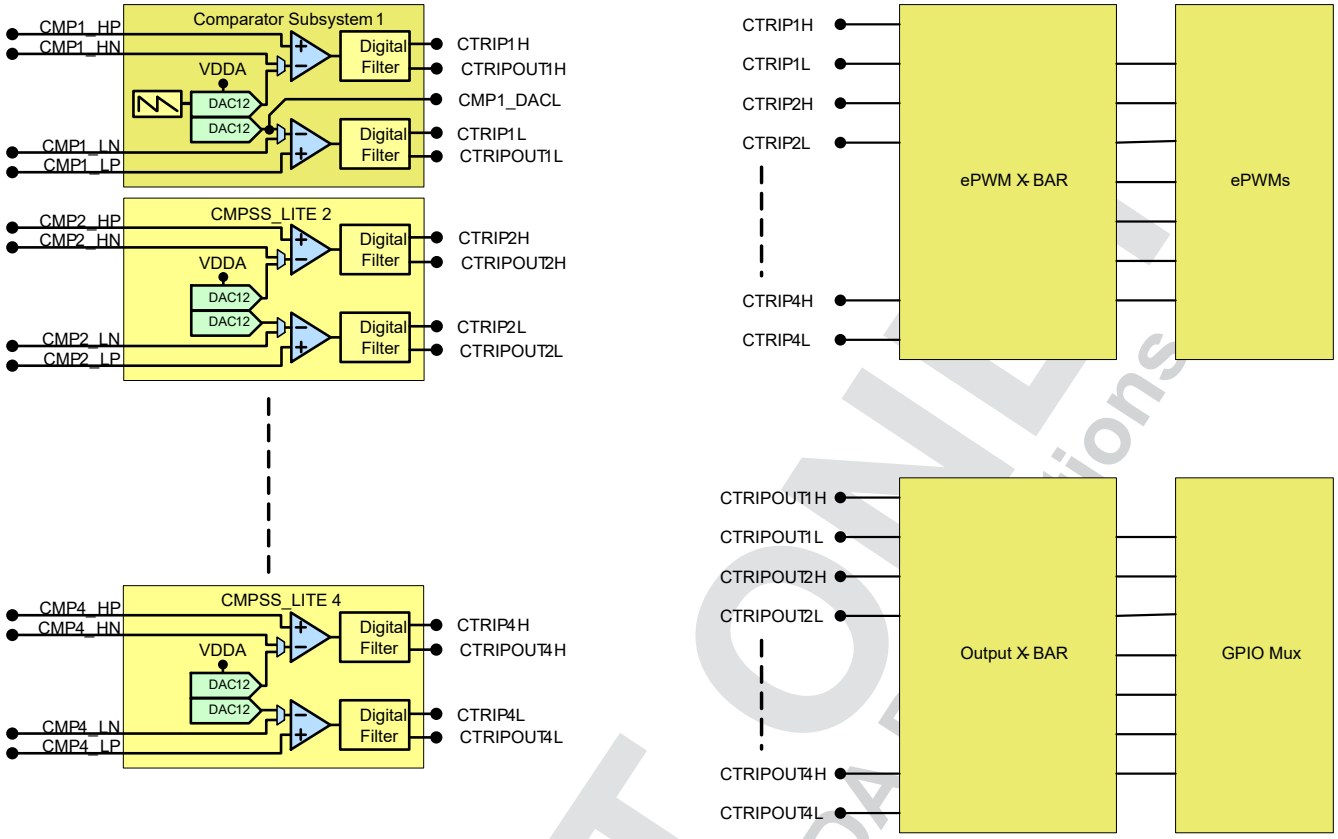


图 6-40. CMPSS 连接

6.12.5.4 方框图

CMPSS 的方框图如图 6-41 所示。CMPSS_LITE 的方框图如图 6-42 所示。

- CTRIPx (x=“H”或“L”) 信号连接到 ePWM X-BAR，用于 ePWM 跳变响应。更多有关 ePWM X-BAR 多路复用器配置的详细信息，请参阅 *TMS320F280013x 实时微控制器技术参考手册* 中的“增强型脉宽调制器 (ePWM)”一章。
- CTRIPxOUTx (x=“H”或“L”) 信号连接到输出 X-BAR，用于外部信号。更多有关输出 X-BAR 多路复用器配置的详细信息，请参阅 *TMS320F280013x 实时微控制器技术参考手册* 中的“通用输入/输出 (GPIO)”一章。

DRAFT ONLY
TI Confidential – NDA Restrictions

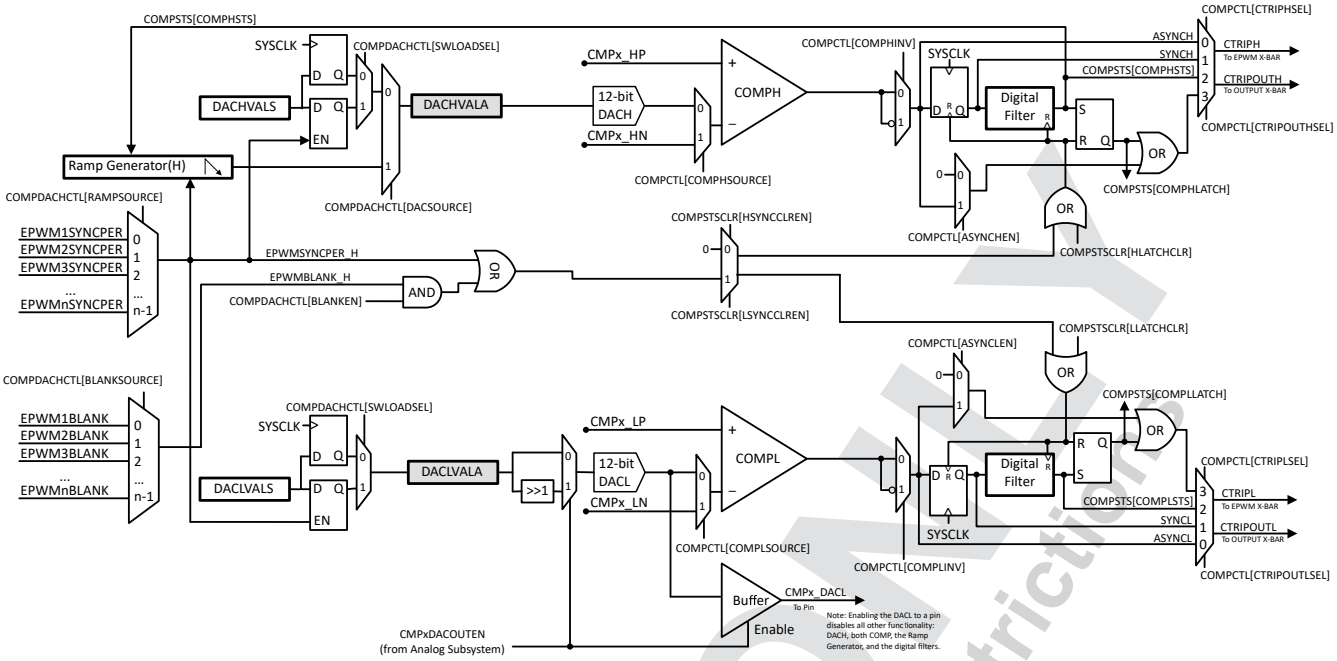


图 6-41. CMPSS 模块方框图

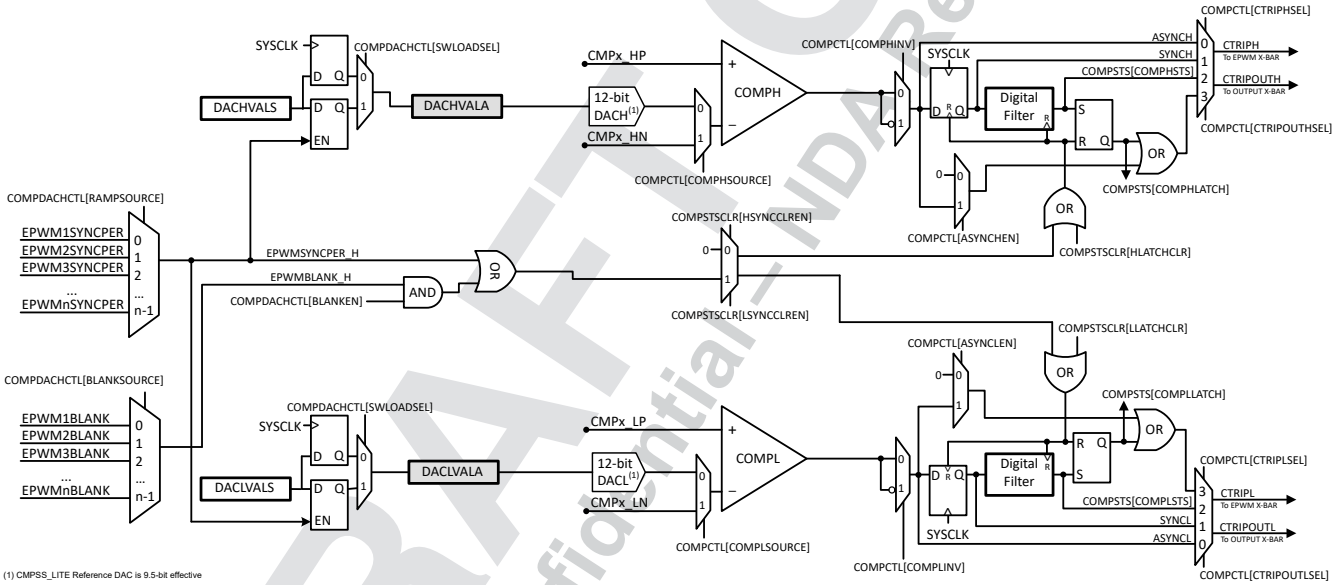


图 6-42. CMPSS_LITE 模块方框图

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.12.5.5 CMPSS 电气数据和时序

6.12.5.5.1 CMPSS 比较器电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
TPU	上电时间				500	µs
比较器输入 (CMPINxx) 范围			0		VDDA	V
以输入为基准的偏移量误差		低共模，反相输入设置为 50mV	-20		20	mV
迟滞(1)		1x	4	12	20	LSB
		2x	17	24	33	
		3x	25	36	50	
		4x	30	48	67	
响应时间（从 CMPINx 输入更改到 ePWM X-BAR 输出或 X-BAR 输出的延迟）		阶跃响应		21	60	ns
		斜坡响应 (1.65V/µs)		26		
		斜坡响应 (8.25mV/µs)		30		ns
PSRR	电源抑制比	高达 250kHz		46		dB
CMRR	共模抑制比		40			dB

(1) CMPSS DAC 用作确定应用多少迟滞的基准。因此，迟滞将随 CMPSS DAC 基准电压而变化。迟滞适用于所有比较器输入源配置。

6.12.5.5.2 CMPSS_LITE 比较器电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
TPU	上电时间	带隙未启用			500	µs
比较器输入 (CMPINxx) 范围			0		VDDA	V
以输入为基准的偏移量误差		通过 AIO/AGPIO，输入共模 = VDDA 的 5% 至 95%	-20		20	mV
迟滞(1)		1x	2	10	19	mV
		2x	8	20	34	
		3x	15	30	51	
		4x	20	41	70	
		5 次	26	52	88	
		6x	32	64	109	
		7x	38	77	131	
响应时间（从 CMPINx 输入更改到 ePWM X-BAR 输出或 X-BAR 输出的延迟）		阶跃响应		21	40	ns
		斜坡响应 (1.65V/µs)		26		
		斜坡响应 (8.25mV/µs)		30		
PSRR	电源抑制比	高达 250kHz		46		dB
CMRR	共模抑制比		40			dB

(1) 迟滞适用于所有比较器输入源配置。

DRAFT ONLY
TI Confidential – NDA Restrictions

CMPSS 比较器以输入为基准的偏移量和迟滞

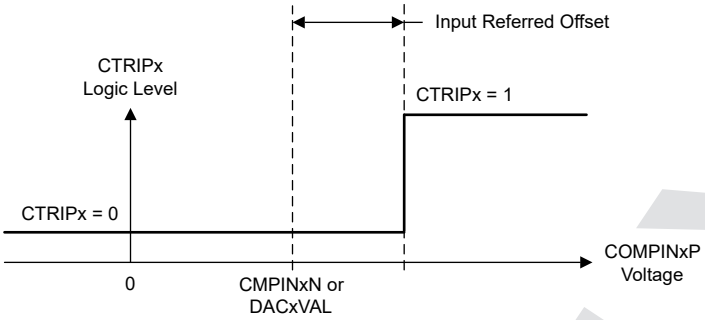


图 6-43. CMPSS 比较器以输入为基准的偏移量

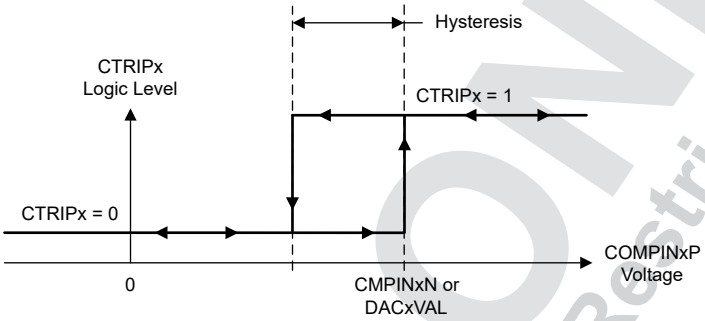


图 6-44. CMPSS 比较器迟滞

6.12.5.5.3 CMPSS DAC 静态电气特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
CMPSS DAC 输出范围	内部基准	0		VDDA	V
静态偏移量误差(1)		–25		25	mV
静态增益误差(1)		-2		2	FSR 百分比
静态 DNL	已更正端点	> –1		4	LSB
静态 INL	已更正端点	–16		16	LSB
趋稳时间	满量程输出变化后稳定到 1LSB			1	µs
分辨率			12		位
CMPSS DAC 输出干扰(2)	由同一 CMPSS 模块内的比较器跳闸或 CMPSS DAC 代码更改引起的误差	–100		100	LSB
CMPSS DAC 干扰时间(2)				200	ns

(1) 包含以比较器输入为基准的误差。
(2) 在比较器跳闸后的一段时间内，CMPSS DAC 输出可能会出现干扰误差。

6.12.5.5.4 CMPSS_LITE DAC 静态电气特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
CMPSS DAC 输出范围		0		VDDA	V
静态偏移量误差(1)		–25		25	mV
静态增益误差(1)		-0.5		0.5	FSR 百分比
静态 DNL	已更正端点	-5		5	LSB（12 位）
静态 INL	已更正端点	–7		7	LSB（12 位）
静态 TUE（总体未调整误差）			35		mV

DRAFT ONLY
Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.12.5.5.4 CMPSS_LITE DAC 静态电气特性 (continued)

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
趋稳时间	满量程输出变化后稳定到 1LSB		1		µs
分辨率(2)			12		位

(1) 包含以比较器输入为基准的误差。
(2) 单调响应时为 9.5 位有效分辨率

6.12.5.5.5 CMPSS 示意图

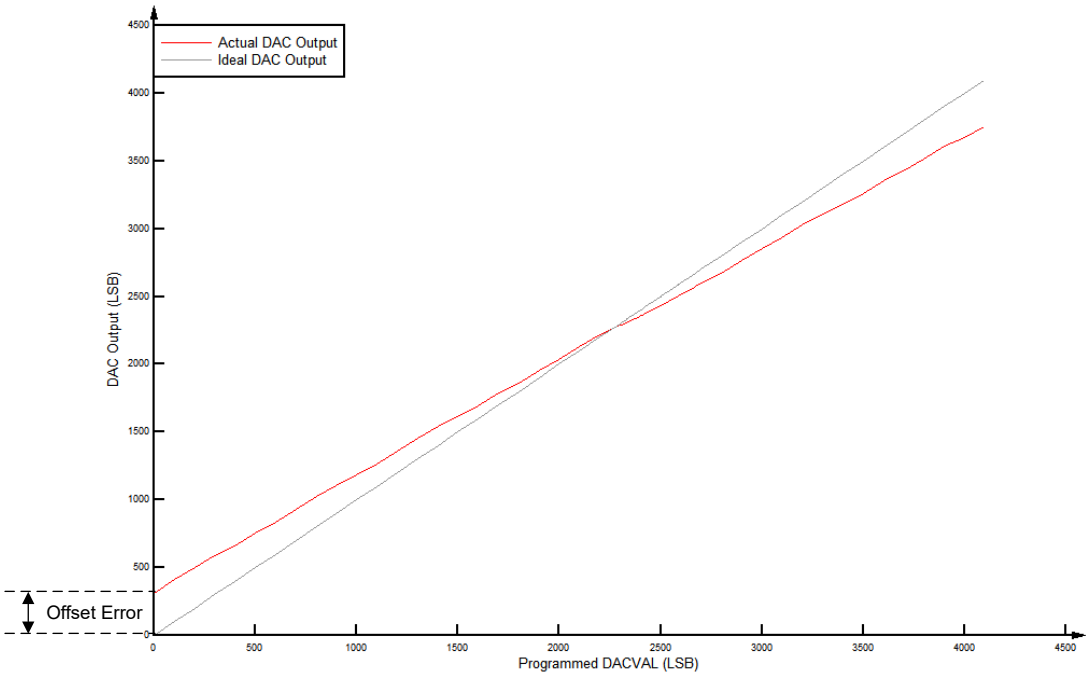


图 6-45. CMPSS DAC 静态偏移量

DRAFT
TI Confidential - Y

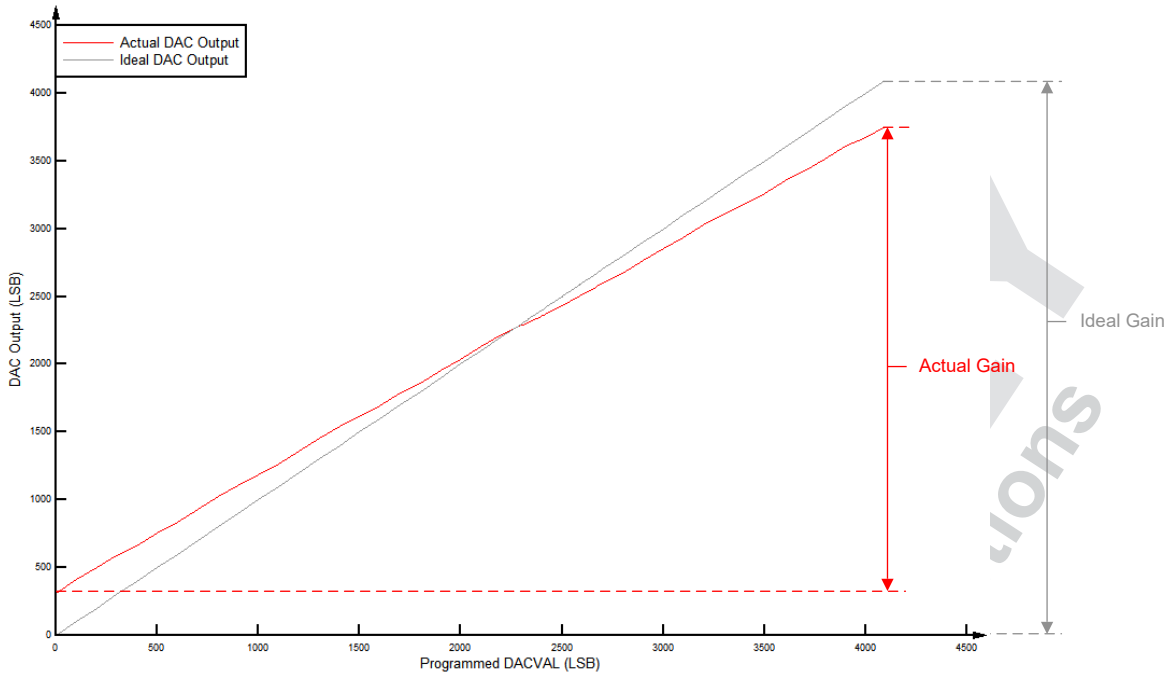


图 6-46. CMPSS DAC 静态增益

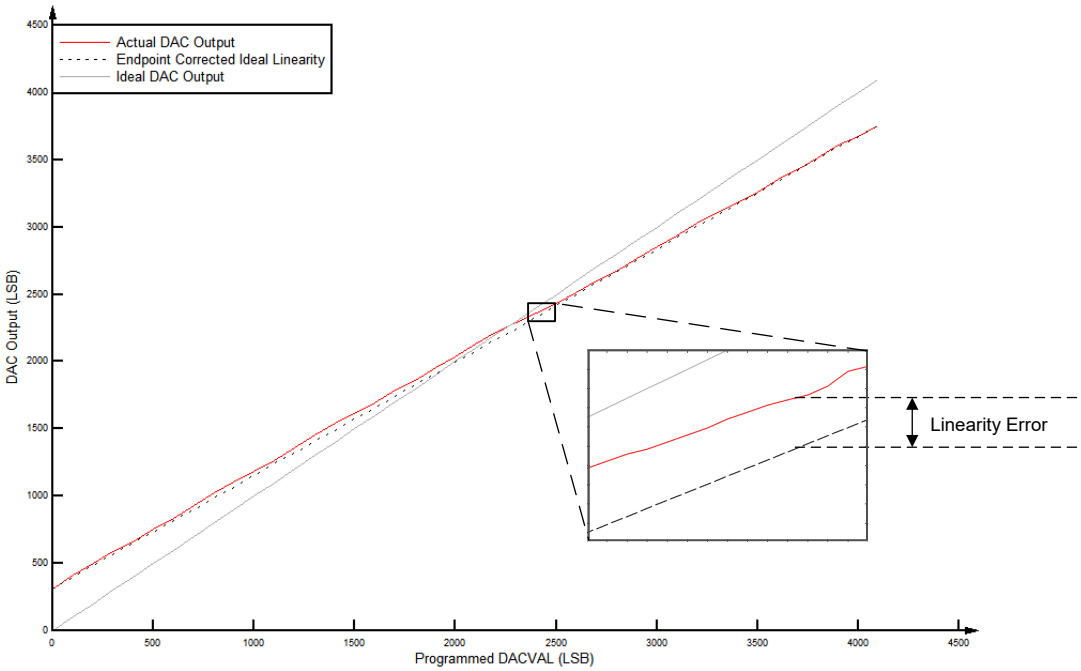


图 6-47. CMPSS DAC 静态线性

6.12.5.5.6 CMPx_DACL 缓冲输出的运行条件

在建议运行条件下测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
R_L	电阻负载(2)		5			kΩ
C_L	容性负载				100	pF

Copyright © 2023 Texas Instruments Incorporated

6.12.5.5.6 CMPx_DACL 缓冲输出的运行条件 (continued)

在建议运行条件下测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
V_{OUT}	有效输出电压范围(3)	R_L = 5kΩ	0.3		VDDA – 0.3	V
		R_L = 1kΩ	0.6		VDDA – 0.6	V
基准电压(4)		VREFHI	2.4	2.5 或 3.0	VDDA	V

(1) 典型值是在 VREFHI = 3.3V 和 VREFLO = 0V 时测得的，除非另外注明。在 VREFHI = 2.5V 和 VREFLO = 0V 条件下对最小值和最大值进行测试或表征。
(2) DAC 可以驱动最小 1kΩ 的阻性负载，但输出范围会受到限制。
(3) 这是 DAC 的线性输出范围。DAC 可以产生此范围以外的电压，但由于缓冲器的原因，输出电压将不呈线性。
(4) 为了获得卓越 PSRR 性能，VREFHI 应小于 VDDA。

6.12.5.5.7 CMPx_DACL 缓冲输出的电气特性

在建议运行条件下测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
通用						
分辨率(4)				12		位
负载调整率			-1		1	mV/V
毛刺脉冲能量				1.5		V-ns
电压输出稳定时间满量程		在 0.3V 至 3V 切换后稳定到 2LSB			2	µs
电压输出稳定时间第 1/4 满量程		在 0.3V 至 0.75V 切换后稳定到 2LSB			1.6	µs
电压输出压摆率		从 0.3V 到 3V 转换的压摆率	2.8		4.5	V/µs
负载瞬态的稳定时间		5kΩ 负载			328	ns
TPU	上电时间	带隙未启用			500	µs
直流特性						
偏移量	偏移量误差		–100		100	mV
Gain	增益误差(2)		–1.5		1.5	FSR 百分比
DNL	微分非线性((6))	已更正端点	-2		2	LSB（12 位）
INL	积分非线性	已更正端点	–7		7	LSB（12 位）
交流特性						
输出噪声		从 100Hz 到 100kHz 的积分噪声		600		µVrms
		10kHz 时的噪声密度		800		nVrms/√Hz
SNR	信噪比	1kHz，200KSPS		64		dB
THD	总谐波失真	1kHz，200KSPS		-64.2		dB
SFDR	无杂散动态范围	1kHz，200KSPS		66		dB
SINAD	信噪比和失真比	1kHz，200KSPS		61.7		dB
PSRR	电源抑制比(3)	直流		70		dB
		100kHz		30		dB

(1) 典型值是在 VREFHI = 3.3V 和 VREFLO = 0V 时测得的，除非另外注明。在 VREFHI = 2.5V 和 VREFLO = 0V 条件下对最小值和最大值进行测试或表征。
(2) 增益误差是在线性输出范围内计算得出。
(3) VREFHI = 3.2V，VDDA = 3.3V DC + 100mV 正弦。
(4) 11 位有效（单调响应）。

DRAFT ONLY
TI Confidential – NDA Restrictions

6.12.2 模拟信号说明

表 6-12. 模拟信号说明

信号名称	说明
AIOx	ADC 引脚上的数字输入
Ax	ADC A 输入
Cx	ADC C 输入
CMPx_HNy	比较器子系统高电平比较器负输入
CMPx_HPy	比较器子系统高电平比较器正输入
CMPx_LNy	比较器子系统低电平比较器负输入
CMPx_LPy	比较器子系统低电平比较器正输入
CMPx_DACL	来自较低 CMPSS DAC 的 DAC 输出（可连接到外部引脚）
温度传感器	内部温度传感器

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.12.3 模数转换器 (ADC)

此处所述的 ADC 模块是一个逐次逼近 (SAR) 型 ADC，具有 12 位分辨率。本节将转换器的模拟电路称为“内核”，包括通道选择 MUX、采样保持 (S/H) 电路、逐次逼近电路、电压基准电路和其他模拟支持电路。转换器的数字电路被称为“包装器”，包括用于可编程转换的逻辑、结果寄存器、模拟电路接口、外设总线接口、后处理电路以及其他片上模块接口。

每个 ADC 模块都包含一个采样保持 (S/H) 电路。ADC 模块被设计成在同一个芯片上重复多次，从而实现多个 ADC 的同步采样或独立运行。ADC 包装器基于转换启动 (SOC) (请参阅 *TMS320F280013x 实时微控制器技术参考手册* 中“模数转换器 (ADC)”一章的“SOC 工作原理”一节) 。

每个 ADC 具有以下特性：

- 12 位分辨率
- 由 VREFHI/VREFLO 设定的比例式外部基准
- 2.5V 或 3.3V 的可选内部基准电压
- 单端信号模式
- 具有多达 21 个通道的输入多路复用器
- 16 个可配置 SOC
- 16 个可单独寻址的结果寄存器
- 多个触发源
  - 软件立即启动
  - 所有 ePWM：ADCSOC A 或 B
  - GPIO XINT2
  - CPU 计时器 0/1/2
  - ADCINT1/2
- 四个灵活的 PIE 中断
- 突发模式触发选项
- 四个后处理块，每块具有：
  - 饱和偏移量校准
  - 设定点计算的误差
  - 具有中断和 ePWM 跳变功能的高电平、低电平和过零比较
  - 触发至采样延迟采集

备注

并非每个通道都可以从所有 ADC 输出引脚。请参阅“引脚配置和功能”部分以确定哪些通道可用。

DRAFT ONLY
TI Confidential – NDA Restrictions

ADC 内核和 ADC 包装器的方框图如图 6-36 所示。

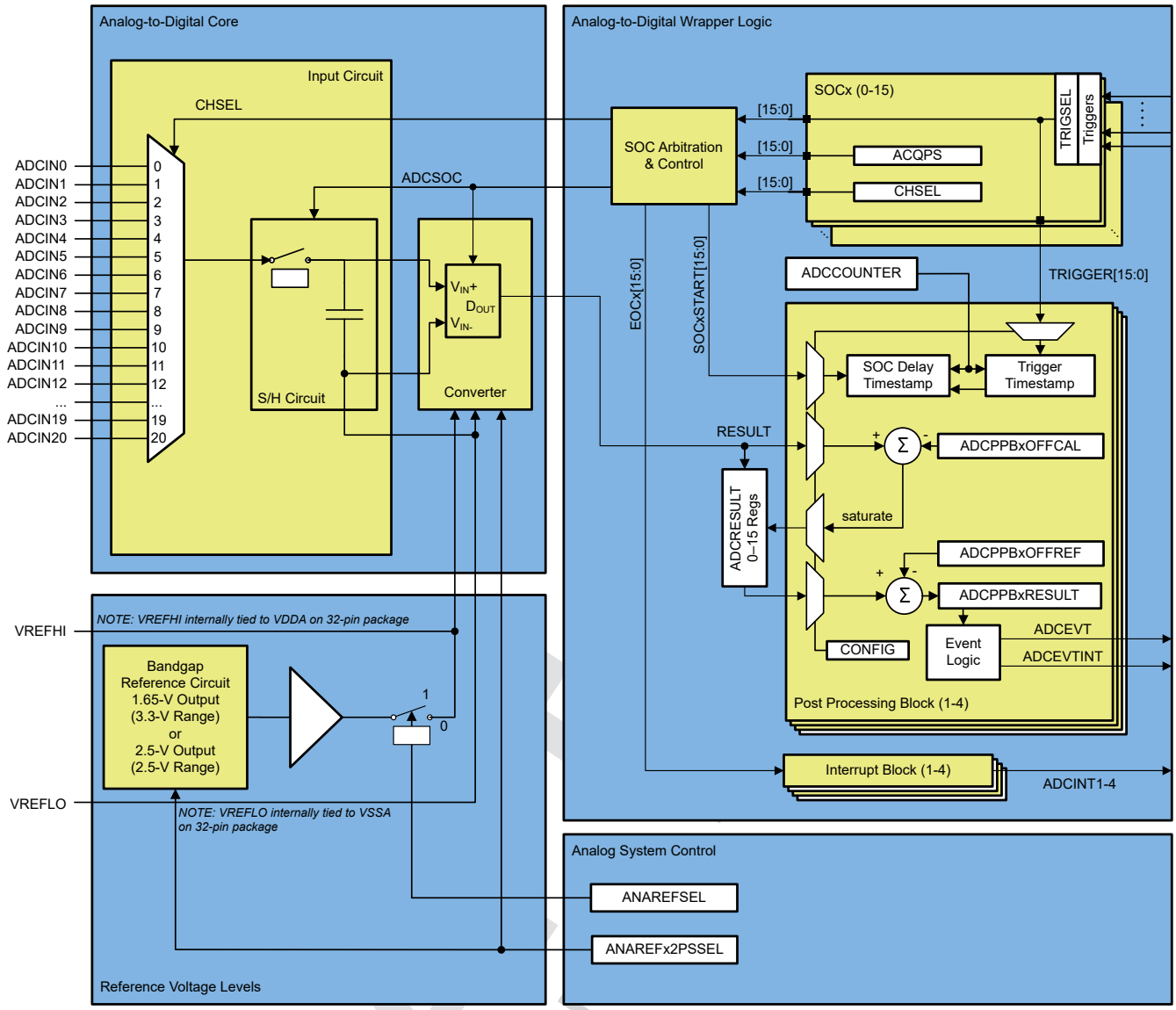


图 6-36. ADC 模块方框图

DRAFT
TI Confidential

Copyright © 2023 Texas Instruments Incorporated

6.12.3.1 ADC 可配置性

一些 ADC 配置由 SOC 单独控制，而其他配置则由每个 ADC 模块全局控制。表 6-13 汇总了基本的 ADC 选项及其可配置性级别。

表 6-13. ADC 选项和配置级别

选项	可配置性
时钟	按照模块(1)
分辨率	不可配置（仅限 12 位分辨率）
信号模式	不可配置（仅限单端信号模式）
基准电压源	对所有模块均为外部或内部
触发源	按照 SOC(1)
转换后的通道	按照 SOC
采集窗口持续时间	按照 SOC(1)
EOC 位置	按照模块
突发模式	按照模块(1)

(1) 将这些值以不同方式写入不同的 ADC 模块可能会导致 ADC 异步工作。有关 ADC 何时同步或异步运行的指导，请参阅 *TMS320F280013x 实时微控制器技术参考手册* 中“模数转换器 (ADC)”一章的“确保同步运行”一节。

6.12.3.1.1 信号模式

ADC 支持单端信号模式。以 VREFLO 为基准通过单个引脚 (ADCINx) 对转换器的输入电压进行采样。

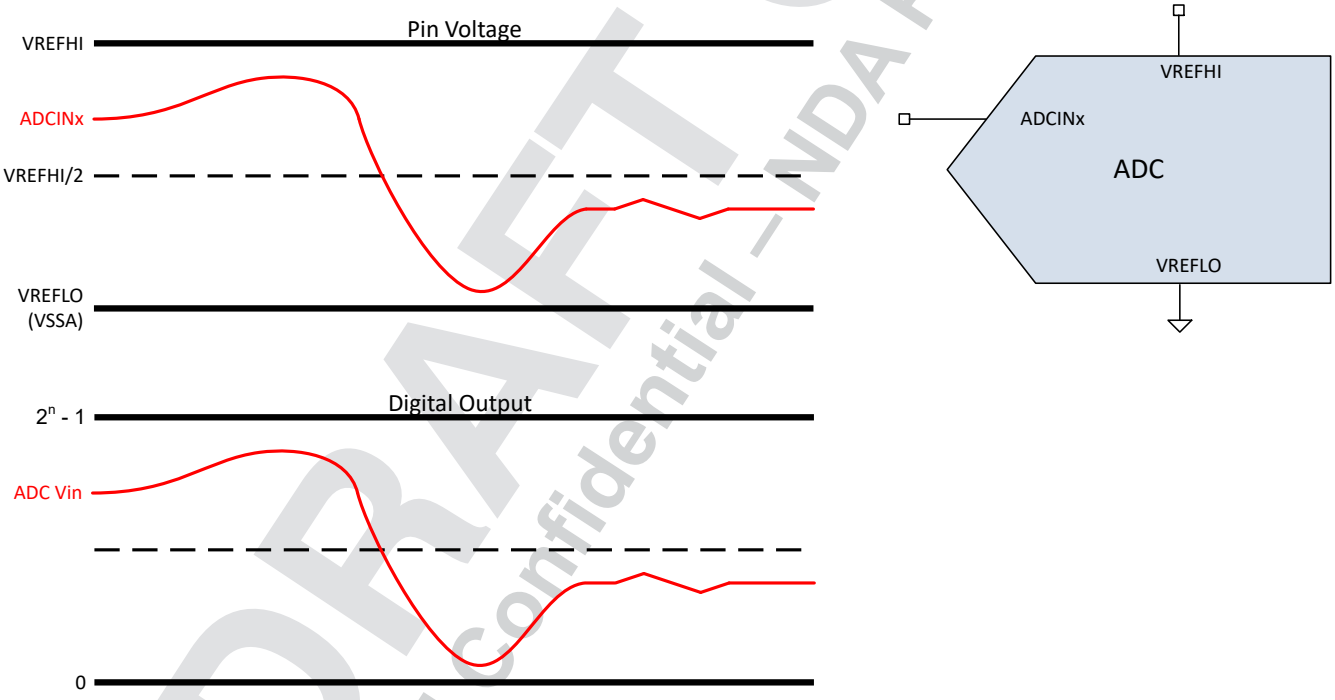


图 6-37. 单端信号模式

DRAFT ONLY
TI Confidential – NDA Restrictions

6.12.3.2 ADC 电气数据和时序

备注

工作过程中，ADC 输入应保持低于 VDDA + 0.3V。如果 ADC 输入超过此电平，器件内部的 V_{REF} 可能会受到干扰，这可能会影响使用相同 V_{REF} 的其他 ADC 输入的结果。

备注

VREFHI 引脚必须保持低于 VDDA + 0.3V，以确保正常工作。如果 VREFHI 引脚超过此电平，可能会激活阻塞电路，并且 VREFHI 的内部值可能会在内部浮动至 0V，从而导致 ADC 转换不正确。

6.12.3.2.1 ADC 运行条件

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK（源自 PERx.SYSCLK）	F2800137、F2800135、F2800133	5		60	MHz
	F2800132	5		50	
采样率	120MHz SYSCLK F2800137、F2800135、F2800133 引脚和 AIO			4	每秒百万次采样 (MSPS)
	120MHz SYSCLK F2800137、F2800135、F2800133 引脚和 AGPIO			3.75	
	100MHz SYSCLK F2800132 引脚和 AIO			3.45	
	100MHz SYSCLK F2800132 引脚和 AGPIO			3.33	
采样窗口持续时间（由 ACQPS 和 PERx.SYSCLK 设置）(1)	R_s 为 50Ω 或更小，引脚与 AIO	75			ns
	R_s 为 50Ω 或更小，引脚与 AGPIO	90			
	内部 VREFLO 连接	75			
VREFHI	外部基准	2.4	2.5 或 3.0	VDDA	V
VREFHI(2)	内部基准电压 = 3.3V 范围		1.65		V
	内部基准电压 = 2.5V 范围		2.5		V
VREFHI	封装 = 32QFN	VDDA	VDDA	VDDA	V
VREFLO		VSSA		VSSA	V
VREFHI - VREFLO		2.4		VDDA	V
转换范围	内部基准电压 = 3.3V 范围	0		3.3	V
	内部基准电压 = 2.5V 范围	0		2.5	
	外部基准	VREFLO		VREFHI	
	封装 = 32QFN	0		VDDA(3)	

(1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度，才能确保 ADC 正确运行。
(2) 在内部基准模式下，基准电压由器件从 VREFHI 引脚驱动。在此模式下，用户不应将电压驱动到引脚中。
(3) 在 32QFN 封装中，VREFHI 在内部连接至 VDDA，而 VREFLO 在内部连接至 VSSA。32QFN 封装不支持内部基准模式。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.12.3.2.2 ADC 特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK 转换周期	120MHz SYSCLK	10.1		11	ADCCLK
上电时间	外部基准模式			500	µs
	内部基准模式			5000	µs
	在 2.5V 和 3.3V 范围之间切换时采用内部基准模式。			5000	µs
VREFHI 输入电流(1)			130		µA
内部基准电容值(2)		2.2			µF
外部基准电容值(2)		2.2			µF
直流特性					
增益误差	内部基准电压	-45		45	LSB
	外部基准	-5	±3	5	
偏移量误差		-5	±2	5	LSB
通道间增益误差(4)			2		LSB
通道间偏移量误差(4)			2		LSB
ADC 间增益误差(5)	所有 ADC 的 VREFHI 和 VREFLO 都相同		4		LSB
ADC 间偏移量误差(5)	所有 ADC 的 VREFHI 和 VREFLO 都相同		2		LSB
DNL 误差		> -1	±0.5	1	LSB
INL 误差		-2	±1.0	2	LSB
ADC 间隔离	VREFHI = 2.5V，同步 ADC	-1		1	LSB
交流特性					
SNR(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1		68.8		dB
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 INTOSC		60.1		
THD(3)	VREFHI = 2.5V，fin = 100kHz		-80.6		dB
SFDR(3)	VREFHI = 2.5V，fin = 100kHz		79.2		dB
SINAD(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1		68.5		dB
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 INTOSC		60.0		
ENOB(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，单个 ADC		11.0		位
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，同步 ADC		11.0		
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，异步 ADC		不支持		

DRAFT ONLY
TI Confidential – NDA Restrictions

6.12.3.2.2 ADC 特性 (continued)

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
PSRR	VDD = 1.2V 直流 + 100mV 直流至正弦（1kHz 时）		60		dB
	VDD = 1.2V 直流 + 100mV 直流至正弦（300kHz 时）		57		
	VDDA = 3.3V 直流 + 200mV 直流至正弦（1kHz 时）		60		
	VDDA = 3.3V 直流 + 200mV 正弦（900kHz 时）		57		

(1) 当 ADC 输入大于 VDDA 时，VREFHI 上的负载电流会增加。这会导致转换不准确。
(2) 最好使用封装尺寸为 0805 或更小的陶瓷电容器。可接受高达 ±20% 的容差。
(3) 作为减少电容耦合和串扰的最佳实践的一部分，与 ADC 输入和 VREFHI 引脚相邻的引脚上的 IO 活动已尽可能减少。
(4) 同一 ADC 模块的所有通道之间的差异。
(5) 与其他 ADC 模块相比的最坏情况变化。

6.12.3.2.3 ADC 输入模型

表 6-14 和图 6-38 给出了 ADC 输入特性。

表 6-14. 编辑模型参数

	说明	基准模式	值
C_p	寄生输入电容	全部	请参阅表 6-15 至表 6-18
R_{on}	采样开关电阻	外部基准，2.5V 内部基准	500Ω
		3.3V 内部基准	860Ω
C_h	采样电容器	外部基准，2.5V 内部基准	12.5pF
		3.3V 内部基准	7.5pF
R_s	标称源阻抗	全部	50Ω

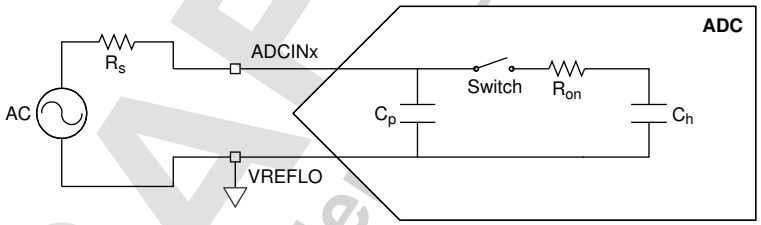


图 6-38. 输入模型

应将此输入模型与实际信号源阻抗配合使用，来确定采集窗口持续时间。要了解更多信息，请参阅 *TMS320F280013x 实时微控制器技术参考手册* 中“模数转换器 (ADC)”一章的“选择采集窗口持续时间”部分。有关改进 ADC 输入电路的建议，请参阅 *C2000 MCU 的 ADC 输入电路评估* 应用报告。

表 6-15. 64 引脚 PM LQFP 的每通道寄生电容

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A0/C15/CMP1_DACL	7.7	10.2
A1	1.6	4.1
A2/C9	1.5	4
A3/C5	1.8	4.3
A4/C14	2.4	4.9

DRAFT ONLY
Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

表 6-15. 64 引脚 PM LQFP 的每通道寄生电容 (continued)

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A5/C2	2	4.5
A6	1.4	3.9
A7/C3	1.9	4.4
A8/C11	2.2	4.7
A9/C8	2.3	4.8
A10/C10	2	4.5
A11/C0	2.4	4.9
A12/C1	3.2	5.7
A14/C4/ADCINCAL	2.4	4.9
A15/C7	3	5.5
A16/C16	2.4	4.9
A17/C17	2.7	5.2
A18/C18	2.7	5.2
A19/C19	2.7	5.2
A20/C20	2.7	5.2
C6	1.7	4.2

表 6-16. 48 引脚 PT LQFP 的每通道寄生电容

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A0/C15/CMP1_DACL	7.7	10.2
A1	1.6	4.1
A2/C9	1.5	4
A3/C5	1.8	4.3
A4/C14	2.4	4.9
A5/C2	2	4.5
A6/C6	3.1	8.1
A7/C3	1.9	4.4
A8/C11	2.2	4.7
A9/C8	2.3	4.8
A10/C10	2	4.5
A11/C0	2.4	4.9
A12/C1	3.2	5.7
A14/A15/C4/C7/ADCINCAL	5.4	10.4
A16/C16	2.4	4.9
A19/C19	2.7	5.2
A20/C20	2.7	5.2

表 6-17. 48 引脚 RGZ VQFN 的每通道寄生电容

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A0/C15/CMP1_DACL	7.7	10.2
A1	1.6	4.1
A2/C9	1.5	4
A3/C5	1.8	4.3

DRAFT ONLY
TI Confidential – NDA Restrictions

表 6-17. 48 引脚 RGZ VQFN 的每通道寄生电容 (continued)

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A4/C14	2.4	4.9
A5/C2	2	4.5
A6/C6	3.1	8.1
A7/C3	1.9	4.4
A8/C11	2.2	4.7
A9/C8	2.3	4.8
A10/C10	2	4.5
A11/C0	2.4	4.9
A12/C1	3.2	5.7
A14/A15/C4/C7/ADCINCAL	5.4	10.4
A16/C16	2.4	4.9
A19/C19	2.7	5.2
A20/C20	2.7	5.2

表 6-18. 32 引脚 RHB VQFN 的每通道寄生电容

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A0/A1/C15/CMP1_DACL	9.3	14.3
A2/C9	1.5	4
A3/C5	1.8	4.3
A4/C14	2.4	4.9
A5/C2/A11/C0	4.4	9.4
A6/C6	3.1	8.1
A7/C3/A12/C1	5.1	10.1
A8/C11	2.2	4.7
A9/C8/A10/C10	4.3	9.3
A14/A15/C4/C7/ADCINCAL	5.4	10.4
A16/C16	2.4	4.9

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.12.3.2.4 ADC 时序图

图 6-39 展示了在下列假设下两个 SOC 的 ADC 转换时序：

- SOC0 和 SOC1 配置为使用相同的触发器。
- 触发发生时，没有其他 SOC 正在转换或挂起。
- 轮循指针处于使 SOC0 首先转换的状态。
- ADCINTSEL 配置为在 SOC0 的转换结束时设置一个 ADCINT 标志（该标志是否传播到 CPU 以引起中断由 PIE 模块中的配置决定）。

表 6-19 列出了 ADC 时序参数的说明。表 6-20 列出了 ADC 时序。

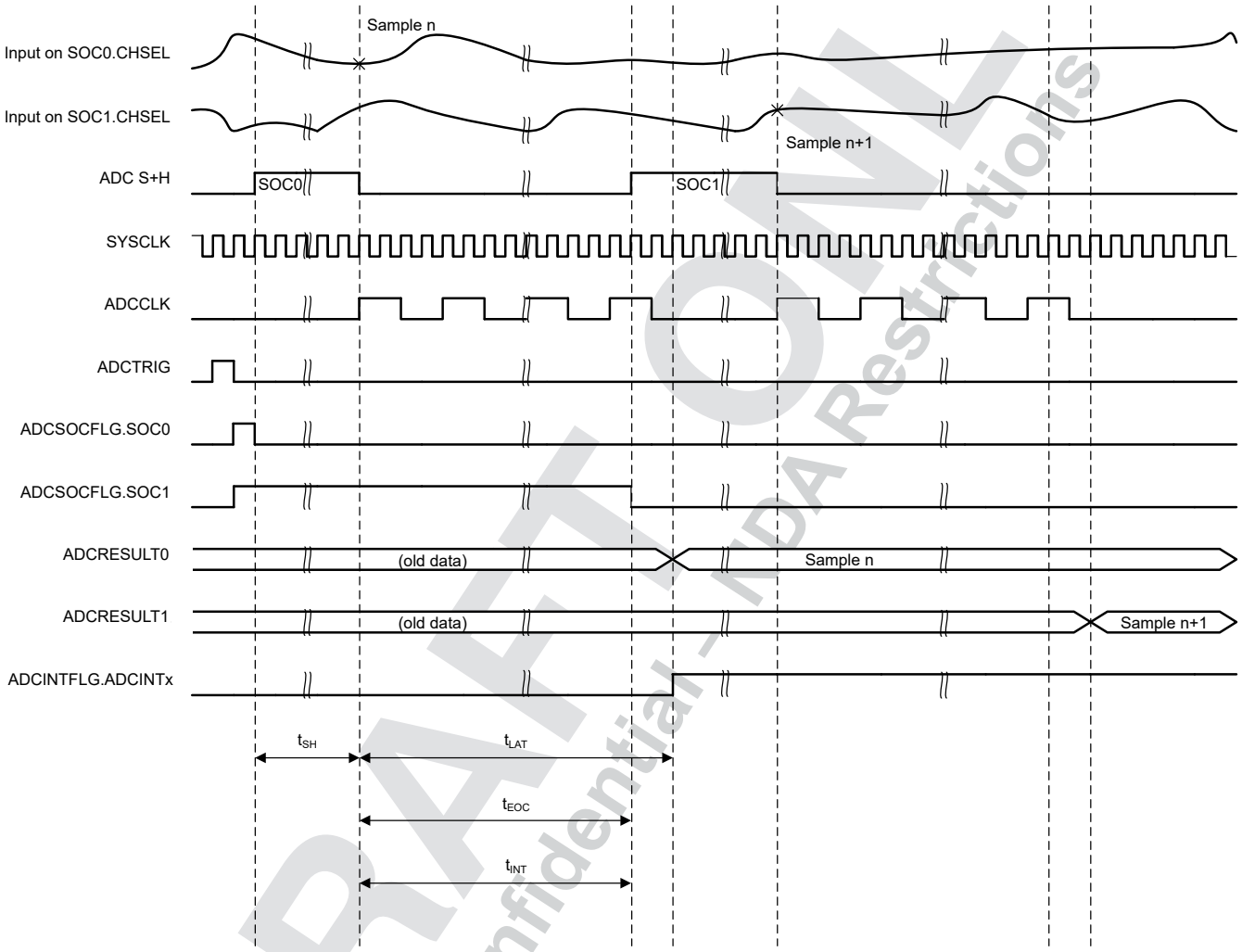


图 6-39. ADC 时序

表 6-19. ADC 时序参数说明

参数	说明
t_{SH}	S+H 窗口的持续时间。 在该窗口结束时，S+H 电容器上的值则变为待转换成数字值的电压。持续时间由 (ACQPS + 1) 个 SYSCLK 周期计算得出。ACQPS 可以为每个 SOC 单独配置，因此对于不同的 SOC，t_{SH} 不一定相同。 **注意：**无论器件时钟设置如何，S+H 电容器上的值均在 S+H 窗口结束前大约 5ns 时被采集。
t_{LAT}	从 S+H 窗口结束到 ADC 结果锁存到 ADCRESULTx 寄存器的时间。 如果在此时间之前读取 ADCRESULTx 寄存器，返回的是之前的转换结果。

DRAFT ONLY
Confidential – NDA Restrictions

表 6-19. ADC 时序参数说明 (continued)

参数	说明
t_{EOC}	从 S+H 窗口结束到下一个 ADC 转换的 S+H 窗口可以开始的时间。后续采样可以在锁存转换结果之前开始。
t_{INT}	从 S+H 窗口结束到设置 ADCINT 标志（如果已配置）的时间。 如果 ADCCTL1 寄存器中的 INTPULSEPOS 位被置位，t_{INT} 将与转换结束 (EOC) 信号相一致。 如果 INTPULSEPOS 位为 0，t_{INT} 将与 S+H 窗口的结束相一致。如果 t_{INT} 触发读取 ADC 结果寄存器（通过触发读取结果的 ISR 来读取），必须注意确保读取发生在结果锁存之后（否则，读取的是之前的结果）。 如果 INTPULSEPOS 位为 0，并且 ADCINTCYCLE 寄存器中的 OFFSET 字段不为 0，则在设置 ADCINT 标志之前会有 OFFSET SYSCLK 周期的延迟。此延迟可用于在采样准备就绪时进入 ISR。

表 6-20. 12 位模式下的 ADC 时序

ADCCLK 预分频		SYSCLK 周期			
ADCCTL2 预分频	预分频比	t_{EOC}	t_{LAT} (1)	t_{INT} (Early)(2)	t_{INT} (Late)
0	1	11	13	0	11
2	2	21	23	0	21
4	3	31	34	0	31
6	4	41	44	0	41
8	5	51	55	0	51
10	6	61	65	0	61
12	7	71	76	0	71
14	8	81	86	0	81

(1) 请参阅 *TMS320F280013x 实时 MCU 器件勘误表* 中的“ADC：DMA 读取过时结果”公告。
(2) 默认情况下，如果 INTPULSEPOS 为 0，则 t_{INT} 在 S+H 窗口后的一个 SYSCLK 周期内发生。这可以通过写入 ADCINTCYCLE 寄存器的 OFFSET 字段来改变。

DRAFT ONLY
TI Confidential – NDA Restriction

Copyright © 2023 Texas Instruments Incorporated

6.12.4 温度传感器

6.12.4.1 温度传感器电气数据和时序

温度传感器可用于测量器件结温。温度传感器通过与 ADC 的内部连接进行采样，并通过 TI 提供的软件转换为温度。在对温度传感器进行采样时，ADC 必须满足“温度传感器特性”表中的采集时间要求。

6.12.4.1.1 温度传感器特征

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
T_{acc}	温度精度	外部基准		±15		°C
$t_{startup}$	启动时间（TSNSCTL[ENABLE] 至采样温度传感器）			500		µs
t_{acq}	ADC 采集时间		450			ns

DRAFT ONLY
TI Confidential – NDA Restrictions

6.12.5 比较器子系统 (CMPSS)

比较器子系统 (CMPSS) 由模拟比较器和支持电路组成，这些电路对于峰值电流模式控制、开关模式电源、功率因数校正、电压跳闸监控等电源应用非常有用。

该器件包含两种型号的 CMPSS 模块：CMPSS 和 CMPSS_LITE。这些模块共用一个通用架构，但是某些特性只有完整 CMPSS 型号支持，而 CMPSS_LITE 型号并不支持。

比较器子系统基于多个模块构建而成。每个子系统包含两个比较器、两个基准 12 位 DAC（CMPSS_LITE 实例是 9.5 位有效基准 DAC）和两个数字滤波器。该子系统还包括一个斜坡发生器（仅限完整的 CMPSS 模块；CMPSS_LITE 实例并不支持）。比较器在每个模块中用“H”或“L”表示，其中“H”代表高电平，“L”代表低电平。每个比较器都会生成一个数字输出，指示正输入端的电压是否大于负输入端的电压。比较器的正输入由一个外部引脚驱动（请参阅 *TMS320F280013x 实时微控制器技术参考手册* 中的“模拟子系统”一章，了解适用于 CMPSS 的多路复用器选项）。负输入可由外部引脚或可编程基准 12 位 DAC 驱动。每个比较器输出都会通过一个可编程的数字滤波器，该滤波器可以去除伪跳变信号。如果不需要滤波，也可以使用未滤波的输出。一个斜坡发生器电路可用于控制该子系统中高电平比较器的基准 12 位 DAC 值（仅限完整 CMPSS 模块；CMPSS_LITE 实例并不支持）。

每个 CMPSS 包含：

- 两个模拟比较器
- 两个可编程的基准 12 位 DAC（CMPSS_LITE 实例上为 9.5 位有效 DAC）
- 一个斜坡发生器（仅限完整 CMPSS；CMPSS_LITE 实例上没有）
- 两个数字滤波器，65536 最大滤波器时钟预分频
- 能够将各个子模块与 EPWMSYNCPER 同步
- 能够通过 EPWMBLANK 扩展清除信号
- 能够将输出与 SYSCLK 同步
- 能够锁存输出
- 能够反转输出
- 可选择在输入端使用迟滞
- 可选择通过外部信号或基准 DAC 驱动比较器的负输入
- 可选择在外部引脚上使用低电平比较器 DAC 输出 CMPx_DACL（仅限部分实例，不能与比较功能同时使用）

6.12.5.1 CMPSS 模块型号

该器件包含两种不同型号的 CMPSS 模块：CMPSS（完整模块）和 CMPSS_LITE（功能简化且性能降低）。表 6-21 中总结了这两种型号在特性上的差异。

表 6-21. CMPSS 和 CMPSS_LITE 特性比较

特性	CMPSS	CMPSS_LITE
高电平和低电平比较器	是	是
双 12 位基准 DAC	是	是（9.5 位有效）
DAC 斜坡生成	是	否
外部引脚上提供低 DAC 输出	是（某些情况）	否
数字滤波器	是	是
性能	完整性能（请参阅 CMPSS 比较器电气特性表）	性能有所降低（请参阅 CMPSS_LITE 比较器电气特性表）

6.12.5.2 CMPx_DACL

一些 CMPSS 模块实例支持缓冲到引脚的 DAC 输出。CMPSS 模块的此 CMPx_DACL 输出使用指定 CMPSS 模块的低侧 DAC。当使用来自 CMPSS 实例的 DAC 输出时，该实例的所有其他 CMPSS 模块功能都不可用。

有关特定器件可用的 CMPx_DACL 实例，请参阅*模拟引脚和内部连接* 表的 DAC 列。

有关 DAC 输出功能，请参阅 *CMPx_DACL 的缓冲输出电气特性* 部分。

DRAFT ONLY
TI Confidential – NDA Restriction

Copyright © 2023 Texas Instruments Incorporated

6.12.5.3 CMPSS 连接图

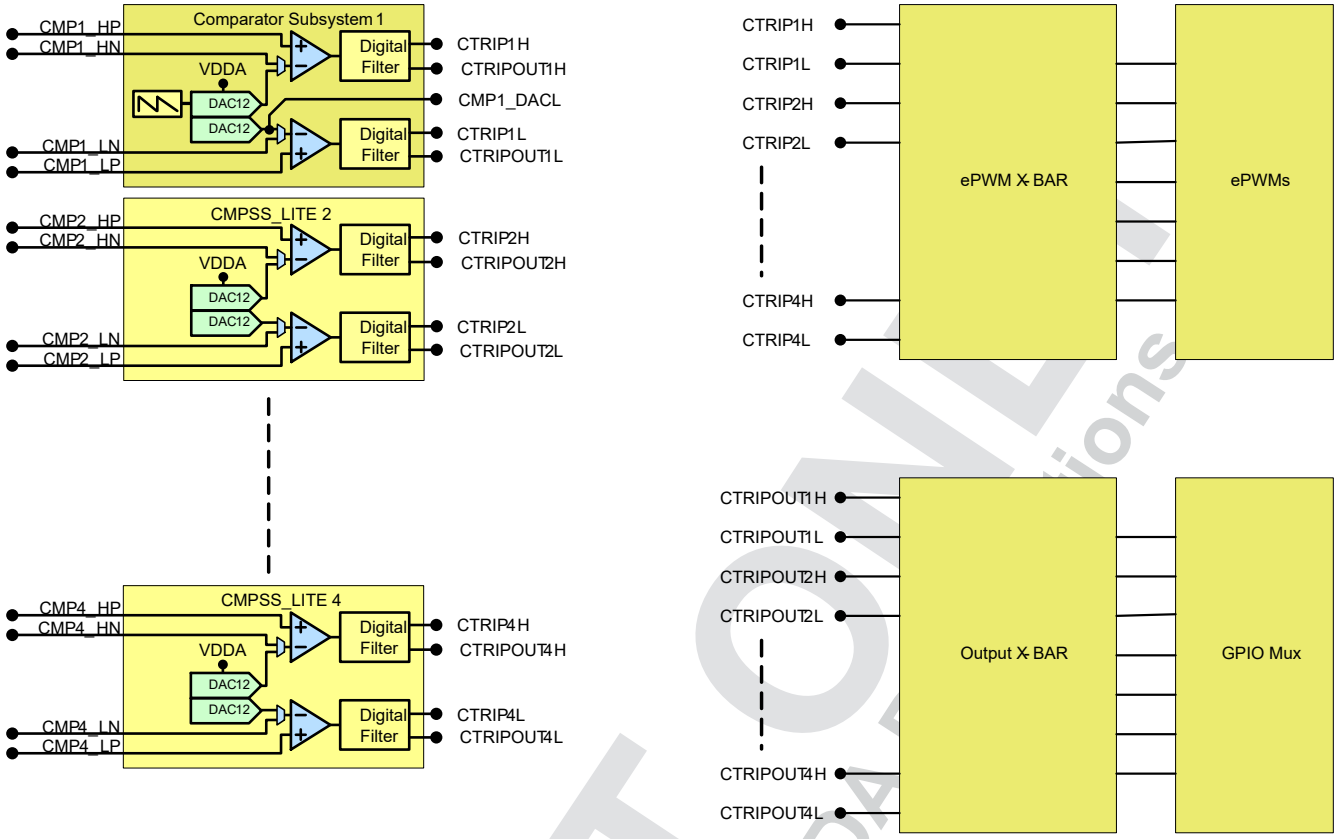


图 6-40. CMPSS 连接

6.12.5.4 方框图

CMPSS 的方框图如图 6-41 所示。CMPSS_LITE 的方框图如图 6-42 所示。

- CTRIPx (x=“H”或“L”) 信号连接到 ePWM X-BAR，用于 ePWM 跳变响应。更多有关 ePWM X-BAR 多路复用器配置的详细信息，请参阅 *TMS320F280013x 实时微控制器技术参考手册* 中的“增强型脉宽调制器 (ePWM)”一章。
- CTRIPxOUTx (x=“H”或“L”) 信号连接到输出 X-BAR，用于外部信号。更多有关输出 X-BAR 多路复用器配置的详细信息，请参阅 *TMS320F280013x 实时微控制器技术参考手册* 中的“通用输入/输出 (GPIO)”一章。

DRAFT ONLY
TI Confidential – NDA Restrictions

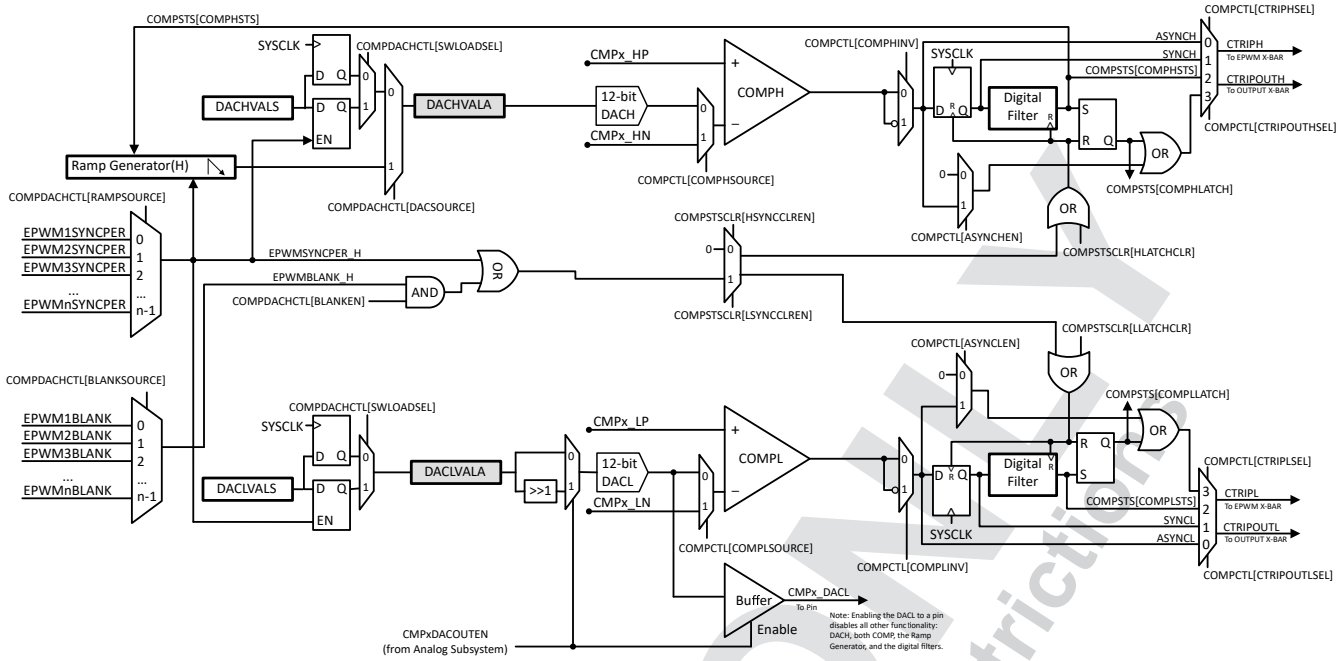


图 6-41. CMPSS 模块方框图

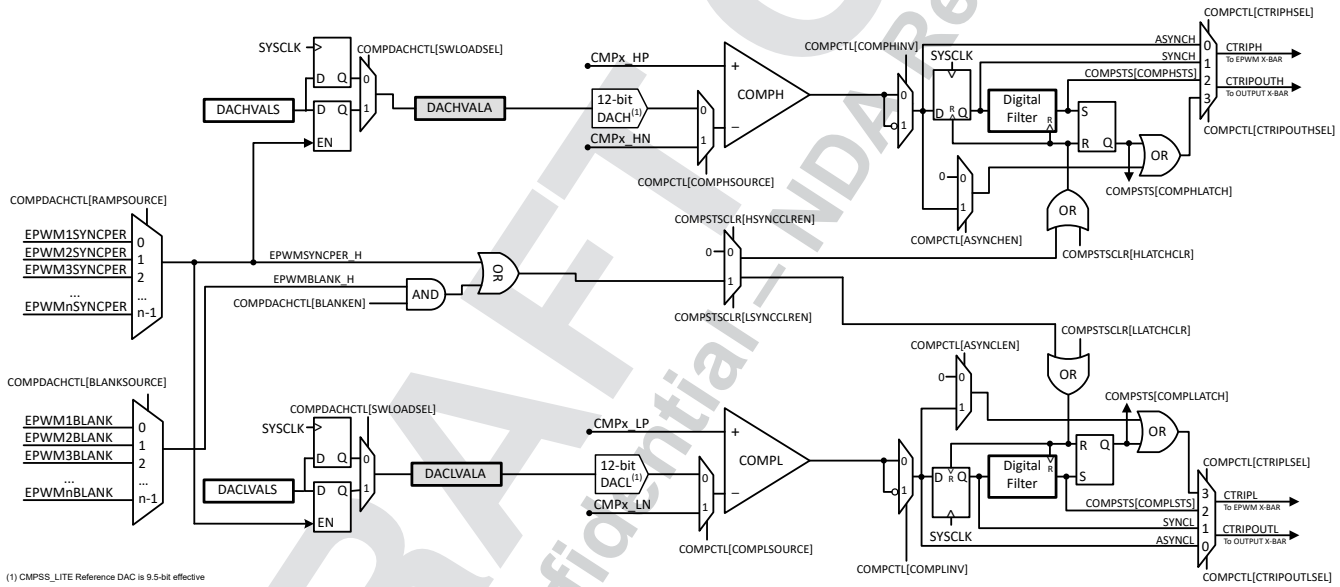


图 6-42. CMPSS_LITE 模块方框图

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.12.5.5 CMPSS 电气数据和时序

6.12.5.5.1 CMPSS 比较器电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
TPU	上电时间				500	µs
比较器输入 (CMPINxx) 范围			0		VDDA	V
以输入为基准的偏移量误差		低共模，反相输入设置为 50mV	-20		20	mV
迟滞(1)		1x	4	12	20	LSB
		2x	17	24	33	
		3x	25	36	50	
		4x	30	48	67	
响应时间（从 CMPINx 输入更改到 ePWM X-BAR 输出或 X-BAR 输出的延迟）		阶跃响应		21	60	ns
		斜坡响应 (1.65V/µs)		26		
		斜坡响应 (8.25mV/µs)		30		ns
PSRR	电源抑制比	高达 250kHz		46		dB
CMRR	共模抑制比		40			dB

(1) CMPSS DAC 用作确定应用多少迟滞的基准。因此，迟滞将随 CMPSS DAC 基准电压而变化。迟滞适用于所有比较器输入源配置。

6.12.5.5.2 CMPSS_LITE 比较器电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
TPU	上电时间	带隙未启用			500	µs
比较器输入 (CMPINxx) 范围			0		VDDA	V
以输入为基准的偏移量误差		通过 AIO/AGPIO，输入共模 = VDDA 的 5% 至 95%	-20		20	mV
迟滞(1)		1x	2	10	19	mV
		2x	8	20	34	
		3x	15	30	51	
		4x	20	41	70	
		5 次	26	52	88	
		6x	32	64	109	
		7x	38	77	131	
响应时间（从 CMPINx 输入更改到 ePWM X-BAR 输出或 X-BAR 输出的延迟）		阶跃响应		21	40	ns
		斜坡响应 (1.65V/µs)		26		
		斜坡响应 (8.25mV/µs)		30		
PSRR	电源抑制比	高达 250kHz		46		dB
CMRR	共模抑制比		40			dB

(1) 迟滞适用于所有比较器输入源配置。

DRAFT ONLY
TI Confidential – NDA Restrictions

CMPSS 比较器以输入为基准的偏移量和迟滞

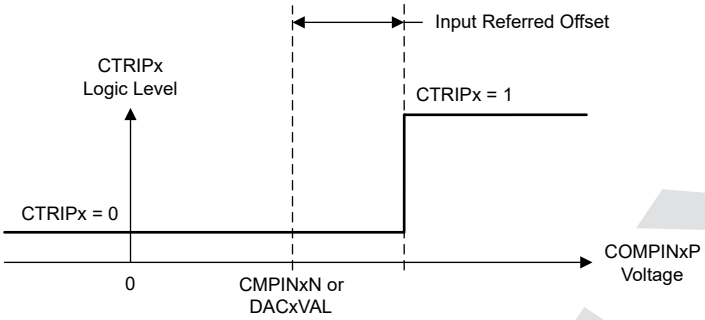


图 6-43. CMPSS 比较器以输入为基准的偏移量

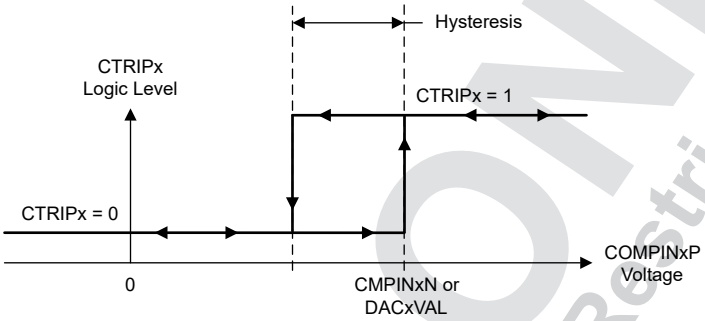


图 6-44. CMPSS 比较器迟滞

6.12.5.5.3 CMPSS DAC 静态电气特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
CMPSS DAC 输出范围	内部基准	0		VDDA	V
静态偏移量误差(1)		-25		25	mV
静态增益误差(1)		-2		2	FSR 百分比
静态 DNL	已更正端点	> -1		4	LSB
静态 INL	已更正端点	-16		16	LSB
趋稳时间	满量程输出变化后稳定到 1LSB			1	µs
分辨率			12		位
CMPSS DAC 输出干扰(2)	由同一 CMPSS 模块内的比较器跳闸或 CMPSS DAC 代码更改引起的误差	-100		100	LSB
CMPSS DAC 干扰时间(2)				200	ns

(1) 包含以比较器输入为基准的误差。
(2) 在比较器跳闸后的一段时间内，CMPSS DAC 输出可能会出现干扰误差。

6.12.5.5.4 CMPSS_LITE DAC 静态电气特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
CMPSS DAC 输出范围		0		VDDA	V
静态偏移量误差(1)		-25		25	mV
静态增益误差(1)		-0.5		0.5	FSR 百分比
静态 DNL	已更正端点	-5		5	LSB（12 位）
静态 INL	已更正端点	-7		7	LSB（12 位）
静态 TUE（总体未调整误差）			35		mV

DRAFT ONLY
Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.12.5.5.4 CMPSS_LITE DAC 静态电气特性 (continued)

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
趋稳时间	满量程输出变化后稳定到 1LSB		1		µs
分辨率(2)			12		位

(1) 包含以比较器输入为基准的误差。
(2) 单调响应时为 9.5 位有效分辨率

6.12.5.5.5 CMPSS 示意图

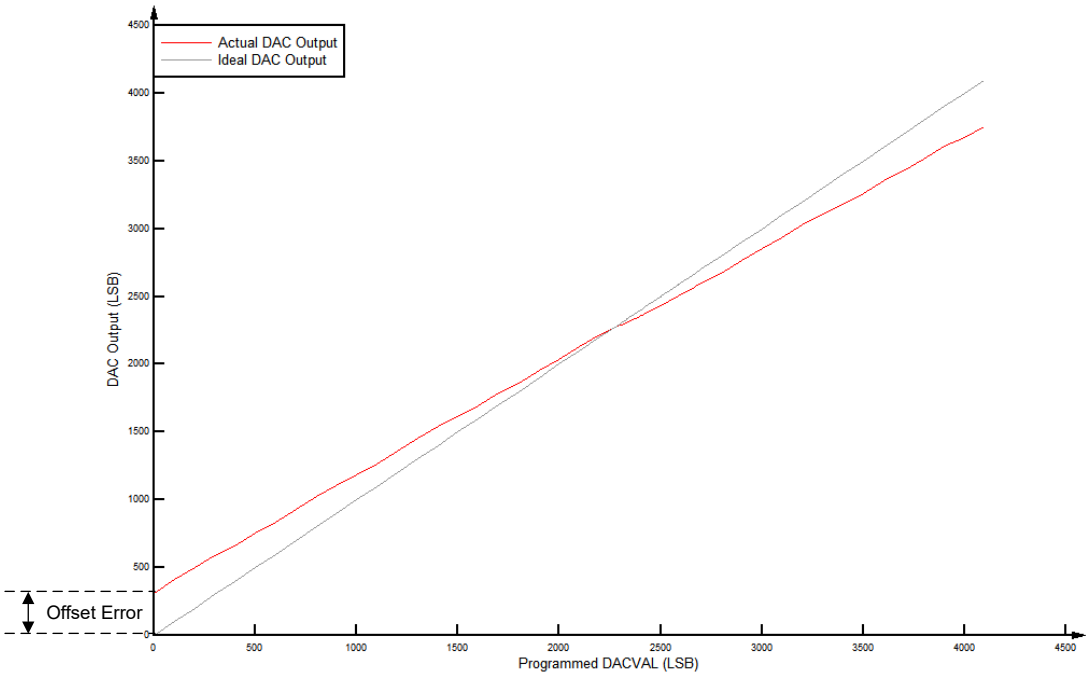


图 6-45. CMPSS DAC 静态偏移量

DRAFT
TI Confidential - Y

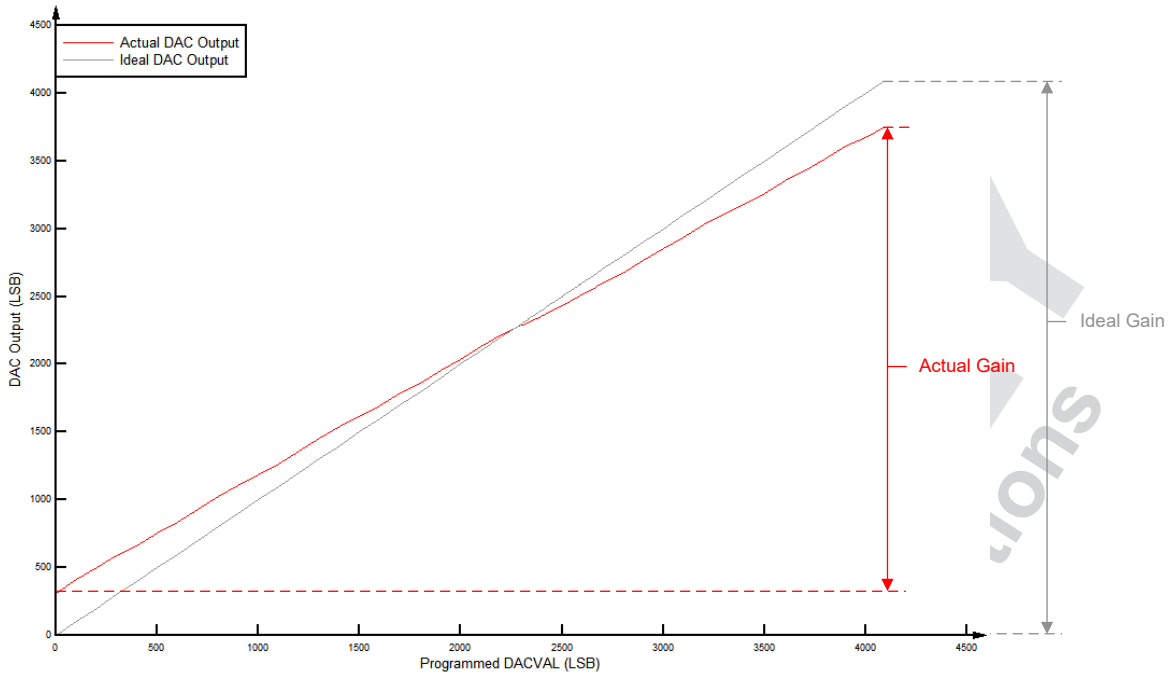


图 6-46. CMPSS DAC 静态增益

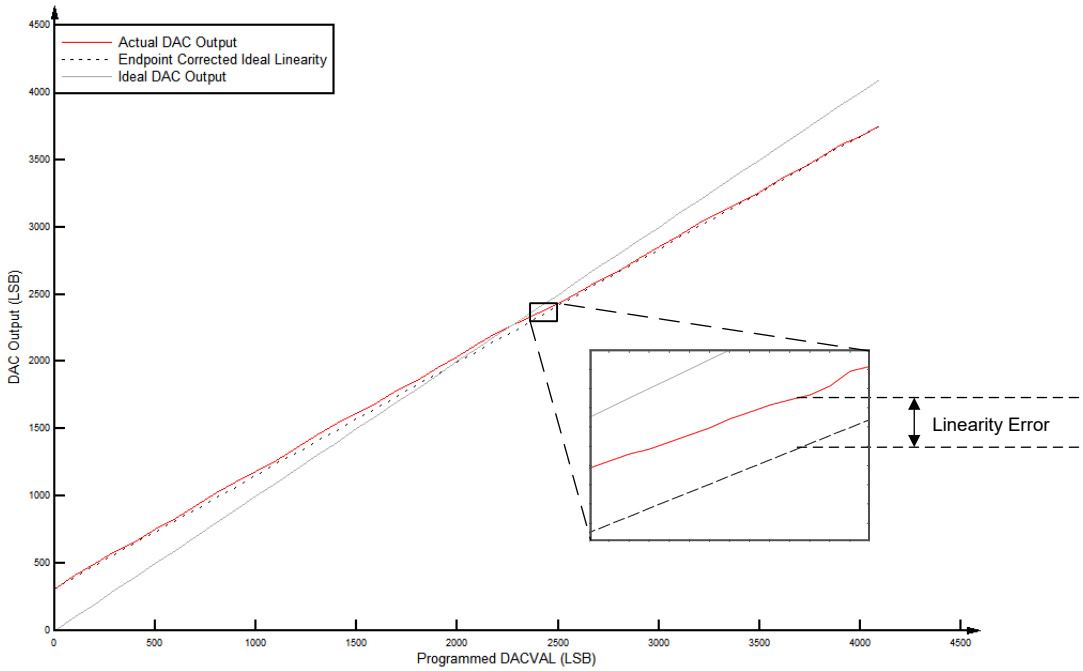


图 6-47. CMPSS DAC 静态线性

6.12.5.5.6 CMPx_DACL 缓冲输出的运行条件

在建议运行条件下测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
R_L	电阻负载(2)		5			kΩ
C_L	容性负载				100	pF

Copyright © 2023 Texas Instruments Incorporated

6.12.5.5.6 CMPx_DACL 缓冲输出的运行条件 (continued)

在建议运行条件下测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
V_{OUT}	有效输出电压范围(3)	R_L = 5kΩ	0.3		VDDA – 0.3	V
		R_L = 1kΩ	0.6		VDDA – 0.6	V
基准电压(4)		VREFHI	2.4	2.5 或 3.0	VDDA	V

(1) 典型值是在 VREFHI = 3.3V 和 VREFLO = 0V 时测得的，除非另外注明。在 VREFHI = 2.5V 和 VREFLO = 0V 条件下对最小值和最大值进行测试或表征。
(2) DAC 可以驱动最小 1kΩ 的阻性负载，但输出范围会受到限制。
(3) 这是 DAC 的线性输出范围。DAC 可以产生此范围以外的电压，但由于缓冲器的原因，输出电压将不呈线性。
(4) 为了获得卓越 PSRR 性能，VREFHI 应小于 VDDA。

6.12.5.5.7 CMPx_DACL 缓冲输出的电气特性

在建议运行条件下测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
通用						
分辨率(4)				12		位
负载调整率			-1		1	mV/V
毛刺脉冲能量				1.5		V-ns
电压输出稳定时间满量程		在 0.3V 至 3V 切换后稳定到 2LSB			2	µs
电压输出稳定时间第 1/4 满量程		在 0.3V 至 0.75V 切换后稳定到 2LSB			1.6	µs
电压输出压摆率		从 0.3V 到 3V 转换的压摆率	2.8		4.5	V/µs
负载瞬态的稳定时间		5kΩ 负载			328	ns
TPU	上电时间	带隙未启用			500	µs
直流特性						
偏移量	偏移量误差		–100		100	mV
Gain	增益误差(2)		–1.5		1.5	FSR 百分比
DNL	微分非线性((6))	已更正端点	-2		2	LSB（12 位）
INL	积分非线性	已更正端点	–7		7	LSB（12 位）
交流特性						
输出噪声		从 100Hz 到 100kHz 的积分噪声		600		µVrms
		10kHz 时的噪声密度		800		nVrms/√Hz
SNR	信噪比	1kHz，200KSPS		64		dB
THD	总谐波失真	1kHz，200KSPS		-64.2		dB
SFDR	无杂散动态范围	1kHz，200KSPS		66		dB
SINAD	信噪比和失真比	1kHz，200KSPS		61.7		dB
PSRR	电源抑制比(3)	直流		70		dB
		100kHz		30		dB

(1) 典型值是在 VREFHI = 3.3V 和 VREFLO = 0V 时测得的，除非另外注明。在 VREFHI = 2.5V 和 VREFLO = 0V 条件下对最小值和最大值进行测试或表征。
(2) 增益误差是在线性输出范围内计算得出。
(3) VREFHI = 3.2V，VDDA = 3.3V DC + 100mV 正弦。
(4) 11 位有效（单调响应）。

DRAFT ONLY
TI Confidential – NDA Restrictions

6.13 控制外设

6.13.1 增强型脉宽调制器 (ePWM)

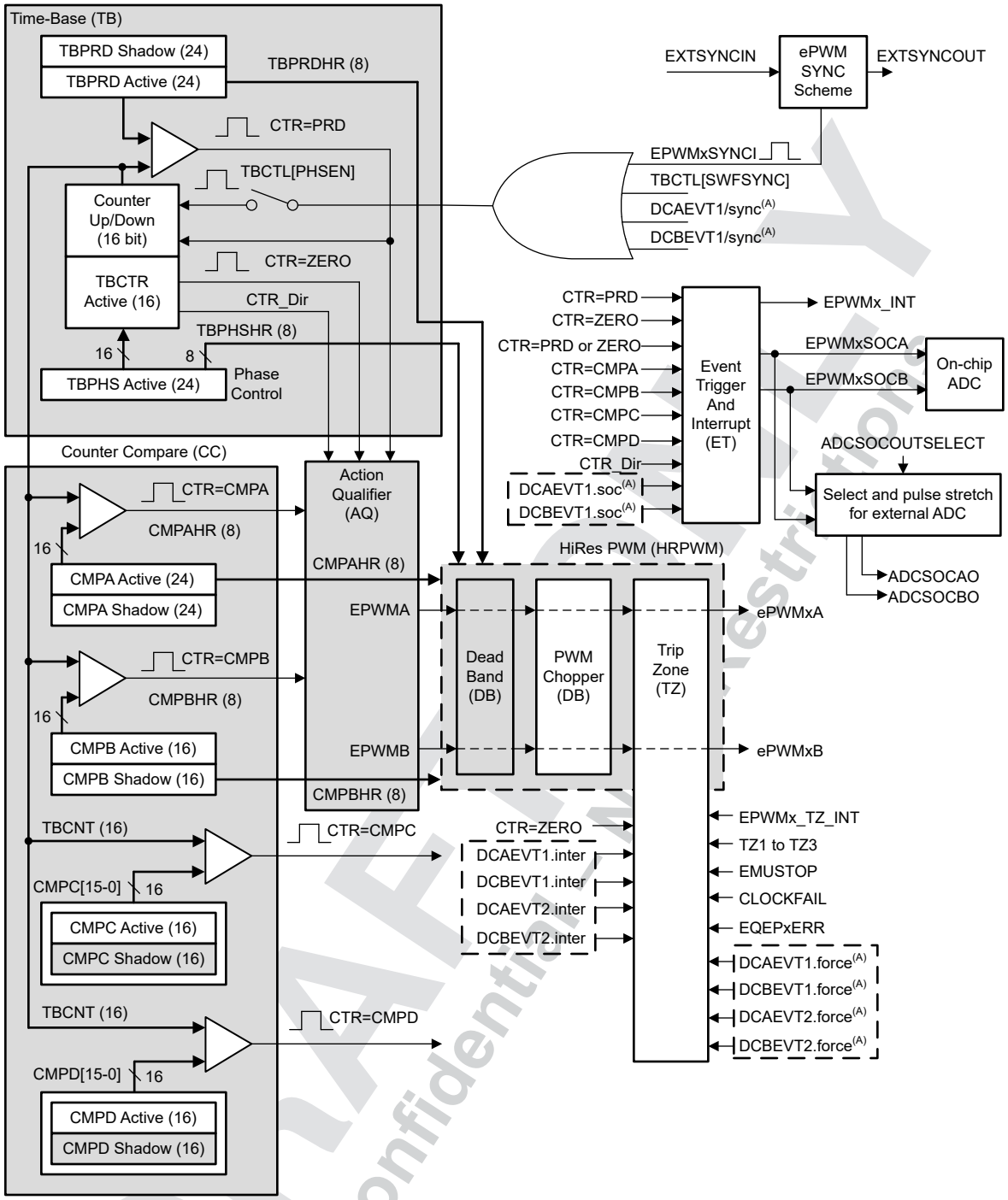
ePWM 外设是控制商业和工业设备中的许多电力电子系统的关键元件。通过从具有独立资源（这些独立资源可以一起运行形成一个系统）的较小模块构建外设，ePWM 4 类模块能够以最小的 CPU 开销生成复杂的脉冲宽度波形。ePWM 4 类模块的一些亮点包括复杂波形生成、死区生成、灵活的同步方案、高级跳变区功能和全局寄存器重载功能。

借助该器件上的 ePWM 和 eCAP 同步方案，可灵活地划分 ePWM 和 eCAP 模块，并可在这些模块内进行局部同步。

图 6-48 展示了 ePWM 模块。图 6-49 展示了 ePWM 跳变输入连接。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated



A. 这些事件由 ePWM 数字比较 (DC) 子模块根据 TRIPIN 输入电平生成。

图 6-48. ePWM 子模块和关键内部信号互连

DRAFT
TI Confidential - Restricted

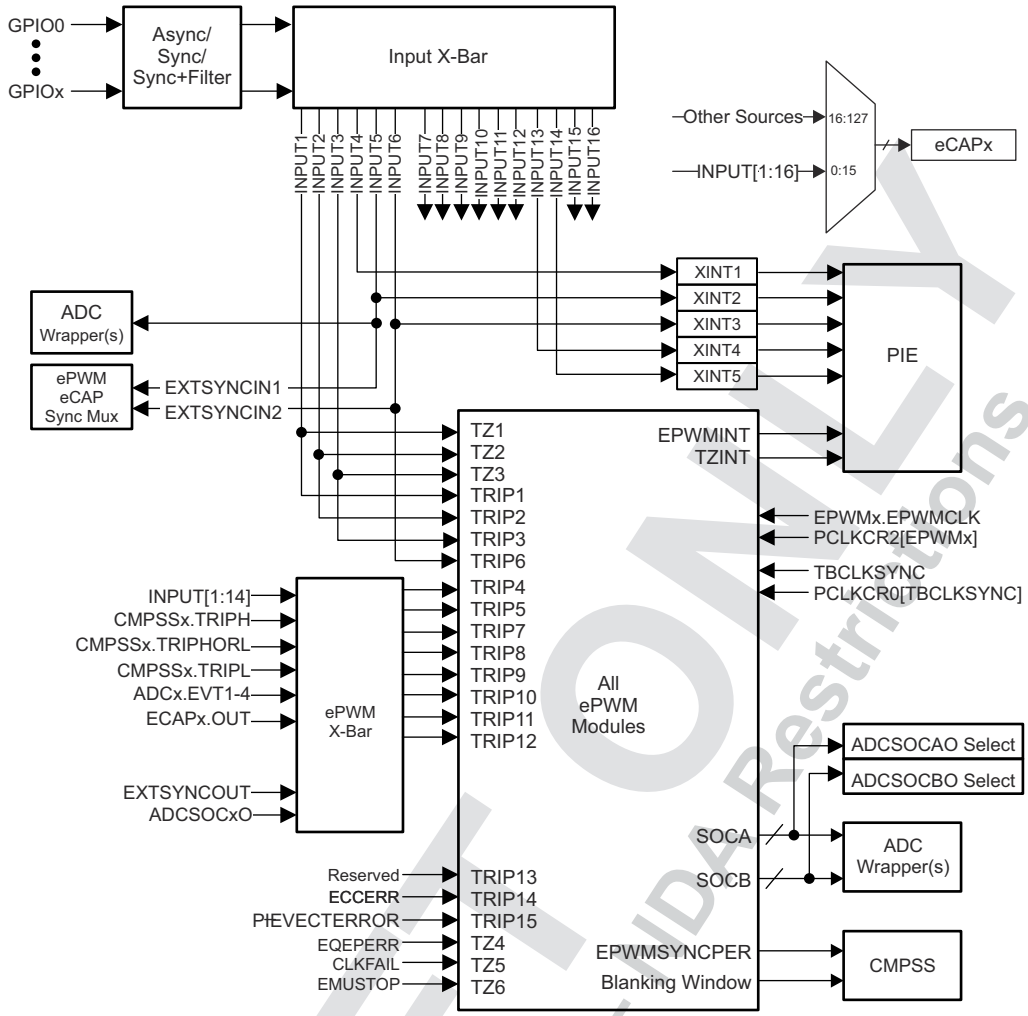


图 6-49. ePWM 跳变输入连接

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.13.1.1 控制外设同步

借助该器件上的 ePWM 和 eCAP 同步方案，可灵活地划分 ePWM 和 eCAP 模块，并可在这些模块内进行局部同步。图 6-50 展示了同步方案。

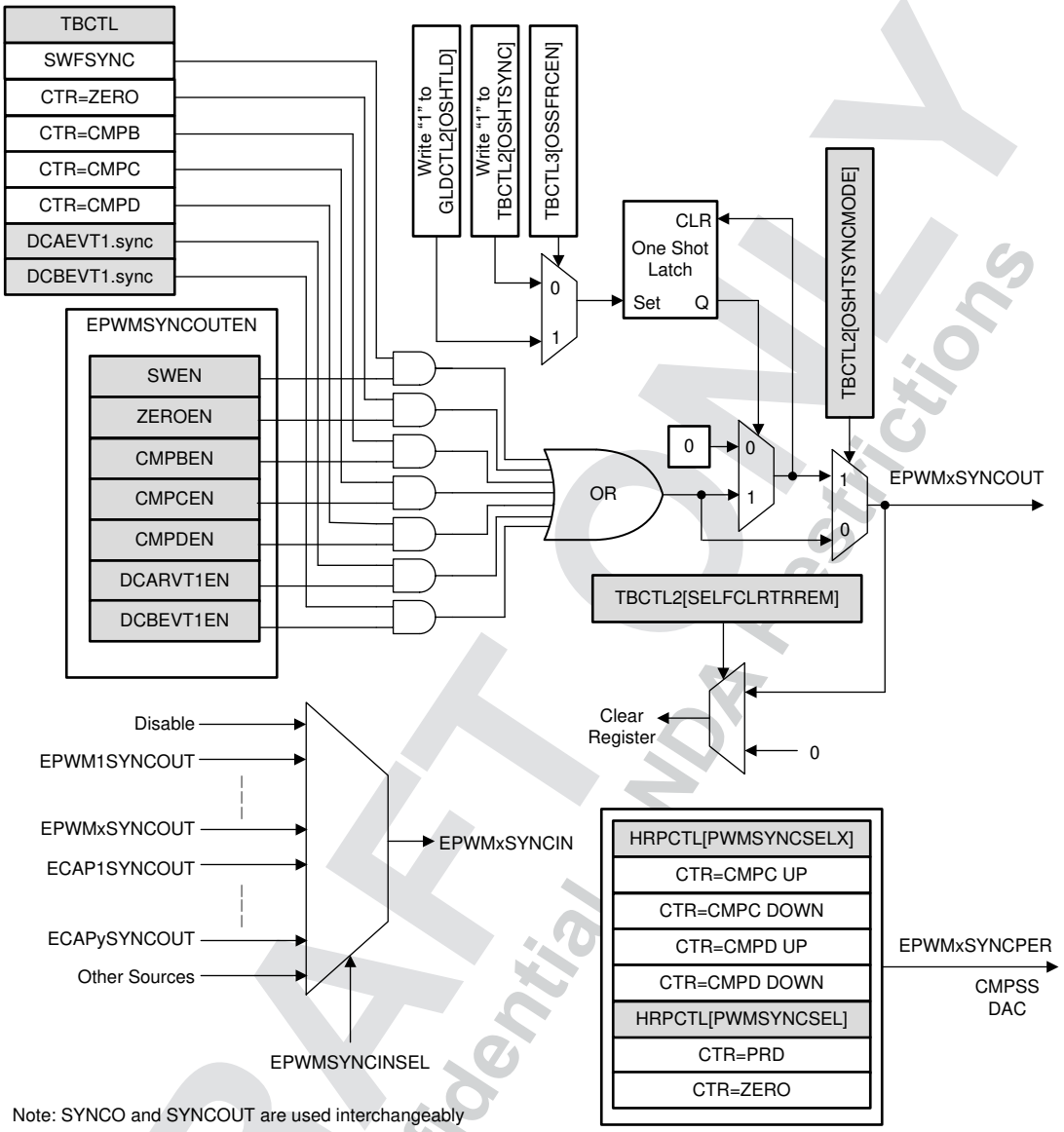


图 6-50. 同步链架构

DRAFT ONLY
TI Confidential NDA Restrictions

6.13.1.2 ePWM 电气数据和时序

有关输入限定符参数的说明，请参阅“通用输入时序要求”表。

6.13.1.2.1 ePWM 时序要求

			最小值 最大值	单位
$t_{w(SYNCIN)}$	同步输入脉冲宽度	异步	$2t_{c(EPWMCLK)}$	周期
		同步	$2t_{c(EPWMCLK)}$	
		带输入限定符	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$	

6.13.1.2.2 ePWM 开关特性

在建议运行条件下测得（除非另有说明）

参数(1)		最小值 最大值	单位
$t_{w(PWM)}$	脉冲持续时间，PWMx 输出高电平/低电平	20	ns
$t_{w(SYNCOUT)}$	同步输出脉冲宽度	$8t_{c(SYSCLK)}$	周期
$t_{d(TZ-PWM)}$	延迟时间，跳变输入激活到 PWM 强制高电平 延迟时间，跳变输入激活到 PWM 强制低电平 延迟时间，跳变输入激活到 PWM 高阻抗	25	ns

(1) 引脚上 20pF 负载。

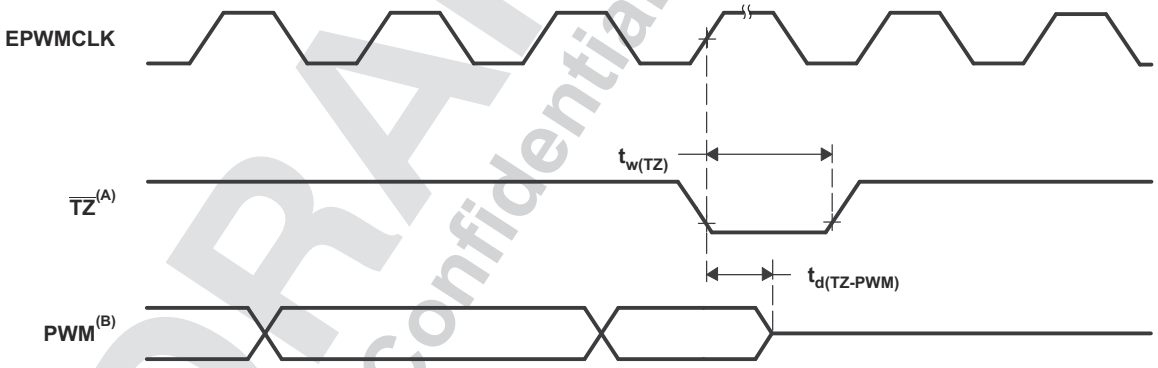
6.13.1.2.3 跳闸区输入时序

有关输入限定符参数的说明，请参阅“通用输入时序要求”表。

6.13.1.2.3.1 跳闸区域输入时序要求

			最小值 最大值	单位
$t_{w(TZ)}$	脉冲持续时间，$\overline{TZx}$ 输入低电平	异步	$1t_{c(EPWMCLK)}$	周期
		同步	$2t_{c(EPWMCLK)}$	周期
		带输入限定符	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$	周期

6.13.1.2.3.2 PWM 高阻态特征时序图



A. $\overline{TZ}$: $\overline{TZ1}$、$\overline{TZ2}$、$\overline{TZ3}$、TRIP1 至 TRIP12

B. PWM 是指器件内的所有 PWM 引脚。$\overline{TZ}$ 置于高电平后 PWM 引脚的状态取决于 PWM 恢复软件。

图 6-51. PWM 高阻态特征

DRAFT ONLY
TI Confidential – NDA Restriction

Copyright © 2023 Texas Instruments Incorporated

6.13.2 高分辨率脉宽调制器 (HRPWM)

通过使用专用的校准延迟线路，HRPWM 在单个模块和简化的校准系统内结合了多条延迟线路。对于每个 ePWM 模块，都有两个 HR 输出：

- 通道 A 上的 HR 占空比和死区控制
- 通道 B 上的 HR 占空比和死区控制

HRPWM 模块提供 PWM 分辨率（时间粒度），此分辨率明显优于使用传统数字 PWM 方法所能达到的分辨率。HRPWM 模块的关键点为：

- 大大扩展了传统导出数字 PWM 的时间分辨率能力
- 此功能可用于单边沿（占空比和相移控制）以及双边沿控制，以实现频率/周期调制。
- 通过对 ePWM 模块的比较 A、B、相位、周期和死区寄存器的扩展来控制更加精细的时间粒度控制或边沿定位。

6.13.2.1 HRPWM 电气数据和时序

6.13.2.1.1 高分辨率 PWM 特征

参数	最小值	典型值	最大值	单位
微边沿定位 (MEP) 步长(1)		150	310	ps

(1) MEP 步长在高温和 V_{DD} 上的电压最小时最大。MEP 步长将随温度的升高和电压的下降而增加，并随温度的下降和电压的升高而减小。使用 HRPWM 特性的应用应该使用 MEP 比例因子优化器 (SFO) 估计软件功能。有关在最终应用中使用 SFO 功能的详细信息，请参阅 TI 软件库。SFO 功能有助于在 HRPWM 运行时动态估计每个 SYSCLK 周期的 MEP 步数。

6.13.3 外部 ADC 转换启动电气数据和时序

6.13.3.1 外部 ADC 转换启动开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	最大值	单位
$t_{w(ADCSOCL)}$	脉冲持续时间，$\overline{ADCSOCxO}$ 低电平	$32t_{c(SYSCLK)}$		周期

6.13.3.2 $\overline{ADCSOCAO}$ 或 $\overline{ADCSOCBO}$ 时序图

图 6-52. $\overline{ADCSOCAO}$ 或者 $\overline{ADCSOCBO}$ 时序

DRAFT ONLY
TI Confidential – NDA Restrictions

6.13.4 增强型捕获 (eCAP)

eCAP 模块的特性包括：

- 测量旋转机械的速度（例如，通过霍尔传感器感应齿状链轮）
- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压振幅

本章介绍的 eCAP 模块特性包括：

- 4 事件时间戳寄存器（每个 32 位）
- 边缘极性选择，最多选择四个序列时间戳捕获事件
- 对 4 个事件中的任何一个事件进行中断
- 单次采集多达 4 个事件时间戳
- 在深度为 4 的循环缓冲器中以连续模式采集时间戳
- 绝对时间戳采集
- 差分 (Δ) 模式时间戳采集
- 当未用于采集模式时，eCAP 模块可配置为单通道 PWM 输出

1 类 eCAP 的捕捉功能通过 0 类 eCAP 得到增强，增加了以下特性：

- 事件过滤器复位位
  - 向 ECCTL2[CTRFILTRESET] 写入 1 会清零事件过滤器、模数计数器和任何挂起的中断标志。复位该位对于初始化和调试很有用。
- 模数计数器状态位。
  - 模数计数器 (ECCTL2 [MODCNTRSTS]) 指示接下来加载哪个捕捉寄存器。在 0 类 eCAP 中，无法了解模数计数器的当前状态。
- 输入多路复用器
  - ECCTL0 [INPUTSEL] 选择 128 个输入信号之一，详情请见 *TMS320F280013x 实时微控制器技术参考手册* 中“增强型捕捉 (eCAP)”一章的“配置 eCAP 器件引脚”一节。
- EALLOW 保护
  - EALLOW 保护已添加到关键寄存器。为了维持与 0 类的软件兼容性，请配置 DEV_CFG_REGS.ECAPTYPE 以使这些寄存器不受保护。

2 类 eCAP 的捕捉功能通过 1 类 eCAP 得到增强，增加了以下特性：

- 添加了 ECAPxSYNCINSEL 寄存器
  - 为每个 eCAP 添加了 ECAPxSYNCINSEL 寄存器以选择外部 SYNCIN。每个 eCAP 可以有一个单独的 SYNCIN 信号。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.13.4.1 eCAP 方框图

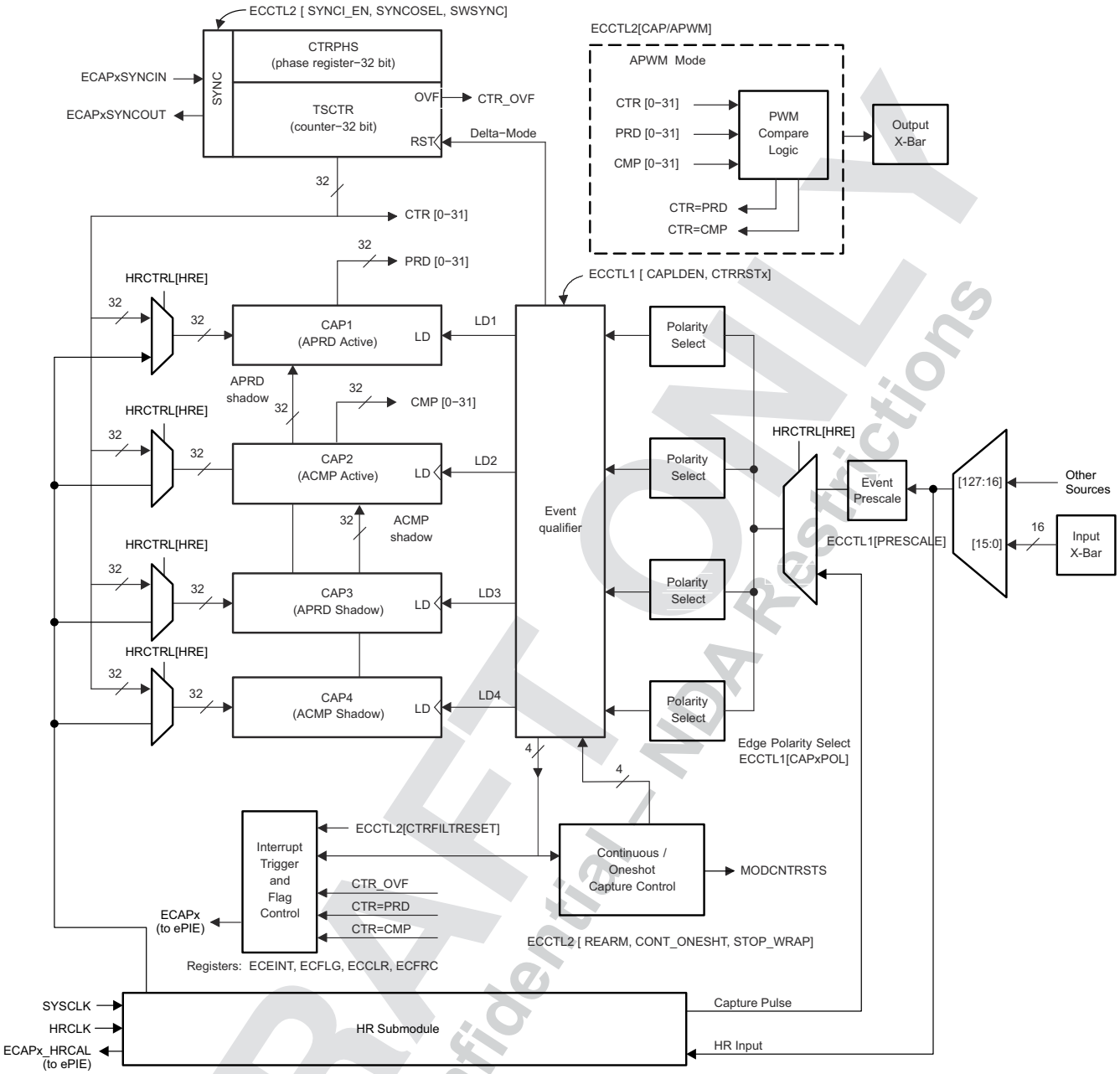


图 6-53. eCAP 方框图

DRAFT ONLY
TI Confidential – NDA Restrictions

6.13.4.2 eCAP 同步

通过选择一个公共的 SYNCIN 源，eCAP 模块可以互相同步。eCAP 的 SYNCIN 源可以是软件同步输入或外部同步输入。外部同步输入信号可来自 EPWM、eCAP 或 X-Bar。如图 6-54 所示，SYNC 信号由 ECAPx 的 ECAPxSYNCINSEL[SEL] 位中的选择定义。

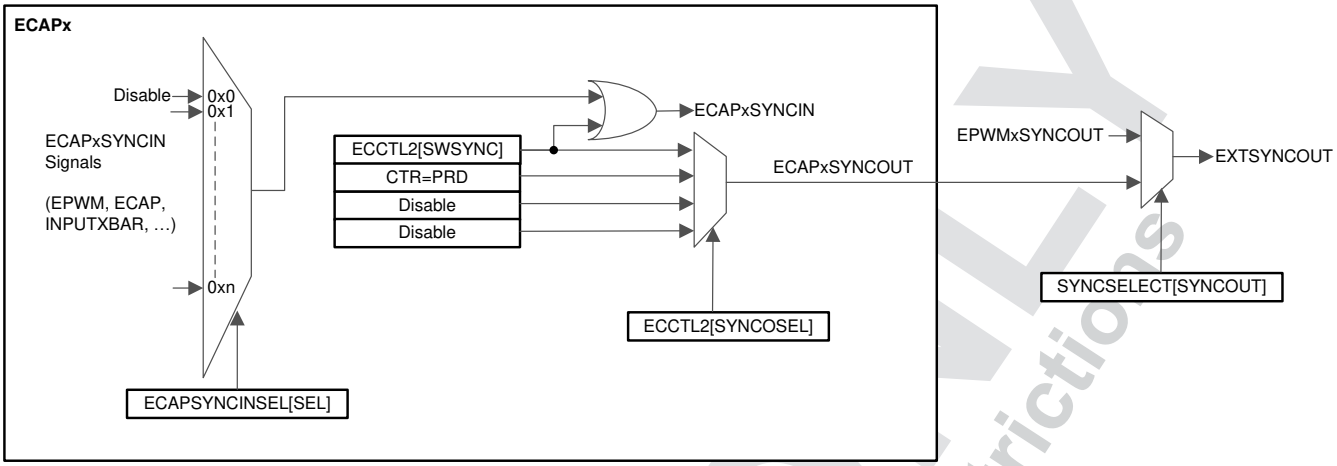


图 6-54. eCAP 同步方案

6.13.4.3 eCAP 电气数据和时序

6.13.4.3.1 eCAP 时序要求

			最小值	标称值	最大值	单位
$t_{w(CAP)}$	采集输入脉冲宽度	异步	$2t_{c(SYSCLK)}$			ns
		同步	$2t_{c(SYSCLK)}$			
		带输入限定符	$1t_{c(SYSCLK)} + t_{w_(IQSW)}$			

6.13.4.3.2 eCAP 开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
$t_{w(APWM)}$	脉冲持续时间，APWMx 输出高电平/低电平	20			ns

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.13.5 增强型正交编码器脉冲 (eQEP)

该器件上的 eQEP 模块为 2 类。eQEP 直接与线性或旋转增量编码器相连，以便从高性能运动和位置控制系统中使用的旋转机器中获得位置、方向和速度信息。

该 eQEP 外设包含以下主要功能单元（请参阅图 6-55）：

- 针对每个引脚的可编程输入鉴定（GPIO MUX 的一部分）
- 正交解码器单元 (QDU)
- 用于位置测量的位置计数器和控制单元 (PCCU)
- 用于低速测量的正交边沿捕捉单元 (QCAP)
- 用于速度/频率测量的单位时基 (UTIME)
- 用于检测失速的看门狗计时器 (QWDOG)
- 正交模式适配器 (QMA)

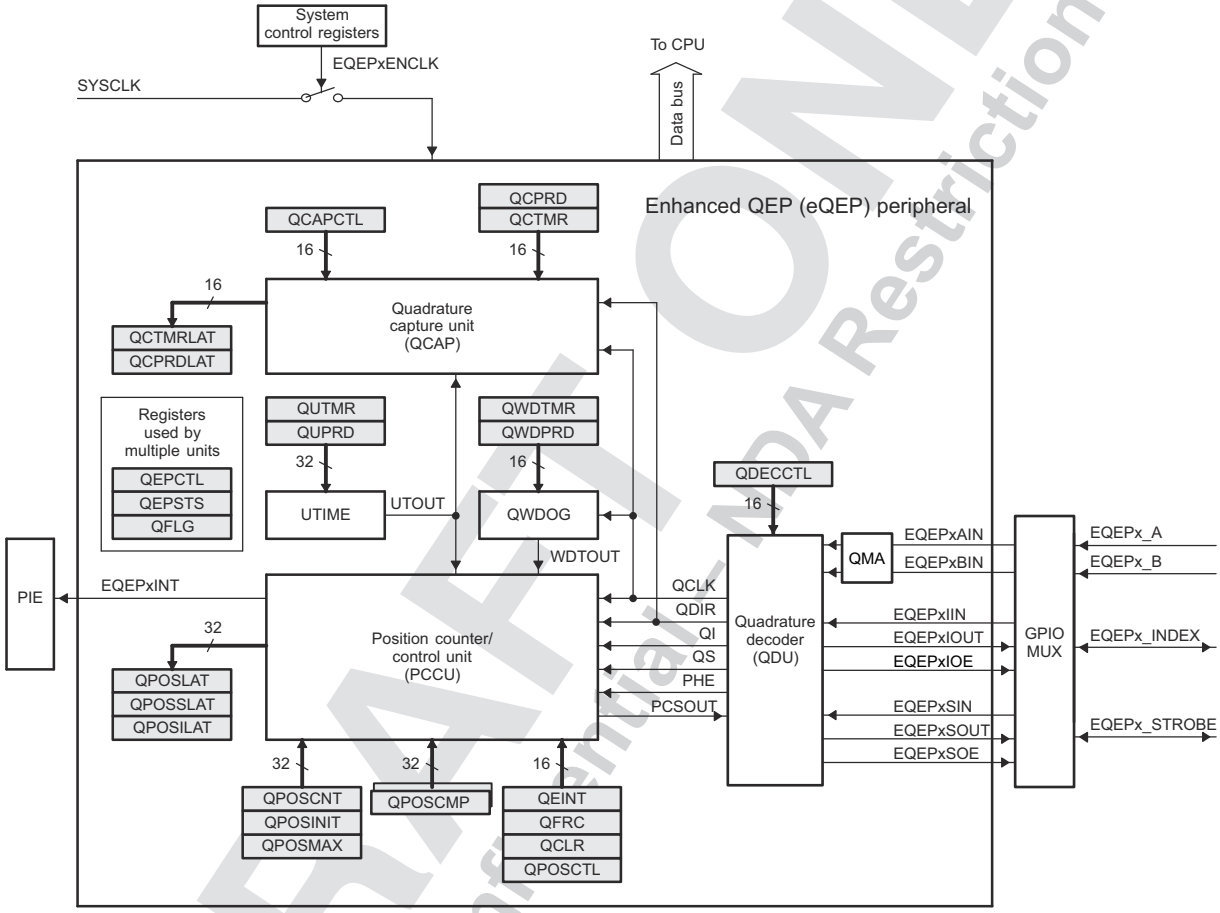


图 6-55. eQEP 方框图

DRAFT ONLY
TI Confidential – NDA Restrictions

6.13.5.1 eQEP 电气数据和时序

有关输入限定符参数的说明，请参阅“通用输入时序要求”表。

6.13.5.1.1 eQEP 时序要求

			最小值 最大值	单位
$t_{w(QEPP)}$	QEP 输入周期	同步(1)	$2t_{c(SYSCLK)}$	周期
		与输入限定符同步	$2[1t_{c(SYSCLK)} + t_{w(IQSW)}]$	
$t_{w(INDEXH)}$	QEP 索引输入高电平时间	同步(1)	$2t_{c(SYSCLK)}$	周期
		与输入限定符同步	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	
$t_{w(INDEXL)}$	QEP 索引输入低电平时间	同步(1)	$2t_{c(SYSCLK)}$	周期
		与输入限定符同步	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	
$t_{w(STROBH)}$	QEP 选通高电平时间	同步(1)	$2t_{c(SYSCLK)}$	周期
		与输入限定符同步	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	
$t_{w(STROBL)}$	QEP 选通输入低电平时间	同步(1)	$2t_{c(SYSCLK)}$	周期
		与输入限定符同步	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	

(1) GPIO GPxQSELn 异步模式不得用于 eQEP 模块输入引脚。

6.13.5.1.2 eQEP 开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值 最大值	单位
$t_{d(CNTR)xin}$	延迟时间，外部时钟到计数器增量	$5t_{c(SYSCLK)}$	周期
$t_{d(PCS-OUT)QEP}$	延迟时间，QEP 输入边沿到位置比较同步输出	$7t_{c(SYSCLK)}$	个周期

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.14 通信外设

6.14.1 控制器局域网 (CAN)

备注

CAN 模块使用称为 *DCAN* 的 IP。本文档交替使用名称 *CAN* 和 *DCAN* 来引用此外设。

CAN 模块实现下列特性：

- 符合 ISO11898-1（Bosch® CAN 协议规范 2.0 A 和 B）
- 最高 1Mbps 的比特率
- 多个时钟源
- 32 个消息对象（邮箱），每个对象具有以下属性：
  - 可配置为接收或者发送
  - 可配置标准（11 位）或扩展（29 位）标识符
  - 支持可编程标识符接收掩码
  - 支持数据和远程帧
  - 保留 0 到 8 个字节的数据
  - 奇偶校验配置和数据 RAM
- 每个消息对象的单独标识符掩码
- 消息对象的可编程 FIFO 模式
- 用于自检操作的可编程环回模式
- 调试支持的挂起模式
- 软件模块复位
- 由一个可编程 32 位计时器实现在总线关闭状态后自动开启总线
- 2 条中断线路

备注

对于 100MHz 的 CAN 位时钟，最小比特率可以为 3.90625Kbps。

备注

片上振荡器的精度可在“INTOSC 特性”表中找到。根据相关参数（如 CAN 位时序设置、比特率、总线长度和传播延迟），此振荡器的精度可能不符合 CAN 协议的要求。在这种情况下，必须使用外部时钟源。

图 6-56 展示了 CAN 功能方框图。

DRAFT ONLY
TI Confidential – NDA Restrictions

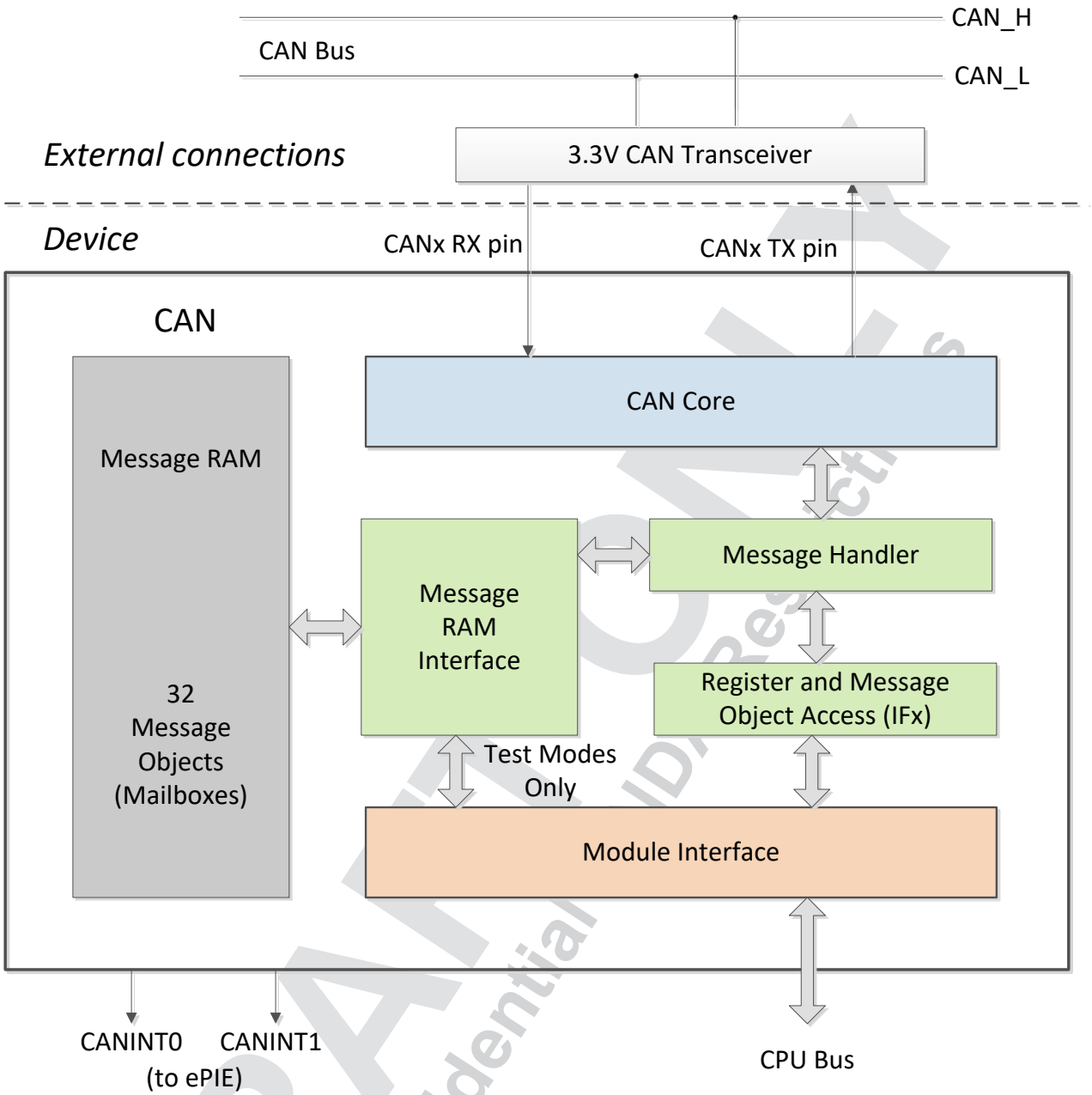


图 6-56. CAN 方框图

DRAFT
TI Confidential - NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.14.2 内部集成电路 (I2C)

I2C 模块具有以下特性：

- 符合 NXP Semiconductor I^2C 总线规范（版本 2.1）：
  - 支持 8 位格式传输
  - 7 位和 10 位寻址模式
  - 常规调用
  - START 字节模式
  - 支持多个主器件-发送器和从器件-接收器
  - 支持多个从器件-发送器和主器件-接收器
  - 组合主器件发送/接收和接收/发送模式
  - 数据传输速率从 10kbps 到高达 400Kbps（快速模式）
- 支持与以下兼容的电压阈值：
  - SMBus 2.0 及更低版本
  - PMBus 1.2 及更低版本
- 一个 16 字节接收 FIFO 和一个 16 字节发送 FIFO
- 支持两个 ePIE 中断
  - I2Cx 中断 - 可以配置以下任何条件来生成 I2Cx 中断：
    - 发送就绪
    - 接收就绪
    - 寄存器访问就绪
    - 无确认
    - 仲裁丢失
    - 检测到停止条件
    - 被寻址为从器件
  - I2Cx_FIFO 中断：
    - 发送 FIFO 中断
    - 接收 FIFO 中断
- 模块启用和禁用能力
- 自由数据格式模式

图 6-57 展示了 I2C 外设模块如何在器件内连接。

DRAFT ONLY
TI Confidential – NDA Restrictions

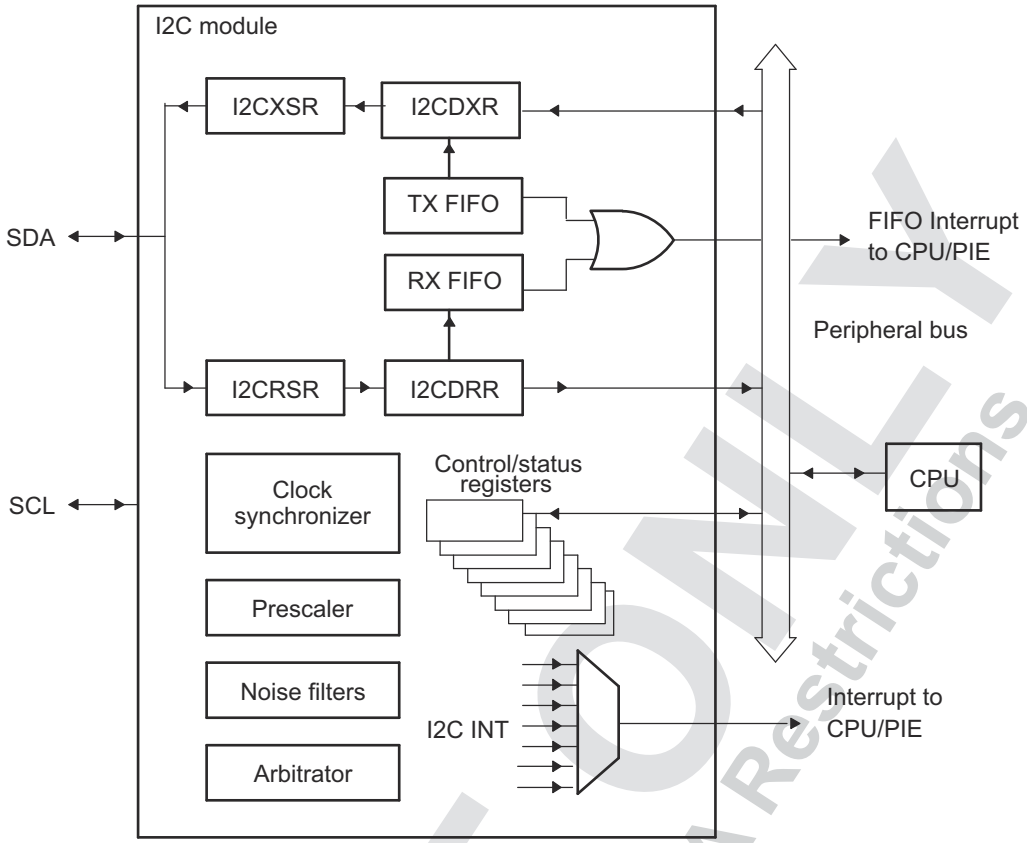


图 6-57. I2C 外设模块接口

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.14.2.1 I2C 电气数据和时序

备注

为了满足所有的 I2C 协议时序规范，I2C 模块时钟必须配置为 7MHz 至 12MHz 范围内的值。

6.14.2.1.1 I2C 时序要求

编号			最小值	最大值	单位
标准模式					
T0	f_{mod}	I2C 模块频率	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	保持时间，启动条件，SDA 下降后 SCL 下降延迟	4.0		μs
T2	$t_{su(SCL-SDA)START}$	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	4.0		μs
T3	$t_{h(SCL-DAT)}$	保持时间，SCL 下降后的数据	0		μs
T4	$t_{su(DAT-SCL)}$	设置时间，SCL 上升前的数据	250		ns
T5	$t_{r(SDA)}$	上升时间，SDA		1000	ns
T6	$t_{r(SCL)}$	上升时间，SCL		1000	ns
T7	$t_{f(SDA)}$	下降时间，SDA		300	ns
T8	$t_{f(SCL)}$	下降时间，SCL		300	ns
T9	$t_{su(SCL-SDA)STOP}$	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	4.0		μs
T10	$t_{w(SP)}$	将由滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C_b	每条总线上的电容负载		400	pF
快速模式					
T0	f_{mod}	I2C 模块频率	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	保持时间，启动条件，SDA 下降后 SCL 下降延迟	0.6		μs
T2	$t_{su(SCL-SDA)START}$	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	0.6		μs
T3	$t_{h(SCL-DAT)}$	保持时间，SCL 下降后的数据	0		μs
T4	$t_{su(DAT-SCL)}$	设置时间，SCL 上升前的数据	100		ns
T5	$t_{r(SDA)}$	上升时间，SDA	20	300	ns
T6	$t_{r(SCL)}$	上升时间，SCL	20	300	ns
T7	$t_{f(SDA)}$	下降时间，SDA	11.4	300	ns
T8	$t_{f(SCL)}$	下降时间，SCL	11.4	300	ns
T9	$t_{su(SCL-SDA)STOP}$	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	0.6		μs
T10	$t_{w(SP)}$	将由滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C_b	每条总线上的电容负载		400	pF

6.14.2.1.2 I2C 开关特征

在推荐的工作条件下（除非另有说明）

编号	参数		测试条件	最小值	最大值	单位
标准模式						
S1	f_{SCL}	SCL 时钟频率		0	100	kHz
S2	T_{SCL}	SCL 时钟周期		10		μs
S3	$t_{w(SCLL)}$	脉冲持续时间，SCL 时钟低电平		4.7		μs
S4	$t_{w(SCLH)}$	脉冲持续时间，SCL 时钟高电平		4.0		μs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		4.7		μs
S6	$t_{v(SCL-DAT)}$	有效时间，SCL 下降后的数据			3.45	μs
S7	$t_{v(SCL-ACK)}$	有效时间，SCL 下降后的确认			3.45	μs

DRAFT ONLY
TI Confidential – NDA Restrictions

6.14.2.1.2 I2C 开关特征 (continued)

在推荐的工作条件下 (除非另有说明)

编号	参数		测试条件	最小值	最大值	单位
S8	I_I	引脚上的输入电流	0.1 V_{bus} < V_i < 0.9 V_{bus}	-10	10	μA
快速模式						
S1	f_{SCL}	SCL 时钟频率		0	400	kHz
S2	T_{SCL}	SCL 时钟周期		2.5		μs
S3	$t_{w(SCLL)}$	脉冲持续时间，SCL 时钟低电平		1.3		μs
S4	$t_{w(SCLH)}$	脉冲持续时间，SCL 时钟高电平		0.6		μs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		1.3		μs
S6	$t_{v(SCL-DAT)}$	有效时间，SCL 下降后的数据			0.9	μs
S7	$t_{v(SCL-ACK)}$	有效时间，SCL 下降后的确认			0.9	μs
S8	I_I	引脚上的输入电流	0.1 V_{bus} < V_i < 0.9 V_{bus}	-10	10	μA

6.14.2.1.3 I2C 时序图

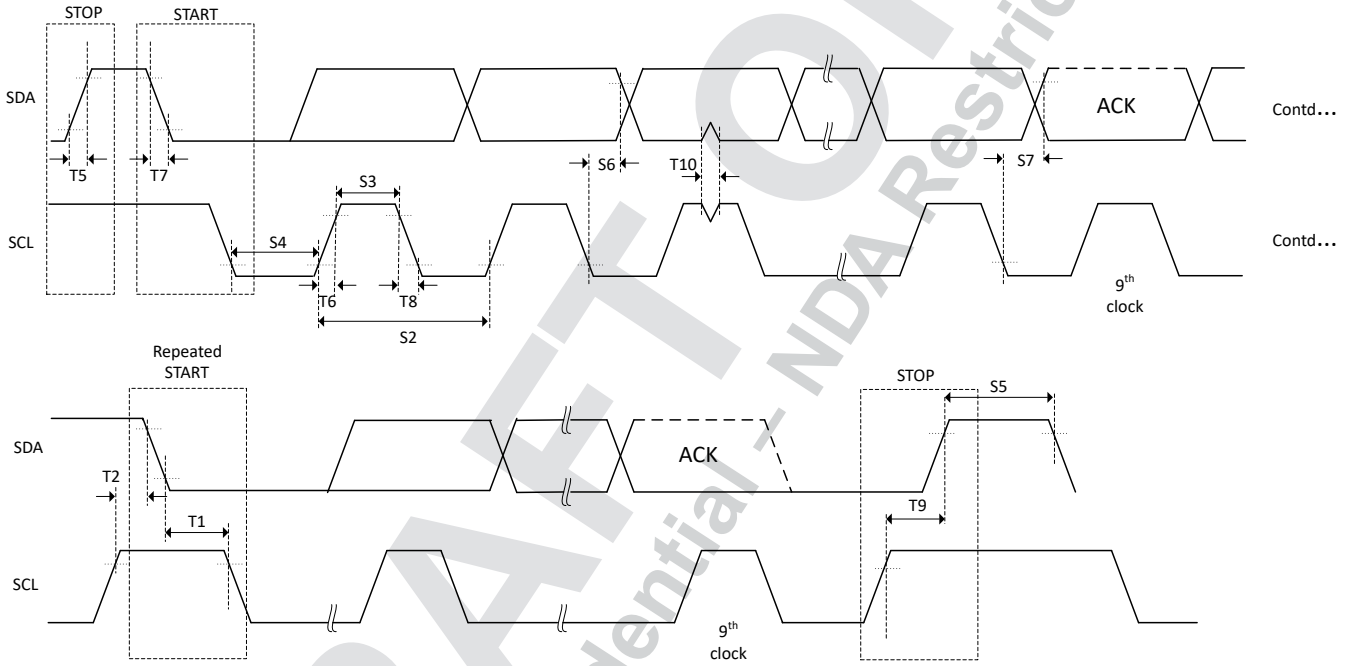


图 6-58. I2C 时序图

DRAFT ONLY
TI Confidential - NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.14.3 串行通信接口 (SCI)

SCI 是一种双线制异步串行端口，通常称为 UART。SCI 模块支持 CPU 与其他异步外设之间使用标准非归零码 (NRZ) 格式的数字通信

SCI 发送器和接收器都有一个用于减少服务开销的 16 级深度 FIFO，且具有各自独立的使能位和中断位。两者都能独立进行半双工通信，或同时进行全双工通信。为了指定数据完整性，SCI 检查接收到的数据是否存在中断检测、奇偶校验、超限和成帧错误。比特率通过 16 位波特选择寄存器可编程为不同的速度。

SCI 模块的特性包括：

- 两个外部引脚：
  - SCITXD：SCI 发送-输出引脚
  - SCIRXD：SCI 接收-输入引脚
  - 波特率可编程为 64K 不同速率
- 数据字格式
  - 1 个起始位
  - 数据字长度可在 1 至 8 位之间编程
  - 可选偶数/奇数/无奇偶校验位
  - 1 个或 2 个停止位
- 四个错误检测标志：奇偶、超载、组帧、和中断检测
- 两种唤醒多处理器模式：空闲线和地址位
- 半双工或全双工操作
- 双缓冲接收和发送功能
- 发送器和接收器操作可通过带有状态标志的中断驱动或轮询算法来完成。
  - 发送器：TXRDY 标志（发送器缓冲寄存器已准备好接收另一个字符）和 TX EMPTY 标志（发送器移位寄存器为空）
  - 接收器：RXRDY 标志（接收器缓冲寄存器已准备好接收另一个字符）、BRKDT 标志（发生了中断条件）和 RX ERROR 标志（监测四个中断条件）
- 发送器和接收器中断的独立使能位（BRKDT 除外）
- NRZ 格式
- 自动波特检测硬件逻辑
- 16 级发送和接收 FIFO

备注

此模块中的所有寄存器均为 8 位寄存器。当寄存器被访问时，寄存器数据位于低位字节（位 7-0），高位字节（位 15-8）读取为零。对高字节进行写入无效。

图 6-59 显示了 SCI 模块方框图。

DRAFT ONLY
TI Confidential – NDA Restrictions

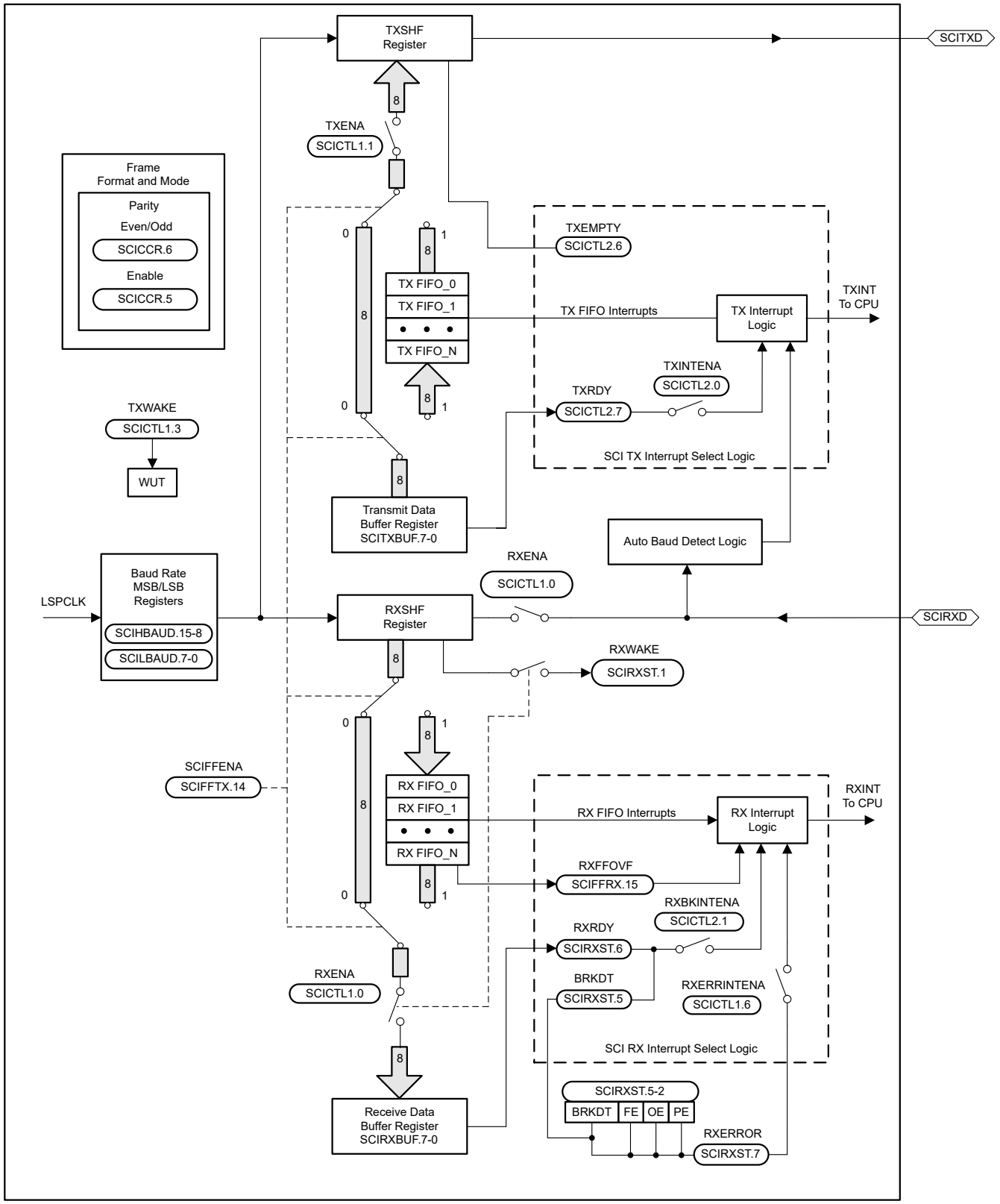


图 6-59. SCI 方框图

Copyright © 2023 Texas Instruments Incorporated

6.14.4 串行外设接口 (SPI)

串行外设接口 (SPI) 是一种高速同步串行输入和输出 (I/O) 端口，其允许以编程的位传输速率将编程长度（1 至 16 位）的串行位流移入和移出器件。SPI 通常用于 MCU 控制器与外部外设或另一控制器之间的通信。典型应用包括外部 I/O 或者通过诸如移位寄存器、显示驱动器和模数转换器 (ADC) 等器件进行外设扩展。SPI 的主器件或从器件运行时支持多器件通信。该端口支持 16 级接收和发送 FIFO，以减少 CPU 服务开销。

SPI 模块的特性包括：

- SPISOMI：SPI 从器件输出/主器件输入引脚
- SPISIMO：SPI 从器件输入/主器件输出引脚
- $\overline{\text{SPISTE}}$：SPI 从器件发送使能引脚
- SPICLK：SPI 串行时钟引脚
- 两种工作模式：主器件和从器件
- 波特率：125 个不同的可编程速率。可采用的最大波特率受限于 SPI 引脚上使用的 I/O 缓冲器的最大速度。
- 数据字长度：1 至 16 数据位
- 四种计时方案（由时钟极性和时钟相位的位控制）包含：
  - 无相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿上发送数据，在 SPICLK 信号的上升沿上接收数据。
  - 有相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿提前半个周期发送数据，在 SPICLK 信号的下降沿上接收数据。
  - 无相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿上发送数据，在 SPICLK 信号的下降沿上接收数据。
  - 有相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号上升沿的半个周期之前发送数据，而在 SPICLK 信号的上升沿上接收数据。
- 同时接收和发送操作（可在软件中禁用发送功能）
- 发送器和接收器操作通过中断驱动或轮询算法完成
- 16 级发送/接收 FIFO
- 高速模式
- 延迟的发送控制
- 3 线 SPI 模式
- 在带有两个 SPI 模块的器件上实现数字音频接口接收模式的 $\overline{\text{SPISTE}}$ 反转

图 6-60 所示为 SPI CPU 接口。

DRAFT ONLY
TI Confidential – NDA Restrictions

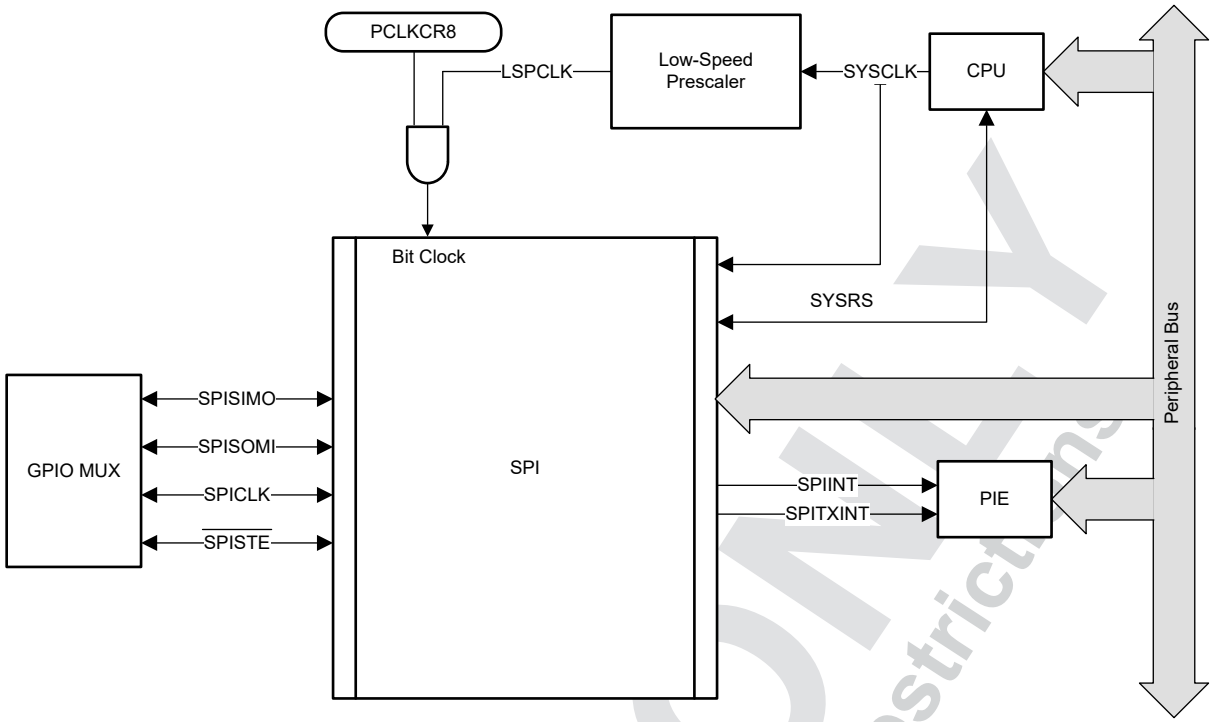


图 6-60. SPI CPU 接口

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.14.4.1 SPI 主器件模式时序

下一节介绍了 SPI 主器件模式时序。 有关高速模式下 SPI 的更多信息，请参阅 *TMS320F280013x 实时微控制器技术参考手册* 的“串行外设接口 (SPI)”一章。

备注

SPI 高速模式的所有时序参数都假设 SPICLK、SPISIMO 和 SPISOMI 上的负载电容为 5pF。

6.14.4.1.1 SPI 主模式时序要求

编号			(BRR + 1) (1)	最小值	最大值	单位
高速模式						
8	$t_{su(SOMI)M}$	SPICLK 之前 SPISOMI 有效的设置时间	偶数，奇数	1		ns
9	$t_{h(SOMI)M}$	SPICLK 之后 SPISOMI 有效的保持时间	偶数，奇数	6.5		ns
正常模式						
8	$t_{su(SOMI)M}$	SPICLK 之前 SPISOMI 有效的设置时间	偶数，奇数	15		ns
9	$t_{h(SOMI)M}$	SPICLK 之后 SPISOMI 有效的保持时间	偶数，奇数	0		ns

(1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时，(BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时，(BRR + 1) 条件为奇数。

DRAFT ONLY
TI Confidential – NDA Restrictions

6.14.4.1.2 SPI 主模式开关特性 - 时钟相位 0

在推荐的工作条件下 (除非另有说明)

编号	参数(1) (2)		(BRR + 1)(3)	最小值	最大值	单位
通用						
1	$t_{c(SPC)M}$	周期时间，SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$	脉冲持续时间，SPICLK，第一个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间，SPICLK，第二个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	延迟时间，$\overline{SPISTE}$ 有效至 SPICLK 的时间	Even	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
			奇数	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} + 3$	
24	$t_{v(STE)M}$	有效时间，SPICLK 至 $\overline{SPISTE}$ 无效的时间	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M}+3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
高速模式						
4	$t_{d(SIMO)M}$	延迟时间，SPICLK 至 SPISIMO 有效的时间	偶数，奇数		1	ns
5	$t_{v(SIMO)M}$	有效时间，SPICLK 之后 SPISIMO 有效的时间	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		
正常模式						
4	$t_{d(SIMO)M}$	延迟时间，SPICLK 至 SPISIMO 有效的时间	偶数，奇数		2	ns
5	$t_{v(SIMO)M}$	有效时间，SPICLK 之后 SPISIMO 有效的时间	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	0.5tc(SPC)M – 0.5tc(LSPCLK) – 3		

(1) 高速模式下引脚上的负载为 10pF。
(2) 正常模式下引脚上的负载为 20pF。
(3) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时，(BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时，(BRR + 1) 条件为奇数。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.14.4.1.3 SPI 主模式开关特性 - 时钟相位 1

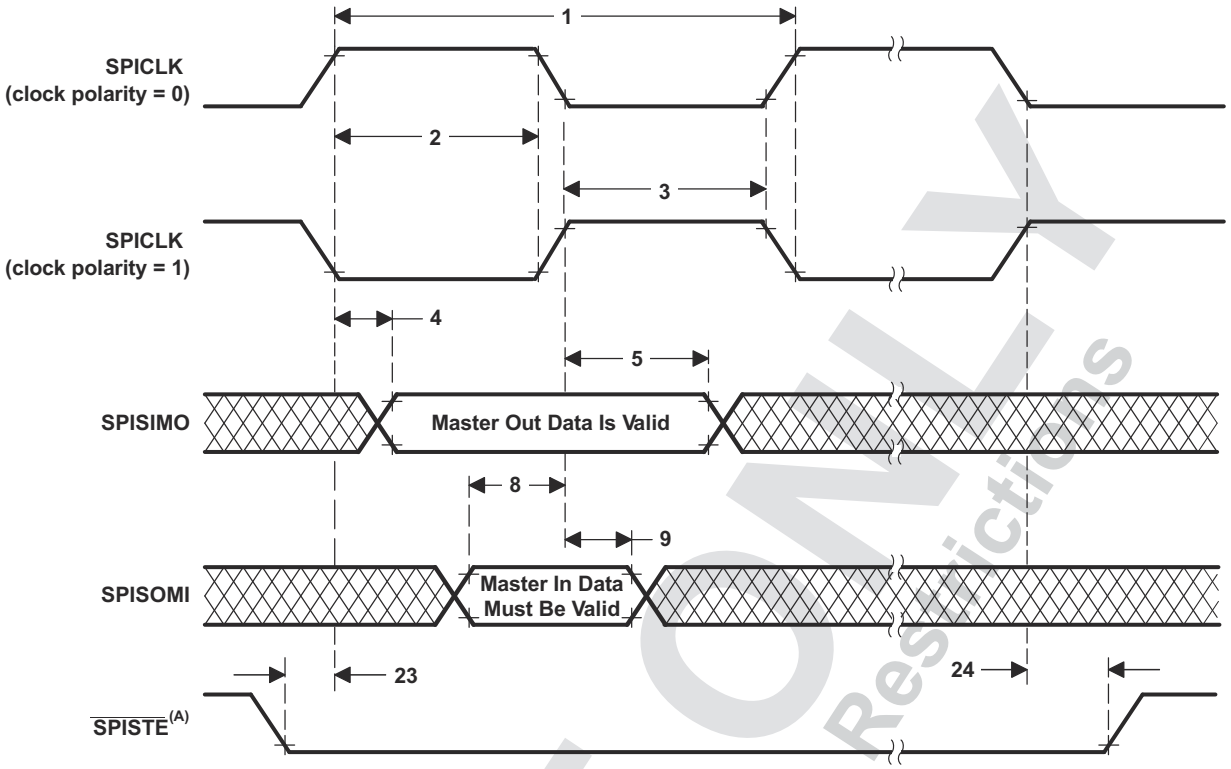
在推荐的工作条件下 (除非另有说明)

编号	参数(1) (2)		(BRR + 1)	最小值	最大值	单位
通用						
1	$t_{c(SPC)M}$	周期时间，SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK，第一个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间，SPICLK，第二个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	延迟时间，$\overline{SPISTE}$ 有效至 SPICLK 的时间	偶数，奇数	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
24	$t_{d(STE)M}$	延迟时间，SPICLK 至 $\overline{SPISTE}$ 无效的时间	偶数	-3	3	ns
			奇数	-3	3	
高速模式						
4	$t_{d(SIMO)M}$	延迟时间，SPISIMO 有效至 SPICLK 的时间	偶数	$0.5t_{c(SPC)M} - 2$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 2$		
5	$t_{v(SIMO)M}$	有效时间，SPICLK 之后 SPISIMO 有效的时间	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		
正常模式						
4	$t_{d(SIMO)M}$	延迟时间，SPISIMO 有效至 SPICLK 的时间	偶数	$0.5t_{c(SPC)M} - 2$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 2$		
5	$t_{v(SIMO)M}$	有效时间，SPICLK 之后 SPISIMO 有效的时间	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		

(1) 高速模式下引脚上的负载为 10pF。
(2) 正常模式下引脚上的负载为 20pF。

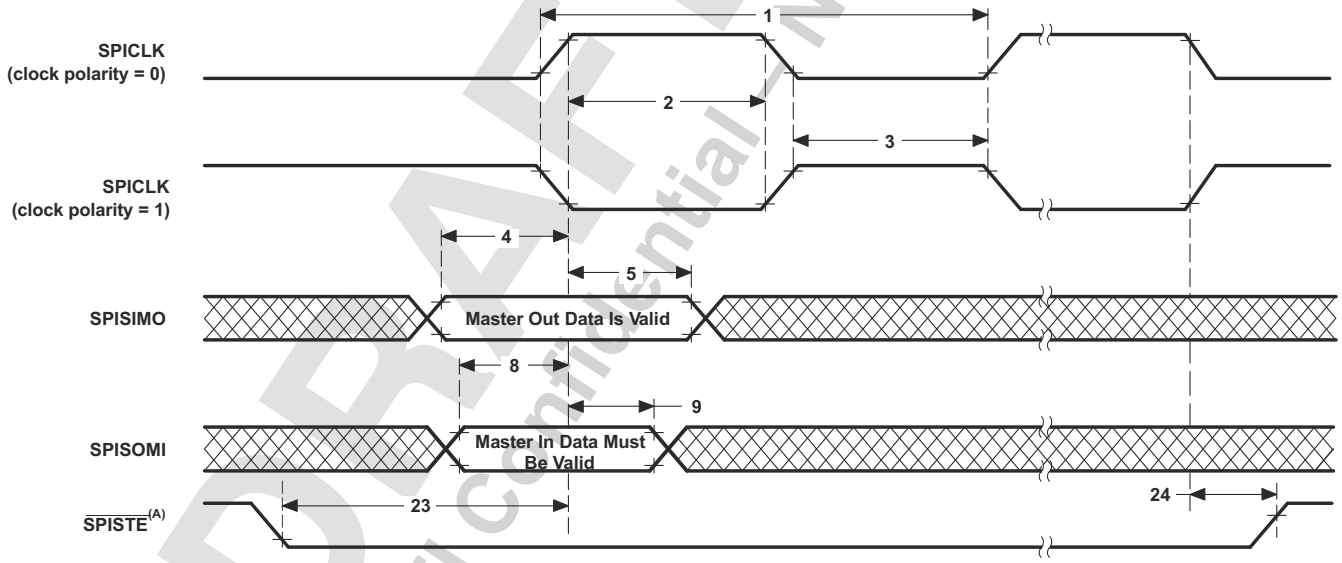
DRAFT ONLY
TI Confidential – NDA Restrictions

6.14.4.1.4 SPI 主器件模式时序图



A. 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的尾端，SPISTE 将变为停止状态。

图 6-61. SPI 主器件模式外部时序（时钟相位 = 0）



A. 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的尾端，SPISTE 将变为停止状态。

图 6-62. SPI 主器件模式外部时序（时钟相位 = 1）

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

6.14.4.2 SPI 从器件模式时序

下一节介绍了 SPI 从器件模式时序。更多有关高速模式下 SPI 的信息，请参阅 *TMS320F280013x 实时微控制器技术参考手册* 的“串行外设接口 (SPI)”一章。

6.14.4.2.1 SPI 从模式时序要求

编号			最小值	最大值	单位
12	$t_{c(SPC)S}$	周期时间，SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$	脉冲持续时间，SPICLK，第一个脉冲	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$	脉冲持续时间，SPICLK，第二个脉冲	$2t_{c(SYSCLK)} - 1$		ns
19	$t_{su(SIMO)S}$	SPICLK 之前 SPISIMO 有效的设置时间	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(SIMO)S}$	SPICLK 之后 SPISIMO 有效的保持时间	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$	SPICLK 之前 $\overline{\text{SPISTE}}$ 有效的设置时间（时钟相位 = 0）	$2t_{c(SYSCLK)} + 15$		ns
		SPICLK 之前 $\overline{\text{SPISTE}}$ 有效的设置时间（时钟相位 = 1）	$2t_{c(SYSCLK)} + 15$		ns
26	$t_{h(STE)S}$	SPICLK 之后 $\overline{\text{SPISTE}}$ 无效的保持时间	$1.5t_{c(SYSCLK)}$		ns

6.14.4.2.2 SPI 从模式开关特性

在推荐的工作条件下（除非另有说明）

编号	参数(1)		最小值	最大值	单位
15	$t_{d(SOMI)S}$	延迟时间，SPICLK 至 SPISOMI 有效的时间		12.5	ns
16	$t_{v(SOMI)S}$	有效时间，SPICLK 之后 SPISOMI 有效的时间	0		ns

(1) 引脚上 20pF 负载。

DRAFT ONLY
TI Confidential – NDA Restrictions

6.14.4.2.3 SPI 从器件模式时序图

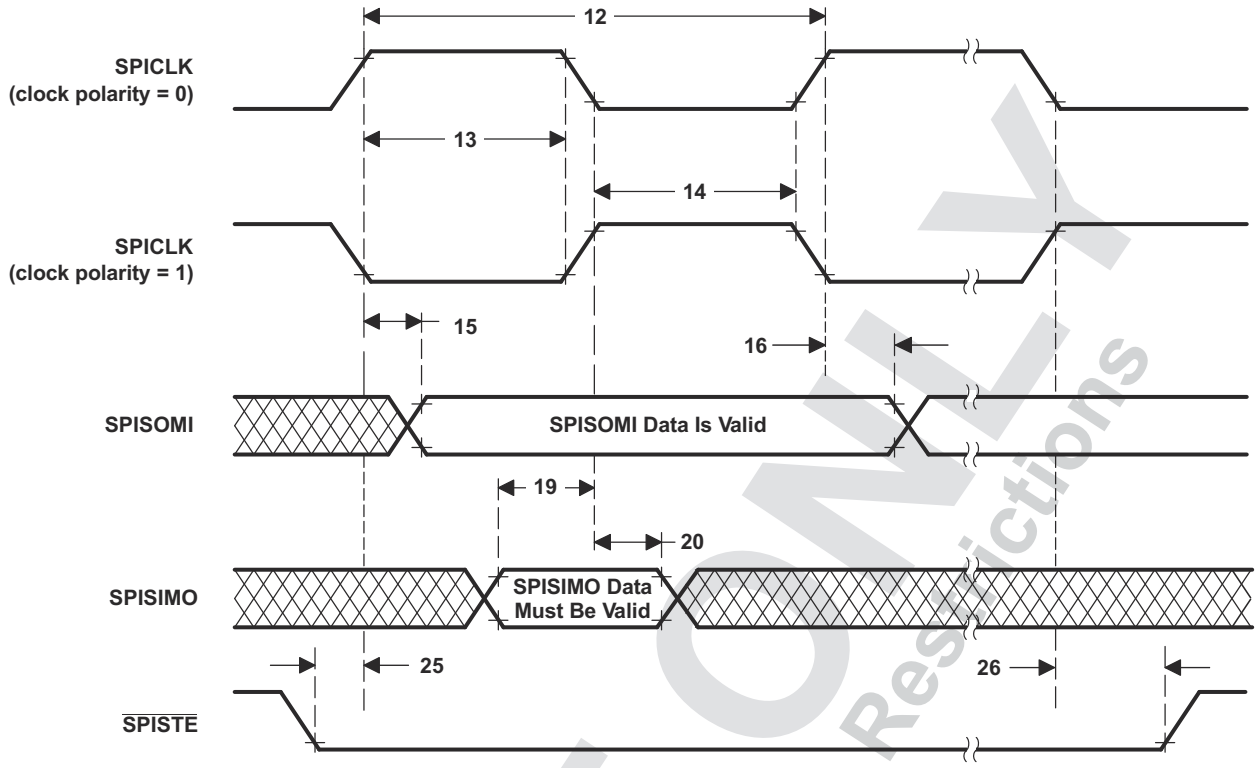


图 6-63. SPI 从器件模式外部时序（时钟相位 = 0）

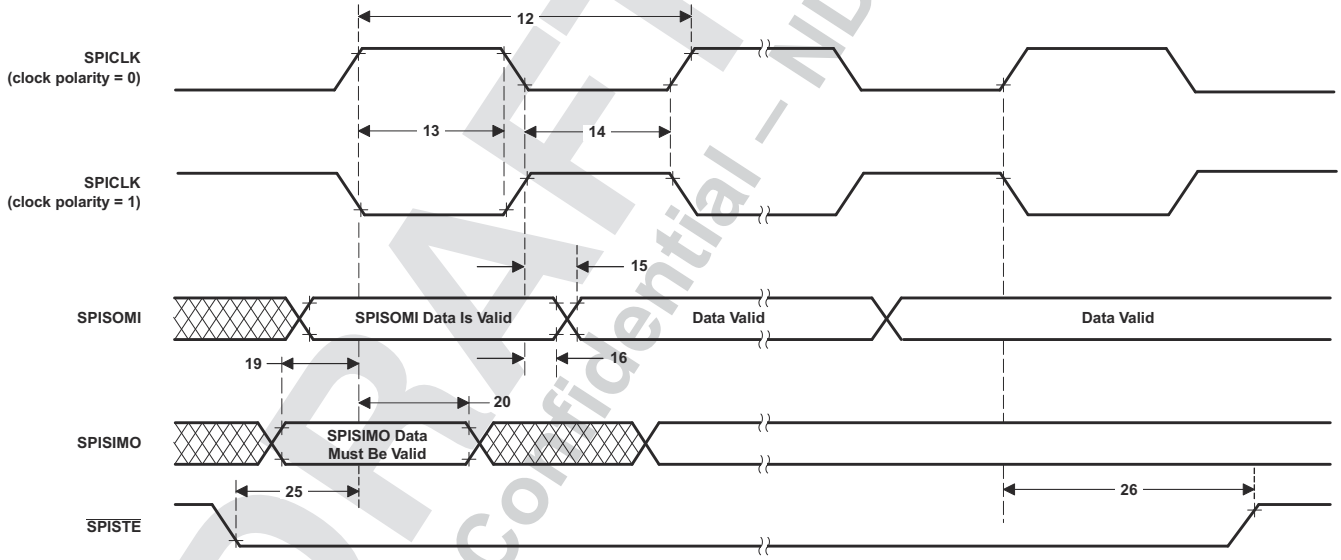


图 6-64. SPI 从器件模式外部时序（时钟相位 = 1）

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

7 详细说明

7.1 概述

TMS320F280013x (F280013x) 是 C2000™ 实时微控制器系列的可扩展、超低延迟器件，旨在提高电力电子产品的效率。

实时控制子系统基于 TI 的 32 位 C28x DSP 内核，可针对从片上闪存或 SRAM 运行的浮点或定点代码提供 120MHz 的信号处理性能。三角函数加速器 (TMU) 进一步增强了 C28x CPU 的性能，从而加快了对实时控制系统关键的常用算法的速度。

F280013x 支持高达 256KB (128KW) 的闪存。高达 36KB (18KW) 的片上 SRAM 也可用于补充闪存。

高性能模拟块集成在 F280013x 实时微控制器 (MCU) 上，并与处理单元和 PWM 单元紧密耦合，从而提供出色的实时信号链性能。14 个 PWM 通道可控制从三相逆变器到功率因数校正的各种功率级，以及其他先进的多级电源拓扑。

各种业界通用的通信端口（如 SPI、SCI、I2C 和 CAN）不仅支持连接，还提供了多个引脚复用选项，可实现出色的信号布局。

是否想详细了解 C2000 MCU 适用于实时控制系统的特性？查看 *《使用 C2000™ 实时微控制器的基本开发指南》*，并访问 C2000™ 实时控制 MCU 页面。

C2000™ 实时控制微控制器 (MCU) 入门指南 涵盖了 C2000 器件开发中从硬件到支持资源的所有方面。除了主要的参考文档外，每个部分还提供了相关链接和资源，可帮助用户进一步了解相关信息。

准备好开始了吗？查看 TMDSCNCD2800137 评估板并下载 C2000Ware。

DRAFT ONLY
TI Confidential – NDA Restrictions

7.2 功能方框图

功能方框图展示了 CPU 系统及关联的外设。

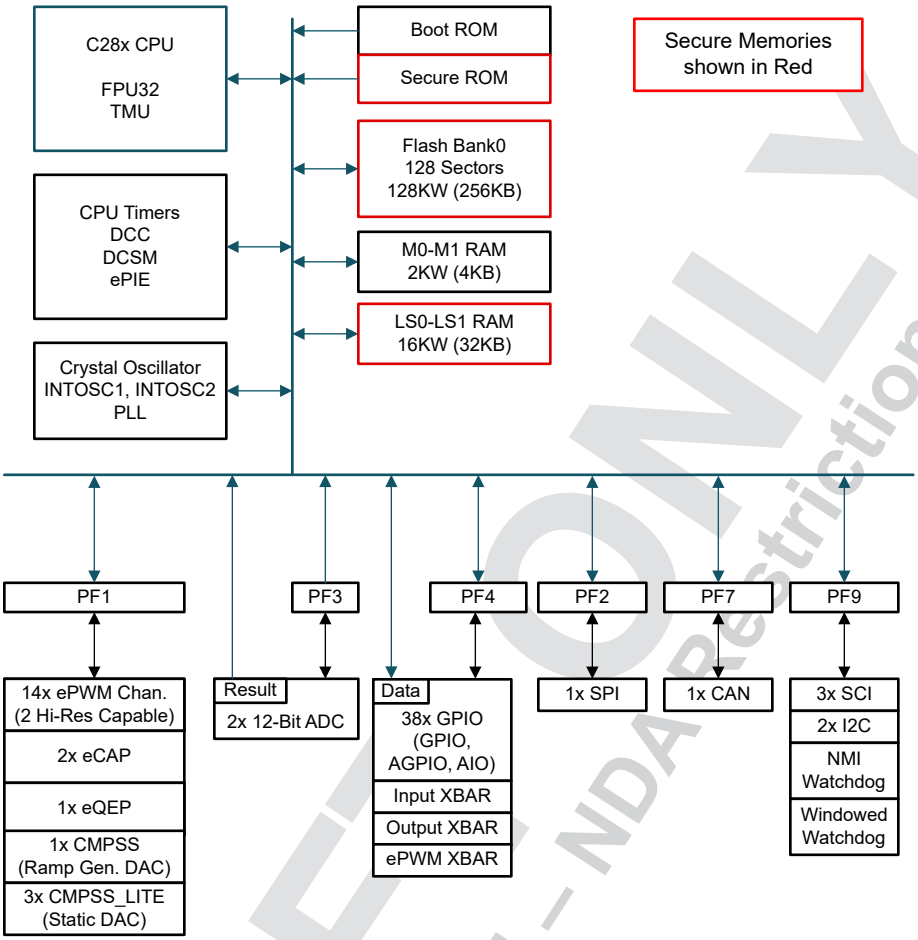


图 7-1. 功能方框图

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

7.3 存储器

7.3.1 内存映射

表 7-1. 内存映射

存储器	大小	起始地址	结束地址	ECC/ 奇偶校验	访问保护	安全
M0 RAM	1K x 16	0x0000 0000	0x0000 03FF	ECC	是	-
M1 RAM	1K x 16	0x0000 0400	0x0000 07FF	ECC	是	-
PieVectTable	256 x 16	0x0000 0D00	0x0000 0DFF	-	-	-
LS0 RAM	8K x 16	0x0000 8000	0x0000 9FFF	奇偶校验	是	是
LS1 RAM	8K x 16	0x0000 A000	0x0000 BFFF	奇偶校验	是	是
TI OTP(1)	1.5K x 16	0x0007 1000	0x0007 15FF	ECC	-	是(2)
用户 OTP	1K x 16	0x0007 8000	0x0007 83FF	ECC	-	是(2)
闪存	128K x 16	0x0008 0000	0x0009 FFFF	ECC	-	是
引导 ROM	32K x 16	0x003F 8000	0x003F FFFF	奇偶校验	-	-
饼图向量获取错误（引导 ROM 的一部分）	1 x 16	0x003F FFBE	0x003F FFBF	奇偶校验	-	-
默认向量（引导 ROM 的一部分）	64 x 16	0x003F FFC0	0x003F FFFF	奇偶校验	-	-

(1) TI OTP 仅供 TI 内部使用。
(2) 只有一部分是安全的。

7.3.1.1 专用 RAM (Mx RAM)

CPU 子系统有两个支持 ECC 功能的专用 RAM 模块：M0 和 M1。这些存储器是与 CPU 紧密耦合的小型非安全块（即，只有 CPU 可以访问这些存储器）。

7.3.1.2 本地共享 RAM (LSx RAM)

CPU 可访问本地共享的 RAM (LSx RAM)。所有 LSx RAM 块都具有奇偶校验功能。这些存储器都是安全的，且具有 CPU 访问保护（CPU 写入/CPU 获取）。

DRAFT ONLY
TI Confidential – NDA Restrictions

7.3.2 闪存存储器映射

在 F280013x 器件上，提供了一个闪存存储体 (256KB [128KW])。对闪存进行编程的代码应在 RAM 之外执行，在进行擦除或编程操作时，不应以任何形式存取闪存存储体。

表 7-2. 闪存存储器映射

器件型号	扇区	地址			ECC 地址		
		尺寸	START	END	尺寸	START	END
OTP 扇区							
全部	TI OTP 组 0 (不安全)	1520 x 16	0x0007 1000	0x0007 15EF	128 x 16	0x0107 0200	0x0107 02BD
	TI OTP 组 0 (安全)	16 x 16	0x0007 15F0	0x0007 15FF	128 x 16	0x0107 02BE	0x0107 02BF
	用户可配置的 DCSM OTP 组 0	1K x 16	0x0007 8000	0x0007 83FF	128 x 16	0x0107 1000	0x0107 107F
组 0 扇区							
全部	扇区 0	1K x 16	0x0008 0000	0x0008 03FF	128 x 16	0x0108 0000	0x0108 007F
	扇区 1	1K x 16	0x0008 0400	0x0008 07FF	128 x 16	0x0108 0080	0x0108 00FF
	扇区 2	1K x 16	0x0008 0800	0x0008 0BFF	128 x 16	0x0108 0100	0x0108 017F
	扇区 3	1K x 16	0x0008 0C00	0x0008 0FFF	128 x 16	0x0108 0180	0x0108 01FF
	扇区 4	1K x 16	0x0008 1000	0x0008 13FF	128 x 16	0x0108 0200	0x0108 027F
	扇区 5	1K x 16	0x0008 1400	0x0008 17FF	128 x 16	0x0108 0280	0x0108 02FF
	扇区 6	1K x 16	0x0008 1800	0x0008 1BFF	128 x 16	0x0108 0300	0x0108 037F
	扇区 7	1K x 16	0x0008 1C00	0x0008 1FFF	128 x 16	0x0108 0380	0x0108 03FF
	扇区 8	1K x 16	0x0008 2000	0x0008 23FF	128 x 16	0x0108 0400	0x0108 047F
	扇区 9	1K x 16	0x0008 2400	0x0008 27FF	128 x 16	0x0108 0480	0x0108 04FF
	扇区 10	1K x 16	0x0008 2800	0x0008 2BFF	128 x 16	0x0108 0500	0x0108 057F
	扇区 11	1K x 16	0x0008 2C00	0x0008 2FFF	128 x 16	0x0108 0580	0x0108 05FF
	扇区 12	1K x 16	0x0008 3000	0x0008 33FF	128 x 16	0x0108 0600	0x0108 067F
	扇区 13	1K x 16	0x0008 3400	0x0008 37FF	128 x 16	0x0108 0680	0x0108 06FF
	扇区 14	1K x 16	0x0008 3800	0x0008 3BFF	128 x 16	0x0108 0700	0x0108 077F
	扇区 15	1K x 16	0x0008 3C00	0x0008 3FFF	128 x 16	0x0108 0780	0x0108 07FF
	扇区 16	1K x 16	0x0008 4000	0x0008 43FF	128 x 16	0x0108 0800	0x0108 087F
	扇区 17	1K x 16	0x0008 4400	0x0008 47FF	128 x 16	0x0108 0880	0x0108 08FF
	扇区 18	1K x 16	0x0008 4800	0x0008 4BFF	128 x 16	0x0108 0900	0x0108 097F
	扇区 19	1K x 16	0x0008 4C00	0x0008 4FFF	128 x 16	0x0108 0980	0x0108 09FF
	扇区 20	1K x 16	0x0008 5000	0x0008 53FF	128 x 16	0x0108 0A00	0x0108 0A7F
	扇区 21	1K x 16	0x0008 5400	0x0008 57FF	128 x 16	0x0108 0A80	0x0108 0AFF
	扇区 22	1K x 16	0x0008 5800	0x0008 5BFF	128 x 16	0x0108 0B00	0x0108 0B7F
	扇区 23	1K x 16	0x0008 5C00	0x0008 5FFF	128 x 16	0x0108 0B80	0x0108 0BFF
	扇区 24	1K x 16	0x0008 6000	0x0008 63FF	128 x 16	0x0108 0C00	0x0108 0C7F
	扇区 25	1K x 16	0x0008 6400	0x0008 67FF	128 x 16	0x0108 0C80	0x0108 0CFF
	扇区 26	1K x 16	0x0008 6800	0x0008 6BFF	128 x 16	0x0108 0D00	0x0108 0D7F
	扇区 27	1K x 16	0x0008 6C00	0x0008 6FFF	128 x 16	0x0108 0D80	0x0108 0DFF
	扇区 28	1K x 16	0x0008 7000	0x0008 73FF	128 x 16	0x0108 0E00	0x0108 0E7F
	扇区 29	1K x 16	0x0008 7400	0x0008 77FF	128 x 16	0x0108 0E80	0x0108 0EFF
	扇区 30	1K x 16	0x0008 7800	0x0008 7BFF	128 x 16	0x0108 0F00	0x0108 0F7F
	扇区 31	1K x 16	0x0008 7C00	0x0008 7FFF	128 x 16	0x0108 0F80	0x0108 0FFF

DRAFT ONLY
TI Confidential - NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

表 7-2. 闪存存储器映射 (continued)

器件型号	扇区	地址			ECC 地址		
		尺寸	START	END	尺寸	START	END
F2800137、F2800135V、F2800135	扇区 32	1K x 16	0x0008 8000	0x0008 83FF	128 x 16	0x0108 1000	0x0108 107F
	扇区 33	1K x 16	0x0008 8400	0x0008 87FF	128 x 16	0x0108 1080	0x0108 10FF
	扇区 34	1K x 16	0x0008 8800	0x0008 8BFF	128 x 16	0x0108 1100	0x0108 117F
	扇区 35	1K x 16	0x0008 8C00	0x0008 8FFF	128 x 16	0x0108 1180	0x0108 11FF
	扇区 36	1K x 16	0x0008 9000	0x0008 93FF	128 x 16	0x0108 1200	0x0108 127F
	扇区 37	1K x 16	0x0008 9400	0x0008 97FF	128 x 16	0x0108 1280	0x0108 12FF
	扇区 38	1K x 16	0x0008 9800	0x0008 9BFF	128 x 16	0x0108 1300	0x0108 137F
	扇区 39	1K x 16	0x0008 9C00	0x0008 9FFF	128 x 16	0x0108 1380	0x0108 13FF
	扇区 40	1K x 16	0x0008 A000	0x0008 A3FF	128 x 16	0x0108 1400	0x0108 147F
	扇区 41	1K x 16	0x0008 A400	0x0008 A7FF	128 x 16	0x0108 1480	0x0108 14FF
	扇区 42	1K x 16	0x0008 A800	0x0008 ABFF	128 x 16	0x0108 1500	0x0108 157F
	扇区 43	1K x 16	0x0008 AC00	0x0008 AFFF	128 x 16	0x0108 1580	0x0108 15FF
	扇区 44	1K x 16	0x0008 B000	0x0008 B3FF	128 x 16	0x0108 1600	0x0108 167F
	扇区 45	1K x 16	0x0008 B400	0x0008 B7FF	128 x 16	0x0108 1680	0x0108 16FF
	扇区 46	1K x 16	0x0008 B800	0x0008 BBFF	128 x 16	0x0108 1700	0x0108 177F
	扇区 47	1K x 16	0x0008 BC00	0x0008 BFFF	128 x 16	0x0108 1780	0x0108 17FF
	扇区 48	1K x 16	0x0008 C000	0x0008 C3FF	128 x 16	0x0108 1800	0x0108 187F
	扇区 49	1K x 16	0x0008 C400	0x0008 C7FF	128 x 16	0x0108 1880	0x0108 18FF
	扇区 50	1K x 16	0x0008 C800	0x0008 CBFF	128 x 16	0x0108 1900	0x0108 197F
	扇区 51	1K x 16	0x0008 CC00	0x0008 CFFF	128 x 16	0x0108 1980	0x0108 19FF
	扇区 52	1K x 16	0x0008 D000	0x0008 D3FF	128 x 16	0x0108 1A00	0x0108 1A7F
	扇区 53	1K x 16	0x0008 D400	0x0008 D7FF	128 x 16	0x0108 1A80	0x0108 1AFF
	扇区 54	1K x 16	0x0008 D800	0x0008 DBFF	128 x 16	0x0108 1B00	0x0108 1B7F
	扇区 55	1K x 16	0x0008 DC00	0x0008 DFFF	128 x 16	0x0108 1B80	0x0108 1BFF
	扇区 56	1K x 16	0x0008 E000	0x0008 E3FF	128 x 16	0x0108 1C00	0x0108 1C7F
	扇区 57	1K x 16	0x0008 E400	0x0008 E7FF	128 x 16	0x0108 1C80	0x0108 1CFF
	扇区 58	1K x 16	0x0008 E800	0x0008 EBFF	128 x 16	0x0108 1D00	0x0108 1D7F
	扇区 59	1K x 16	0x0008 EC00	0x0008 EFFF	128 x 16	0x0108 1D80	0x0108 1DFF
	扇区 60	1K x 16	0x0008 F000	0x0008 F3FF	128 x 16	0x0108 1E00	0x0108 1E7F
	扇区 61	1K x 16	0x0008 F400	0x0008 F7FF	128 x 16	0x0108 1E80	0x0108 1EFF
	扇区 62	1K x 16	0x0008 F800	0x0008 FBFF	128 x 16	0x0108 1F00	0x0108 1F7F
	扇区 63	1K x 16	0x0008 FC00	0x0008 FFFF	128 x 16	0x0108 1F80	0x0108 1FFF

DRAFT ONLY
TI Confidential - NDA Restrictions

表 7-2. 闪存存储器映射 (continued)

器件型号	扇区	地址			ECC 地址		
		尺寸	START	END	尺寸	START	END
F2800137	扇区 64	1K x 16	0x0009 0000	0x0009 03FF	128 x 16	0x0108 2000	0x0108 207F
	扇区 65	1K x 16	0x0009 0400	0x0009 07FF	128 x 16	0x0108 2080	0x0108 20FF
	扇区 66	1K x 16	0x0009 0800	0x0009 0BFF	128 x 16	0x0108 2100	0x0108 217F
	扇区 67	1K x 16	0x0009 0C00	0x0009 0FFF	128 x 16	0x0108 2180	0x0108 21FF
	扇区 68	1K x 16	0x0009 1000	0x0009 13FF	128 x 16	0x0108 2200	0x0108 227F
	扇区 69	1K x 16	0x0009 1400	0x0009 17FF	128 x 16	0x0108 2280	0x0108 22FF
	扇区 70	1K x 16	0x0009 1800	0x0009 1BFF	128 x 16	0x0108 2300	0x0108 237F
	扇区 71	1K x 16	0x0009 1C00	0x0009 1FFF	128 x 16	0x0108 2380	0x0108 23FF
	扇区 72	1K x 16	0x0009 2000	0x0009 23FF	128 x 16	0x0108 2400	0x0108 247F
	扇区 73	1K x 16	0x0009 2400	0x0009 27FF	128 x 16	0x0108 2480	0x0108 24FF
	扇区 74	1K x 16	0x0009 2800	0x0009 2BFF	128 x 16	0x0108 2500	0x0108 257F
	扇区 75	1K x 16	0x0009 2C00	0x0009 2FFF	128 x 16	0x0108 2580	0x0108 25FF
	扇区 76	1K x 16	0x0009 3000	0x0009 33FF	128 x 16	0x0108 2600	0x0108 267F
	扇区 77	1K x 16	0x0009 3400	0x0009 37FF	128 x 16	0x0108 2680	0x0108 26FF
	扇区 78	1K x 16	0x0009 3800	0x0009 3BFF	128 x 16	0x0108 2700	0x0108 277F
	扇区 79	1K x 16	0x0009 3C00	0x0009 3FFF	128 x 16	0x0108 2780	0x0108 27FF
	扇区 80	1K x 16	0x0009 4000	0x0009 43FF	128 x 16	0x0108 2800	0x0108 287F
	扇区 81	1K x 16	0x0009 4400	0x0009 47FF	128 x 16	0x0108 2880	0x0108 28FF
	扇区 82	1K x 16	0x0009 4800	0x0009 4BFF	128 x 16	0x0108 2900	0x0108 297F
	扇区 83	1K x 16	0x0009 4C00	0x0009 4FFF	128 x 16	0x0108 2980	0x0108 29FF
	扇区 84	1K x 16	0x0009 5000	0x0009 53FF	128 x 16	0x0108 2A00	0x0108 2A7F
	扇区 85	1K x 16	0x0009 5400	0x0009 57FF	128 x 16	0x0108 2A80	0x0108 2AFF
	扇区 86	1K x 16	0x0009 5800	0x0009 5BFF	128 x 16	0x0108 2B00	0x0108 2B7F
	扇区 87	1K x 16	0x0009 5C00	0x0009 5FFF	128 x 16	0x0108 2B80	0x0108 2BFF
	扇区 88	1K x 16	0x0009 6000	0x0009 63FF	128 x 16	0x0108 2C00	0x0108 2C7F
	扇区 89	1K x 16	0x0009 6400	0x0009 67FF	128 x 16	0x0108 2C80	0x0108 2CFF
	扇区 90	1K x 16	0x0009 6800	0x0009 6BFF	128 x 16	0x0108 2D00	0x0108 2D7F
	扇区 91	1K x 16	0x0009 6C00	0x0009 6FFF	128 x 16	0x0108 2D80	0x0108 2DFF
	扇区 92	1K x 16	0x0009 7000	0x0009 73FF	128 x 16	0x0108 2E00	0x0108 2E7F
	扇区 93	1K x 16	0x0009 7400	0x0009 77FF	128 x 16	0x0108 2E80	0x0108 2EFF
	扇区 94	1K x 16	0x0009 7800	0x0009 7BFF	128 x 16	0x0108 2F00	0x0108 2F7F
	扇区 95	1K x 16	0x0009 7C00	0x0009 7FFF	128 x 16	0x0108 2F80	0x0108 2FFF

DRAFT ONLY
TI Confidential - NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

表 7-2. 闪存存储器映射 (continued)

器件型号	扇区	地址			ECC 地址		
		尺寸	START	END	尺寸	START	END
F2800137	扇区 96	1K x 16	0x0009 8000	0x0009 83FF	128 x 16	0x0108 3000	0x0108 307F
	扇区 97	1K x 16	0x0009 8400	0x0009 87FF	128 x 16	0x0108 3080	0x0108 30FF
	扇区 98	1K x 16	0x0009 8800	0x0009 8BFF	128 x 16	0x0108 3100	0x0108 317F
	扇区 99	1K x 16	0x0009 8C00	0x0009 8FFF	128 x 16	0x0108 3180	0x0108 31FF
	扇区 100	1K x 16	0x0009 9000	0x0009 93FF	128 x 16	0x0108 3200	0x0108 327F
	扇区 101	1K x 16	0x0009 9400	0x0009 97FF	128 x 16	0x0108 3280	0x0108 32FF
	扇区 102	1K x 16	0x0009 9800	0x0009 9BFF	128 x 16	0x0108 3300	0x0108 337F
	扇区 103	1K x 16	0x0009 9C00	0x0009 9FFF	128 x 16	0x0108 3380	0x0108 33FF
	扇区 104	1K x 16	0x0009 A000	0x0009 A3FF	128 x 16	0x0108 3400	0x0108 347F
	扇区 105	1K x 16	0x0009 A400	0x0009 A7FF	128 x 16	0x0108 3480	0x0108 34FF
	扇区 106	1K x 16	0x0009 A800	0x0009 ABFF	128 x 16	0x0108 3500	0x0108 357F
	扇区 107	1K x 16	0x0009 AC00	0x0009 AFFF	128 x 16	0x0108 3580	0x0108 35FF
	扇区 108	1K x 16	0x0009 B000	0x0009 B3FF	128 x 16	0x0108 3600	0x0108 367F
	扇区 109	1K x 16	0x0009 B400	0x0009 B7FF	128 x 16	0x0108 3680	0x0108 36FF
	扇区 110	1K x 16	0x0009 B800	0x0009 BBFF	128 x 16	0x0108 3700	0x0108 377F
	扇区 111	1K x 16	0x0009 BC00	0x0009 BFFF	128 x 16	0x0108 3780	0x0108 37FF
	扇区 112	1K x 16	0x0009 C000	0x0009 C3FF	128 x 16	0x0108 3800	0x0108 387F
	扇区 113	1K x 16	0x0009 C400	0x0009 C7FF	128 x 16	0x0108 3880	0x0108 38FF
	扇区 114	1K x 16	0x0009 C800	0x0009 CBFF	128 x 16	0x0108 3900	0x0108 397F
	扇区 115	1K x 16	0x0009 CC00	0x0009 CFFF	128 x 16	0x0108 3980	0x0108 39FF
	扇区 116	1K x 16	0x0009 D000	0x0009 D3FF	128 x 16	0x0108 3A00	0x0108 3A7F
	扇区 117	1K x 16	0x0009 D400	0x0009 D7FF	128 x 16	0x0108 3A80	0x0108 3AFF
	扇区 118	1K x 16	0x0009 D800	0x0009 DBFF	128 x 16	0x0108 3B00	0x0108 3B7F
	扇区 119	1K x 16	0x0009 DC00	0x0009 DFFF	128 x 16	0x0108 3B80	0x0108 3BFF
	扇区 120	1K x 16	0x0009 E000	0x0009 E3FF	128 x 16	0x0108 3C00	0x0108 3C7F
	扇区 121	1K x 16	0x0009 E400	0x0009 E7FF	128 x 16	0x0108 3C80	0x0108 3CFF
	扇区 122	1K x 16	0x0009 E800	0x0009 EBFF	128 x 16	0x0108 3D00	0x0108 3D7F
	扇区 123	1K x 16	0x0009 EC00	0x0009 EFFF	128 x 16	0x0108 3D80	0x0108 3DFF
	扇区 124	1K x 16	0x0009 F000	0x0009 F3FF	128 x 16	0x0108 3E00	0x0108 3E7F
	扇区 125	1K x 16	0x0009 F400	0x0009 F7FF	128 x 16	0x0108 3E80	0x0108 3EFF
	扇区 126	1K x 16	0x0009 F800	0x0009 FBFF	128 x 16	0x0108 3F00	0x0108 3F7F
	扇区 127	1K x 16	0x0009 FC00	0x0009 FFFF	128 x 16	0x0108 3F80	0x0108 3FFF

7.3.3 外设寄存器内存映射

表 7-3. 外设寄存器内存映射

位字段名称		DriverLib 名称	基址	受流水线保护
实例	结构			
外设帧 0 (PF0)				
-	-	M0_RAM_BASE	0x0000_0000	-
-	-	M1_RAM_BASE	0x0000_0400	-
AdcaResultRegs	ADC_RESULT_REGS	ADCARESULT_BASE	0x0000_0B00	-
AdccResultRegs	ADC_RESULT_REGS	ADCCRESULT_BASE	0x0000_0B40	-
CpuTimer0Regs	CPUTIMER_REGS	CPUTIMER0_BASE	0x0000_0C00	-
CpuTimer1Regs	CPUTIMER_REGS	CPUTIMER1_BASE	0x0000_0C08	-
CpuTimer2Regs	CPUTIMER_REGS	CPUTIMER2_BASE	0x0000_0C10	-
PieCtrlRegs	PIE_CTRL_REGS	PIECTRL_BASE	0x0000_0CE0	-

DRAFT
TI Confidential – NDA Restrictions

表 7-3. 外设寄存器内存映射 (continued)

位字段名称		DriverLib 名称	基址	受流水线保护
实例	结构			
PieVectTable	PIE_VECT_TABLE	PIEVECTTABLE_BASE	0x0000_0D00	-
-	-	LS0_RAM_BASE	0x0000_8000	-
-	-	LS1_RAM_BASE	0x0000_A000	-
UidRegs	UID_REGS	UID_BASE	0x0007_1140	-
DcsmZ1OtpRegs	DCSM_Z1_OTP	DCSM_Z1OTP_BASE	0x0007_8000	-
DcsmZ2OtpRegs	DCSM_Z2_OTP	DCSM_Z2OTP_BASE	0x0007_8200	-
外设帧 1 (PF1)				
EPwm1Regs	EPWM_REGS	EPWM1_BASE	0x0000_4000	是
EPwm2Regs	EPWM_REGS	EPWM2_BASE	0x0000_4100	是
EPwm3Regs	EPWM_REGS	EPWM3_BASE	0x0000_4200	是
EPwm4Regs	EPWM_REGS	EPWM4_BASE	0x0000_4300	是
EPwm5Regs	EPWM_REGS	EPWM5_BASE	0x0000_4400	是
EPwm6Regs	EPWM_REGS	EPWM6_BASE	0x0000_4500	是
EPwm7Regs	EPWM_REGS	EPWM7_BASE	0x0000_4600	是
EQep1Regs	EQEP_REGS	EQEP1_BASE	0x0000_5100	是
ECap1Regs	ECAP_REGS	ECAP1_BASE	0x0000_5200	是
ECap2Regs	ECAP_REGS	ECAP2_BASE	0x0000_5240	是
Cmpss1Regs	CMPSS_REGS	CMPSS1_BASE	0x0000_5500	是
CmpssLite2Regs	CMPSS_LITE_REGS	CMPSSLITE2_BASE	0x0000_5540	是
CmpssLite3Regs	CMPSS_LITE_REGS	CMPSSLITE3_BASE	0x0000_5580	是
CmpssLite4Regs	CMPSS_LITE_REGS	CMPSSLITE4_BASE	0x0000_55C0	是
外设帧 2 (PF2)				
SpiaRegs	SPI_REGS	SPIA_BASE	0x0000_6100	是
外设帧 3 (PF3)				
AdcaRegs	ADC_REGS	ADCA_BASE	0x0000_7400	是
AdccRegs	ADC_REGS	ADCC_BASE	0x0000_7500	是
外设帧 4 (PF4)				
InputXbarRegs	INPUT_XBAR_REGS	INPUTXBAR_BASE	0x0000_7900	是
XbarRegs	XBAR_REGS	XBAR_BASE	0x0000_7920	是
SyncSocRegs	SYNC_SOC_REGS	SYNCSOC_BASE	0x0000_7940	是
EPwmXbarRegs	EPWM_XBAR_REGS	EPWMXBAR_BASE	0x0000_7A00	是
OutputXbarRegs	OUTPUT_XBAR_REGS	OUTPUTXBAR_BASE	0x0000_7A80	是
GpioCtrlRegs	GPIO_CTRL_REGS	GPIOCTRL_BASE	0x0000_7C00	是
GpioDataRegs	GPIO_DATA_REGS	GPIODATA_BASE	0x0000_7F00	是
GpioDataReadRegs	GPIO_DATA_READ_REGS	GPIODATAREAD_BASE	0x0000_7F80	是
DevCfgRegs	DEV_CFG_REGS	DEVCFG_BASE	0x0005_D000	是
ClkCfgRegs	CLK_CFG_REGS	CLKCFG_BASE	0x0005_D200	是
CpuSysRegs	CPU_SYS_REGS	CPUSYS_BASE	0x0005_D300	是
SysStatusRegs	SYS_STATUS_REGS	SYSSTAT_BASE	0x0005_D400	是
AnalogSubsysRegs	ANALOG_SUBSYS_REGS	ANALOGSUBSYS_BASE	0x0005_D700	是
外设帧 6 (PF6)				
Epg1Regs	EPG_REGS	EPG1_BASE	0x0005_EC00	是
Epg1MuxRegs	EPG_MUX_REGS	EPG1MUX_BASE	0x0005_ECD0	是
DcsmZ1Regs	DCSM_Z1_REGS	DCSM_Z1_BASE	0x0005_F000	是
DcsmZ2Regs	DCSM_Z2_REGS	DCSM_Z2_BASE	0x0005_F080	是
DcsmCommonRegs	DCSM_COMMON_REGS	DCSMCOMMON_BASE	0x0005_F0C0	是
MemCfgRegs	MEM_CFG_REGS	MEMCFG_BASE	0x0005_F400	是
AccessProtectionRegs	ACCESS_PROTECTION_REGS	ACCESSPROTECTION_BASE	0x0005_F500	是

DRAFT
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

表 7-3. 外设寄存器内存映射 (continued)

位字段名称		DriverLib 名称	基址	受流水线保护
实例	结构			
MemoryErrorRegs	MEMORY_ERROR_REGS	MEMORYERROR_BASE	0x0005_F540	是
TestErrorRegs	TEST_ERROR_REGS	TESTERROR_BASE	0x0005_F590	是
Flash0CtrlRegs	FLASH_CTRL_REGS	FLASH0CTRL_BASE	0x0005_F800	是
Flash0EccRegs	FLASH_ECC_REGS	FLASH0ECC_BASE	0x0005_FB00	是
外设帧 7 (PF7)				
CanaRegs	CAN_REGS	CANA_BASE	0x0004_8000	是
-	-	CANA_MSG_RAM_BASE	0x0004_9000	是
MpostRegs	MPOST_REGS	MPOST_BASE	0x0005_E200	是
Dcc0Regs	DCC_REGS	DCC0_BASE	0x0005_E700	是
外设帧 9 (PF9)				
WdRegs	WD_REGS	WD_BASE	0x0000_7000	是
NmiIntruptRegs	NMI_INTRUPT_REGS	NMI_BASE	0x0000_7060	是
XintRegs	XINT_REGS	XINT_BASE	0x0000_7070	是
SciaRegs	SCI_REGS	SCIA_BASE	0x0000_7200	是
ScibRegs	SCI_REGS	SCIB_BASE	0x0000_7210	是
ScicRegs	SCI_REGS	SCIC_BASE	0x0000_7220	是
I2caRegs	I2C_REGS	I2CA_BASE	0x0000_7300	是
I2cbRegs	I2C_REGS	I2CB_BASE	0x0000_7340	是

DRAFT ONLY
TI Confidential – NDA Restrictions

7.4 标识

表 7-4 列出了器件标识寄存器。有关这些器件标识寄存器的其他信息，请参阅 *TMS320F280013x 实时微控制器技术参考手册*。

表 7-4. 器件标识寄存器

名称	地址	大小 (x16)	说明	
			位	*选项*
PARTIDL	0x0005 D008	2	14-13 保留	保留
			10-8 PIN_COUNT	2 = 64 引脚 (QFP) 3 = 80 引脚 (QFP) 4 = 48 引脚 (QFP) 5 = 32 引脚 (QFN) 7 = 48 引脚 (QFN) 8 = 64 引脚 (QFP，具有 VREGENZ)
			7-6 QUAL	0 = 工程样片 (TMX) 1 = 试点生产 (TMP) 2 = 完全合格 (TMS)
PARTIDH	0x0005 D00A	2	器件型号标识号 TMS320F2800137 TMS320F2800135 (非 VPM 封装) TMS320F2800133 TMS320F2800132 TMS320F2800135VPM	 0x06FF 0500 0x06FD 0500 0x06FB 0500 0x06FA 0500 0x06F9 0500
REVID	0x0005 D00C	2	器件修订版本号 修订版 0 修订版 A 修订版 B 修订版 C	 0x0000 0001 0x0000 0002 0x0000 0003 0x0000 0004
UID_UNIQUE0	0x0007 114A	2	唯一标识号。此编号在具有相同 PARTIDH 的每个单独器件上是不同的。此唯一编号可以用作应用中的序列号。此编号仅存在于 TMS 器件上。	
UID_UNIQUE1	0x0007 114C	2	唯一标识号。此编号在具有相同 PARTIDH 的每个单独器件上是不同的。此唯一编号可以用作应用中的序列号。此编号仅存在于 TMS 器件上。	

DRAFT ONLY
TI Confidential - No Restrictions

Copyright © 2023 Texas Instruments Incorporated

7.5 C28x 处理器

CPU 是 32 位定点处理器。该器件借鉴了数字信号处理的最佳特性；精简指令集计算 (RISC)；以及微控制器架构、固件和工具集。

CPU 的特性包含修改后的 Harvard 架构和循环寻址。RISC 特性是单周期指令执行、寄存器到寄存器操作和修改后的 Harvard 架构。微控制器特性包含通过直观的指令集、字节打包和解包以及位操作来实现易用性。CPU 修改后的 Harvard 架构使指令和数据获取能够并行执行。CPU 可以读取指令和数据，同时写入数据以在整个流水线中保持单周期指令操作。CPU 通过六条独立的地址/数据总线完成此操作。

有关 CPU 架构和指令集的更多信息，请参阅 *TMS320C28x CPU 和指令集参考指南*。

7.5.1 浮点单元 (FPU)

C28x 加浮点 (C28x+FPU) 处理器通过增加支持 IEEE 单精度浮点运算的寄存器和指令来扩展 C28x 定点 CPU 的功能。

具有 C28x+FPU 的器件包含标准 C28x 寄存器集以及一组额外的浮点单元寄存器。额外的浮点单元寄存器如下：

- 八个浮点结果寄存器，RnH（其中 n=0–7）
- 浮点状态寄存器 (STF)
- 重复块寄存器 (RB)

除 RB 寄存器外，所有浮点寄存器都采用影子化技术。这种影子化可用于高优先级中断，以实现浮点寄存器的快速上下文保存和恢复。

有关 C28x 浮点单元 (FPU) 的更多信息，请参阅 *TMS320C28x 扩展指令集技术参考手册*。

7.5.2 三角法数学单元 (TMU)

三角函数加速器 (TMU) 通过增加指令和利用可加速执行常见三角函数和表 7-5 中所列算术运算的现有 FPU 指令来扩展 C28x+FPU 的功能。

表 7-5. TMU 支持的指令

指令	C 等效运算	流水线周期
MPY2PIF32 RaH,RbH	a = b * 2π	2/3
DIV2PIF32 RaH,RbH	a = b / 2π	2/3
DIVF32 RaH,RbH,RcH	a = b/c	5
SQRTF32 RaH,RbH	a = sqrt(b)	5
SINPUF32 RaH,RbH	a = sin(b*2π)	4
COSPUF32 RaH,RbH	a = cos(b*2π)	4
ATANPUF32 RaH,RbH	a = atan(b)/2π	4
QUADF32 RaH,RbH,RcH,RdH	用于协助计算 ATANPU2 的运算	5

对现有指令、流水线或内存总线架构均未做任何更改。所有 TMU 指令都使用现有的 FPU 寄存器集（R0H 至 R7H）来执行运算。

更多信息，请参阅 *TMS320C28x 扩展指令集技术参考手册*。

DRAFT ONLY
TI Confidential – NDA Restrictions

7.6 器件引导模式

本节介绍了默认引导模式以及该器件支持的所有可用引导模式。引导 ROM 使用引导模式选择、通用输入/输出 (GPIO) 引脚来确定引导模式配置。

表 7-6 显示了可供默认引导模式选择引脚选择的引导模式选项。用户可以选择对器件进行编程，以自定义引导表中可选的引导模式以及使用的引导模式选择引脚 GPIO。

所有支持的外设引导模式都使用外设模块（SCIA、SPIA、I2CA、CANA 等）的第一个实例。凡是本章提到的这些引导模式（例如 SCI 引导）时，实际均指第一个模块实例，如 SCIA 端口上的 SCI 引导。这同样适用于其他外设引导。

请参阅复位 (XRSn) 开关特性表和 $t_{boot-flash}$（在闪存中第一次取指令之前的引导 ROM 执行时间）的复位时序图。

表 7-6. 器件默认引导模式

引导模式	GPIO24 （默认引导模式选择引脚 1）	GPIO32 （默认引导模式选择引脚 0）
并行 IO	0	0
SCI/等待引导(1)	0	1
CAN	1	0
闪存	1	1

(1) 只要 SCI 在 SCI 自动波特率锁定过程中继续等待“A”或“a”，SCI 引导模式就可用作等待引导模式。

表 7-7 列出了器件上可能支持的引导模式。默认引导模式引脚为 GPIO24（引导模式引脚 1）和 GPIO32（引导模式引脚 0）。如果用户在这些引脚上也使用外设，则可选择为引导模式引脚设置弱上拉，因此上拉可能会过驱动。在此器件上，客户可以通过对用户可配置的双代码安全模块 (DCSM) OTP 位置进行编程来更改出厂默认的引导模式引脚。

表 7-7. 所有可用的引导模式

引导模式编号	引导模式
0	并行
1	SCI/等待
2	CAN
3	闪存
4	等待
5	RAM
6	SPI
7	I2C
10	安全闪存

备注

所有支持的外设引导模式都使用外设模块（SCIA、SPIA、I2CA、CANA 等）的第一个实例。凡是本节提到的这些引导模式（例如 SCI 引导）时，实际均指第一个模块实例，如 SCIA 端口上的 SCI 引导。这同样适用于其他外设引导。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

7.6.1 器件引导配置

本节详细介绍了可用的引导配置以及如何对其进行配置。该器件支持 0 引导模式选择引脚到 3 个引导模式选择引脚，以及 1 种配置的引导模式到 8 种配置的引导模式。

要更改器件并将其从默认设置配置为适合应用程序的自定义设置，请遵从以下过程：

1. 确定您希望应用程序能够引导的所有各种方式。（例如：用于主应用程序的闪存引导的主要引导选项、用于固件更新的 CAN 引导的次级引导选项、用于调试的 SCI 引导的三级引导选项等）
2. 根据所需引导模式的数量，确定需要多少个引导模式选择引脚 (BMSP) 来在所选的引导模式之间进行选择。（例如：需要 2 个 BMSP 来在 3 个引导模式选项之间进行选择）
3. 将所需的 BMSP 分配到物理 GPIO 引脚。（例如，BMSP0 到 GPIO10，BMSP1 到 GPIO51，BMSP2 保留为默认禁用状态。）有关执行这些配置的所有详细信息，请参阅节 7.6.1.1。
4. 将确定的引导模式定义分配给自定义引导表中与 BMSP 的解码值相关的索引。例如，BOOTDEF0=引导至闪存，BOOTDEF1=CAN 引导，BOOTDEF2=SCI 引导；所有其他 BOOTDEFx 保留为默认值/无。有关如何设置和配置自定义引导模式表的所有详细信息，请参阅节 7.6.1.2。

此外，*TMS320F280013x 实时微控制器技术参考手册* 的“引导模式示例用例”一节提供了有关如何配置 BMSP 和自定义引导表的示例用例。

备注

CAN 引导模式打开 XTAL。在使用 CAN 引导模式之前，请确保在应用中安装了 XTAL。

DRAFT ONLY
TI Confidential – NDA Restrictions

7.6.1.1 配置引导模式引脚

本节介绍了用户如何通过在用户可配置双区域安全模块 (DCSM) OTP 中对 BOOTPIN-CONFIG 位置（请参阅表 7-8）进行编程来自定义引导模式选择引脚。DCSM OTP 中的位置是 Z1-OTP-BOOTPIN-CONFIG 或 Z2-OTP-BOOTPIN-CONFIG。调试时，EMU-BOOTPIN-CONFIG 是 Z1-OTP-BOOTPIN-CONFIG/Z2-OTP-BOOTPIN-CONFIG 的仿真等效，可进行编程，从而在不写入 OTP 的情况下使用不同的引导模式进行实验。可根据需要对器件进行编程，以使用 0、1、2 或 3 个引导模式选择引脚。

备注

使用 Z2-OTP-BOOTPIN-CONFIG 时，在此位置编程的配置将优先于 Z1-OTP-BOOTPIN-CONFIG 中的配置。建议先使用 Z1-OTP-BOOTPIN-CONFIG，然后如果需要更改 OTP 配置，请改为使用 Z2-OTP-BOOTPIN-CONFIG。

表 7-8. BOOTPIN-CONFIG 位字段

位	名称	说明
31:24	密钥	将 0x5A 写入这 8 位以指示该寄存器中的位有效
23:16	引导模式选择引脚 2 (BMSP2)	请参阅 BMSP0 说明，BMSP2 除外
15:8	引导模式选择引脚 1 (BMSP1)	请参阅 BMSP0 说明，BMSP1 除外
7:0	引导模式选择引脚 0 (BMSP0)	设置为在引导期间使用的 GPIO 引脚（最多 255）： - 0x0 = GPIO0 - 0x01 = GPIO1 - 等等 写入 0xFF 会禁用 BMSP0，此引脚不再用于选择引导模式。

备注

GPIO 224 到 253 是模拟引脚，但如果软件会写入 GPIOHAMSEL 寄存器位，则可以在这些引脚上进行数字输入。

以下 GPIO **不能**用作 BMSP。如果选择用于特定的 BMSP，引导 ROM 将自动为 BMSP0 和 BMSP1 选择出厂默认 GPIO。BMSP2 的出厂默认值为 0xFF，这会禁用 BMSP。

- GPIO 14 和 GPIO 15（在任何封装上均不可用）
- GPIO 25 至 GPIO 27（在任何封装上均不可用）
- GPIO 30、GPIO 31、GPIO 34 和 GPIO 38（在任何封装上均不可用）
- GPIO 42 至 GPIO 58（在任何封装上均不可用）
- GPIO 62 至 GPIO 223（在任何封装上均不可用）

DRAFT ONLY
TI Confidential - NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

表 7-9. 独立引导模式选择引脚解码

BOOTPIN_CONFIG 键	BMSP0	BMSP1	BMSP2	实现的引导模式
!= 0x5A	不用考虑	不用考虑	不用考虑	由出厂默认 BMSP 定义的引导
= 0x5A	0xFF	0xFF	0xFF	引导模式 0 的引导表中定义的引导（禁用所有 BMSP）
	有效 GPIO	0xFF	0xFF	由 BMSP0 值定义的引导（禁用 BMSP1 和 BMSP2）
	0xFF	有效 GPIO	0xFF	由 BMSP1 值定义的引导（禁用 BMSP0 和 BMSP2）
	0xFF	0xFF	有效 GPIO	由 BMSP2 值定义的引导（禁用 BMSP0 和 BMSP1）
	有效 GPIO	有效 GPIO	0xFF	由 BMSP0 和 BMSP1 的值定义的引导（禁用 BMSP2）
	有效 GPIO	0xFF	有效 GPIO	由 BMSP0 和 BMSP2 的值定义的引导（禁用 BMSP1）
	0xFF	有效 GPIO	有效 GPIO	由 BMSP1 和 BMSP2 的值定义的引导（禁用 BMSP0）
	有效 GPIO	有效 GPIO	有效 GPIO	由 BMSP0、BMSP1 和 BMSP2 的值定义的引导
	GPIO 无效	有效 GPIO	有效 GPIO	BMSP0 被复位为出厂默认 BMSP0 GPIO 由 BMSP0、BMSP1 和 BMSP2 的值定义的引导
	有效 GPIO	GPIO 无效	有效 GPIO	BMSP1 被复位为出厂默认 BMSP1 GPIO 由 BMSP0、BMSP1 和 BMSP2 的值定义的引导
	有效 GPIO	有效 GPIO	GPIO 无效	BMSP2 被复位为出厂默认状态，处于禁用状态 由 BMSP0 和 BMSP1 的值定义的引导

备注

解码引导模式时，BMSP0 是引导表索引值的最低有效位，BMSP2 是最高有效位。建议在禁用 BMSP 时，先禁用 BMSP2。例如，在仅使用 BMSP2（禁用 BMSP1 和 BMSP0）的实例中，只能选择引导表索引 0 和 4。在仅使用 BMSP0 的实例中，可选引导表索引 0 和 1。

DRAFT ONLY
TI Confidential - NDA Restrictions

7.6.1.2 配置引导模式表选项

本节介绍了如何为器件配置引导定义表 BOOTDEF 以及相关的引导选项。64 位位置位于 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 位置的用户可配置 DCSM OTP 中。调试时，EMU-BOOTDEF-LOW 和 EMU-BOOTDEF-HIGH 是 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 的仿真等效，并且可以进行编程，以便在不写入 OTP 的情况下使用不同的引导模式选项进行实验。引导定义表的自定义范围取决于正在使用多少引导模式选择引脚 (BMSP)。例如，0 个 BMSP 等于 1 个表条目、1 个 BMSP 等于 2 个表条目、2 个 BMSP 等于 4 个表条目，而 3 个 BMSP 等于 8 个表条目。有关如何设置 BOOTPIN_CONFIG 和 BOOTDEF 值的示例，请参阅 *TMS320F280013x 实时微控制器技术参考手册* 。

备注

配置 Z2-OTP-BOOTPIN-CONFIG 时，将使用 Z2-OTP-BOOTDEF-LOW 和 Z2-OTP-BOOTDEF-HIGH 位置，而不是 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 位置。有关 BOOTPIN_CONFIG 用法的更多详细信息，请参阅节 7.6.1.1。

表 7-10. BOOTDEF 位字段

BOOTDEF 名称	字节位置	名称	说明
BOOT_DEF0	7:0	BOOT_DEF0 模式/选项	为引导表的索引 0 设置引导模式。 例如，不同的引导模式及其选项可以包括使用不同 GPIO 来实现特定引导加载程序或使用不同闪存入口点地址的引导模式。任何不支持的引导模式都会导致器件进入等待引导或引导至闪存。 有关表中要设置的有效 BOOTDEF 值，请参阅 *GPIO 分配*。
BOOT_DEF1	15:8	BOOT_DEF1 模式/选项	请参阅 BOOT_DEF0 说明
BOOT_DEF2	23:16	BOOT_DEF2 模式/选项	
BOOT_DEF3	31:24	BOOT_DEF3 模式/选项	
BOOT_DEF4	39:32	BOOT_DEF4 模式/选项	
BOOT_DEF5	47:40	BOOT_DEF5 模式/选项	
BOOT_DEF6	55:48	BOOT_DEF6 模式/选项	
BOOT_DEF7	63:56	BOOT_DEF7 模式/选项	

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

7.6.2 GPIO 分配

本节详细介绍了用于在位于 Z1-OTP-BOOTDEF-LOW/ Z2-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH/ Z2-OTP-BOOTDEF-HIGH 的 BOOT_DEF 存储器位置中设置引导模式的 GPIO 和引导选项值。请参阅配置引导模式表选项，了解如何配置 BOOT_DEF。选择引导模式选项时，请确认所用特定器件封装的引脚多路复用器选项中提供了必要的引脚。

表 7-11. SCI 引导选项

选项	BOOTDEF 值	SCITXDA GPIO	SCIRXDA GPIO
0（默认值）	0x01	GPIO29	GPIO28
1	0x21	GPIO1	GPIO0
2	0x41	GPIO8	GPIO9
3	0x61	GPIO7	GPIO3
4	0x81	GPIO16	GPIO3

表 7-12. CAN 引导选项

选项	BOOTDEF 值	CANTXA GPIO	CANRXA GPIO
0（默认值）	0x02	GPIO4	GPIO5
1	0x22	GPIO32	GPIO33
2	0x42	GPIO2	GPIO3
3	0x62	GPIO13	GPIO12

备注

F280013x 和 F280015x CANTXA GPIO 选项 0（默认）选择不同。所有其他 CAN 引导选项 GPIO 选择是相同的。有关详细信息，请参阅特定器件数据表。

表 7-13. I2C 引导选项

选项	BOOTDEF 值	SDAA GPIO	SCLA GPIO
0	0x07	GPIO0	GPIO1
1	0x27	GPIO32	GPIO33
2	0x47	GPIO5	GPIO4

表 7-14. RAM 引导选项

选项	BOOTDEF 值	RAM 入口点（地址）
0	0x05	0x0000 0000

表 7-15. 闪存引导选项

选项	BOOTDEF 值	闪存入口点（地址）	闪存扇区
0（默认值）	0x03	0x0008 0000	组 0 扇区 0
1	0x23	0x0008 8000	组 0 扇区 32
2	0x43	0x0008 FFF0	组 0 扇区 63 末尾
3	0x63	0x0009 0000	组 0 扇区 64
4	0x83	0x0009 8000	组 0 扇区 96
6	0xA3	0x0009 FFF0	组 0 扇区 127 末尾

DRAFT ONLY
TI Confidential – NDA Restrictions

表 7-16. 安全闪存启动选项

选项	BOOTDEF 值	闪存入口点（地址）	闪存扇区
0（默认值）	0x0A	0x0008 0000	组 0 扇区 0
1	0x2A	0x0008 8000	组 0 扇区 32
2	0x4A	0x0008 FFF0	组 0 扇区 63 末尾
3	0x6A	0x0009 0000	组 0 扇区 64
4	0x8A	0x0009 8000	组 0 扇区 96

表 7-17. 等待引导选项

选项	BOOTDEF 值	看门狗
0	0x04	被启用
1	0x24	禁用

表 7-18. SPI 引导选项

选项	BOOTDEF 值	SPISIMOA	SPISOMIA	SPICLKA	SPISTEA
0	0x06	GPIO7	GPIO1	GPIO3	GPIO5
1	0x26	GPIO16	GPIO1	GPIO3	GPIO0
2	0x46	GPIO8	GPIO10	GPIO9	GPIO11
3	0x66	GPIO16	GPIO13	GPIO12	GPIO29

表 7-19. 并行引导选项

选项	BOOTDEF 值	D0-D7 GPIO	28x(DSP) 控制 GPIO	主机控制 GPIO
0（默认值）	0x00	D0 - GPIO0	GPIO224	GPIO242
		D1 - GPIO1		
		D2 - GPIO3		
		D3 - GPIO4		
		D4 - GPIO5		
		D5 - GPIO7		
		D6 - GPIO28		
		D7 - GPIO29		
1	0x20	D0 - GPIO0	GPIO12	GPIO13
		D1 - GPIO1		
		D2 - GPIO2		
		D3 - GPIO3		
		D4 - GPIO4		
		D5 - GPIO5		
		D6 - GPIO6		
		D7 - GPIO7		
2	0x40	D0 - GPIO0	GPIO16	GPIO29
		D1 - GPIO1		
		D2 - GPIO2		
		D3 - GPIO3		
		D4 - GPIO4		
		D5 - GPIO5		
		D6 - GPIO6		
		D7 - GPIO7		

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

7.7 双代码安全模块

双代码安全模块 (DCSM) 防止对片上安全内存进行访问。术语“安全”意味着阻止对安全存储器和资源的访问。术语“不安全”是指允许访问；例如，通过 Code Composer Studio™ (CCS) 等调试工具。

代码安全机制为两个区域，即区域 1 (Z1) 和区域 2 (Z2)，提供保护。这两个区域的安全实现是相同的。每个区域都有自身的专用安全资源（OTP 存储器和安全 ROM）和分配的安全资源（LSx RAM 和闪存扇区）。

每个区域的安全性都由自身的 128 位密码（CSM 密码）确保。每个区域的密码根据区域专用链接指针存储在 OTP 存储器位置中。可以更改链接指针值，以在 OTP 中编程一组不同的安全设置（包括密码）。

Code Security Module Disclaimer

本器件所包含的代码安全模块 (CSM) 旨在对存储在相关存储器中的数据进行密码保护，并且由德州仪器 (TI) 根据其标准条款和条件保证以符合 TI 发布的适用于本器件的保修期规范。

然而，TI 不保证或承诺 CSM 不会受到损坏或破坏，也不保证或承诺存储在相关存储器中的数据不能通过其他方式访问。此外，除上述内容外，TI 也未对本器件的 CSM 或运行做任何保证或表示，包括对适销性或特定用途适用性的任何暗示保证。

在任何情况下，TI 对以任何方法使用 CSM 或本器件产生的任何必然、特殊、间接、偶然或惩罚性损害概不负责，无论 TI 是否已告知上述损害。排除的损害包括但不限于数据丢失、信誉损失、使用损失、业务中断或其他经济损失。

DRAFT ONLY
TI Confidential – NDA Restrictions

7.8 看门狗

该看门狗模块与之前的 TMS320C2000 器件上的模块相同，但针对计数器的软件复位之间的时间提供了一个可选的下限。默认情况下会禁用此窗口倒计时，因此该看门狗完全向后兼容。

看门狗生成复位或中断。看门狗使用可选分频器通过内部振荡器计时。

图 7-2 显示了看门狗模块内的各种功能块。

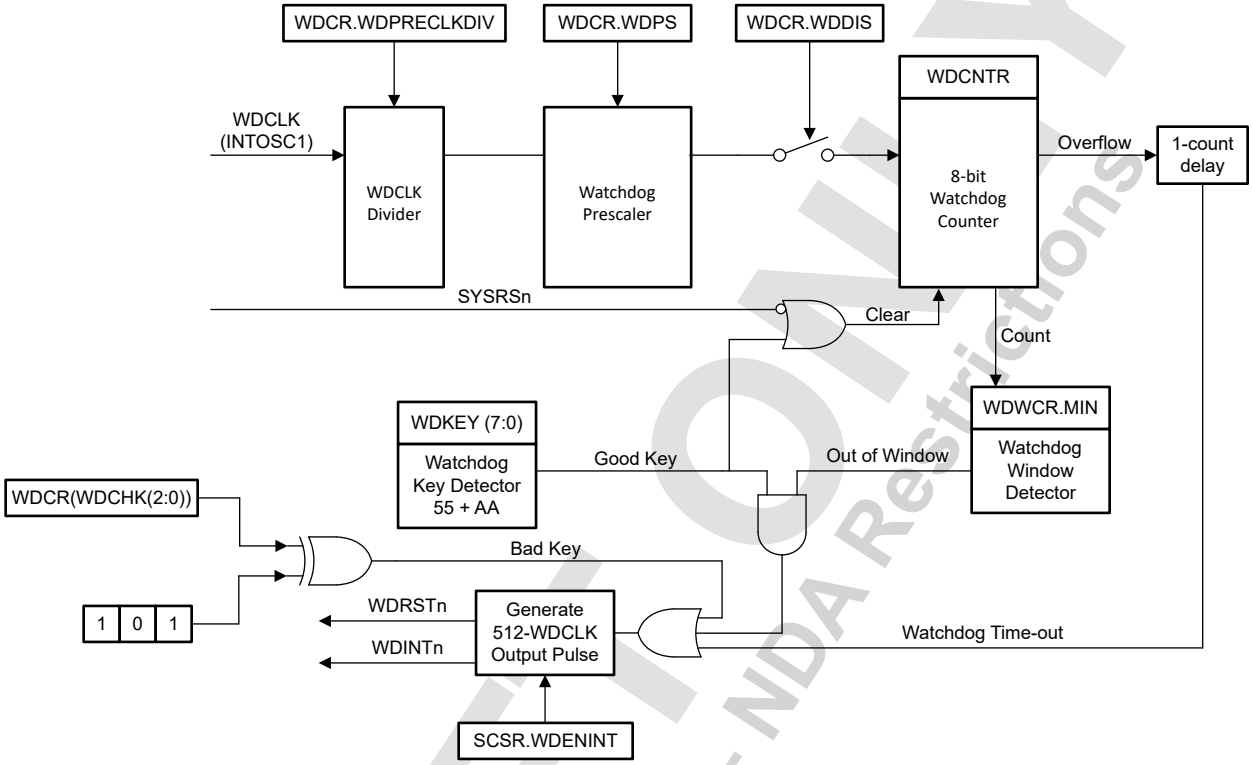


图 7-2. 窗口看门狗

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

7.9 C28x 计时器

CPU 计时器 0，1，和 2 是完全一样的 32 位计时器，具有可预设定周期和 16 位时钟预分频。此计时器具有 32 位递减计数寄存器，该寄存器在计数器达到 0 时生成一中断。计数器以 CPU 时钟速度除以预分频值设置形式递减。当计数器达到 0 时，则自动重新加载 32 位周期值。

CPU 计时器 0 用于普通用途并连接至 PIE 块。CPU 计时器 1 也用于普通用途，并连接至 CPU 的 INT13。CPU 计时器 2 为 TI-RTOS 保留。该计时器连接至 CPU 的 INT14。如果未使用 TI-RTOS ，CPU 计时器 2 也可用于普通用途。

CPU 计时器 2 可由下列任一器件计时：

- SYSCLK (默认)
- 内部振荡器 1 (INTOSC1)
- 内部振荡器 2 (INTOSC2)
- X1 (XTAL)

7.10 双路时钟比较器 (DCC)

DCC 模块用于根据第二个时钟评估和监测时钟输入，第二个时钟可以是更准确和可靠的版本。该仪器用于检测时钟源或时钟结构中的故障，从而增强系统的安全性指标。

7.10.1 特性

DCC 具有以下特性：

- 允许应用确保两个时钟信号的频率之间保持固定的比率。
- 支持根据参考时钟周期数定义可编程公差窗口。
- 支持连续监视，而无需应用干预。
- 支持单序列模式进行点测量。
- 允许为每个计数器选择一个时钟源，从而产生几种特定的用例。

7.10.2 DCCx 时钟源中断的映射

表 7-20. DCCx 时钟源 0 表

DCCxCLKSRC0[3:0]	时钟名称
0x0	XTAL/X1
0x1	INTOSC1
0x2	INTOSC2
0x4	TCK
0x5	CPU1.SYSCLK
0x8	AUXCLKIN
0xC	INPUT XBAR (输入 xbar 的输出 16)
其它	保留

DRAFT ONLY
TI Confidential - NDA Restrictions

表 7-21. DCCx 时钟源 1 表

DCCxCLKSRC1[4:0]	时钟名称
0x0	PLLRAWCLK
0x2	INTOSC1
0x3	INTOSC2
0x6	CPU1.SYSCLK
0x9	输入 XBAR (输入 xbar 的输出 15)
0xA	AUXCLKIN
0xB	EPWMCLK
0xC	LSPCLK
0xD	ADCCLK
0xE	WDCLK
0xF	CAN0BITCLK
其它	保留

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

8 应用、实施和布局

8.1 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

"F2800x C2000™ 实时 MCU 系列的硬件设计指南" 应用手册 是使用 C2000 器件的硬件开发人员的基本指南，有助于简化设计过程，同时降低设计故障的可能性。论述的主要主题包括：电源要求、通用输入/输出 (GPIO) 连接、模拟输入和 ADC、时钟生成和要求以及 JTAG 调试等。

8.2 器件主要特性

表 8-1. 器件主要特性

模块	特性	系统优势
监控		
实时控制 CPU	高达 120MIPS C28x：120MIPS 闪存：高达 256KB RAM：高达 36KB 32 位浮点单元 (FPU32) 三角法数学单元 (TMU)	TI 的 32 位 C28x DSP 内核可为从片上闪存或 SRAM 运行的浮点或定点代码提供 120MHz 的信号处理性能。 **FPU32：**原生硬件支持 IEEE-754 单精度浮点运算 **TMU：**使用加速器加快三角函数和算术运算执行速度，从而提高控制应用的计算速度（例如 PLL 和 DQ 变换）。TMU 将帮助实现更快的控制环路，从而提高效率和优化元件尺寸。 特殊指令支持非线性 PID 控制算法
毫米波和 AVDS		
模数转换器 (ADC)（12 位）	多达 2 个 ADC 模块 4MSPS 高达 21 通道	ADC 对全部三相电流和直流总线进行精准并行采样，且具有零抖动。 ADC 后处理 - 片上硬件将降低 ADC ISR 复杂度并缩短电流环路周期。 增加 ADC 数量在多相应用中很有用。提供更高的有效 MSPS（过采样）和典型 ENOB 以实现更好的控制环路性能。
比较器子系统 (CMPSS)	**CMPSS** 1 个窗口比较器 双 12 位 DAC DAC 斜坡生成 外部引脚上提供低 DAC 输出 数字滤波器 60ns 跳闸检测时间 斜率补偿 **CMPSS_LITE** 3 个窗口比较器 双 9.5 位有效基准 DAC 数字滤波器 40ns 跳闸检测时间 斜率补偿	**系统保护无误报：** 比较器子系统 (CMPSS) 模块适用于峰值电流模式控制、开关模式电源、功率因数校正和电压跳闸监控等应用。 借助模拟比较器子系统提供的消隐窗口和滤波功能，PWM 跳闸触发和消除不必要噪声变得非常容易。 提供更出色的控制精度。无需进一步的 CPU 配置即可通过比较器、12 位 DAC (CMPSS) 和 9.5 位有效基准 DAC (CMPSS_LITE) 来控制 PWM。 使用同一引脚实现保护和控制。
增强型正交编码器脉冲 (eQEP)	1 个 eQEP 模块	用于与线性或旋转增量编码器进行直接连接，以便获得高性能运动和位置控制系统中使用的旋转机器的位置、方向和速度信息。另外，也可以在其他应用中用于对来自外部器件（例如传感器）的输入脉冲进行计数。

DRAFT ONLY
TI Confidential – NDA Restrictions

表 8-1. 器件主要特性 (continued)

模块	特性	系统优势
增强型捕获 (eCAP)	2 个 eCAP 模块 测量事件之间经过的时间（最多 4 个带时间戳的事件）。 通过输入 X-BAR 连接到任何 GPIO。 当未用于采集模式时，eCAP 模块可配置为单通道 PWM 输出 (APWM)。	**eCAP 的应用包含：** 旋转机械的速度测量（例如，通过霍尔传感器感应齿状链轮） 位置传感器脉冲之间的持续时间测量 脉冲序列信号的周期和占空比测量 对来自占空比编码电流/电压传感器的电流或电压幅度进行解码

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

表 8-1. 器件主要特性 (continued)

模块	特性	系统优势
驱动		
增强型脉宽调制 (ePWM)	多达 14 个 ePWM 通道 能够生成具有死区的高侧/低侧 PWM 支持谷底开关（能够在谷点切换 PWM 输出）以及消隐窗口等特性	灵活的 PWM 波形生成功能，具有出色的电源拓扑覆盖范围。 影子化死区和影子化动作限定器可实现自适应 PWM 生成和保护，从而提高控制精度并降低功率损耗。 可改善功率因数 (PF) 和总谐波失真 (THD)，这在功率因数校正 (PFC) 应用中尤为重要。可提高轻载效率。
	一次性和全局重新加载功能	对于变频和多相直流/直流应用至关重要，有助于实现高频控制环路 (>2MHz)。 能够在高频下控制交错式 LLC 拓扑
	针对逐周期 (CBC) 跳闸事件和一次性跳闸 (OST) 事件进行独立 PWM 操作	提供逐周期保护并在故障条件下完全关闭 PWM。有助于实现多相 PFC 或直流/直流控制。
	在 SYNC 时加载（支持在发生 SYNC 事件时的“影子到活动”加载）	支持变频应用（允许在功率转换中进行 LLC 控制）。
	无需软件干预即可关闭 PWM（无 ISR 延迟）	在出现故障时提供快速保护
	延迟跳闸功能	有助于利用峰值电流模式控制 (PCMC) 相移全桥 (PSFB) 直流/直流转换器轻松实现死区，无需占用大量 CPU 资源（即使发生基于比较器、跳闸或同步输入事件的触发事件时也是如此）。
	死区发生器 (DB) 子模块	通过向 PWM 信号上升沿 (RED) 和下降沿 (FED) 添加可编程延迟，防止高侧和低侧栅极同时导通。
	灵活的 PWM 相位关系和计时器同步	每个 ePWM 模块都能与其他 ePWM 模块或其他外设同步。可使 PWM 边沿彼此保持完全同步或与特定事件保持完全同步。 支持采用特定采样窗口实现灵活的 ADC 调度，与功率器件切换保持同步。
高分辨率脉宽调制 (HRPWM)	2 个具有高分辨率功能 (150ps) 的通道 为占空比、周期、死区以及相位偏移提供 150ps 的步长，精度提高 99%	有利于精确控制并实现性能更佳的高频功率转换。 实现更干净的波形并避免输出端产生振荡/限制周期。
CONNECTIVITY		
串行外设接口 (SPI)	1 个高速 SPI 端口	支持 30 MHz
串行通信接口 (SCI)	3 个 SCI (UART) 模块	与控制器连接
控制器局域网络 (CAN)	1 个 CAN 模块	能够兼容经典 CAN 模块
内部集成电路 (I2C)	2 个 I2C 模块	与外部 EEPROM、传感器或控制器连接

DRAFT ONLY
TI Confidential – NDA Restrictions

表 8-1. 器件主要特性 (continued)

模块	特性	系统优势
其他系统特性		
安全增强功能	双区域代码安全模块 (DCSM) 看门狗 寄存器受写保护 丢失时钟检测逻辑 (MCD) 纠错码 (ECC) 和奇偶校验 双路时钟比较器 (DCC)	**DCSM：**防止对专有代码进行复制和逆向工程 **看门狗：**如果 CPU 陷入无休止的执行循环，则会产生复位 **寄存器受写保护：** 针对系统配置寄存器进行锁定保护 防止虚假 CPU 写入 **MCD：**自动时钟故障检测 **ECC 和奇偶校验：**single-bit 纠错和 double-bit 错误检测 **DCC：**用于检测时钟源故障
交叉开关 (XBAR)	可灵活连接各种配置中的器件输入、输出和内部资源。 • 输入 X-BAR • 输出 X-BAR • ePWM X-BAR	**增强硬件设计的通用性：** **输入 X-BAR：**将信号从任何 GPIO 路由到芯片内的多个 IP 块 **输出 XBAR：**将内部信号路由到指定的 GPIO 引脚上 **ePWM X-BAR：**将内部信号从各种 IP 块路由到 ePWM

8.3 应用信息

8.3.1 典型应用

*典型应用*一节将详细介绍该器件的一些应用。如需查看更详细的应用列表，请参阅本数据表的节 2。

8.3.1.1 空调室外机

空调室外机的设计注意事项包括更大限度提高电源效率、更大限度降低噪声以及成本。变速空调可以连续调节温度，比定速空调更高效。空调室外机 (ODU) 由功率因数校正 (PFC) 级、压缩机电机驱动器和风扇电机驱动器组成。ODU 压缩机和风扇电机采用基于无传感器磁场定向控制 (FOC) 的永磁同步电机 (PMSM) 驱动器，通过改变电机的输入频率和电压来控制电机速度和扭矩。PFC 可确保电流波形跟随电压波形以改善线路侧功率因数，并且不论负载或输入条件出现任何变化，都能将输出直流电压调节为恒定值。

DRAFT ONLY
TI Confidential – Restrictions

Copyright © 2023 Texas Instruments Incorporated

8.3.1.1.1 系统方框图

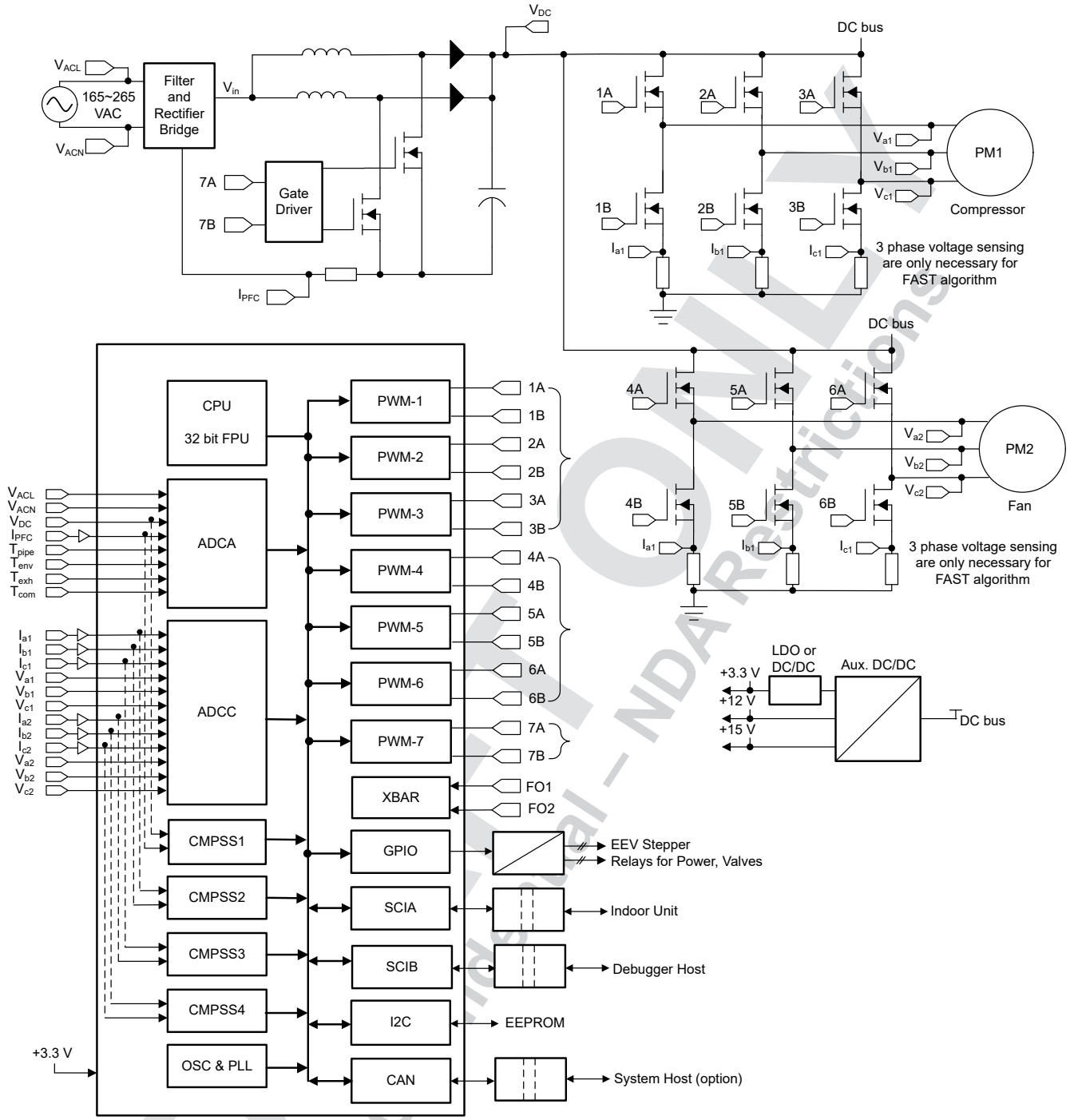


图 8-1. 采用三分流器和交错 PFC 且具有双电机控制功能的典型变频空调

TI Confidential – NDA Restrictions

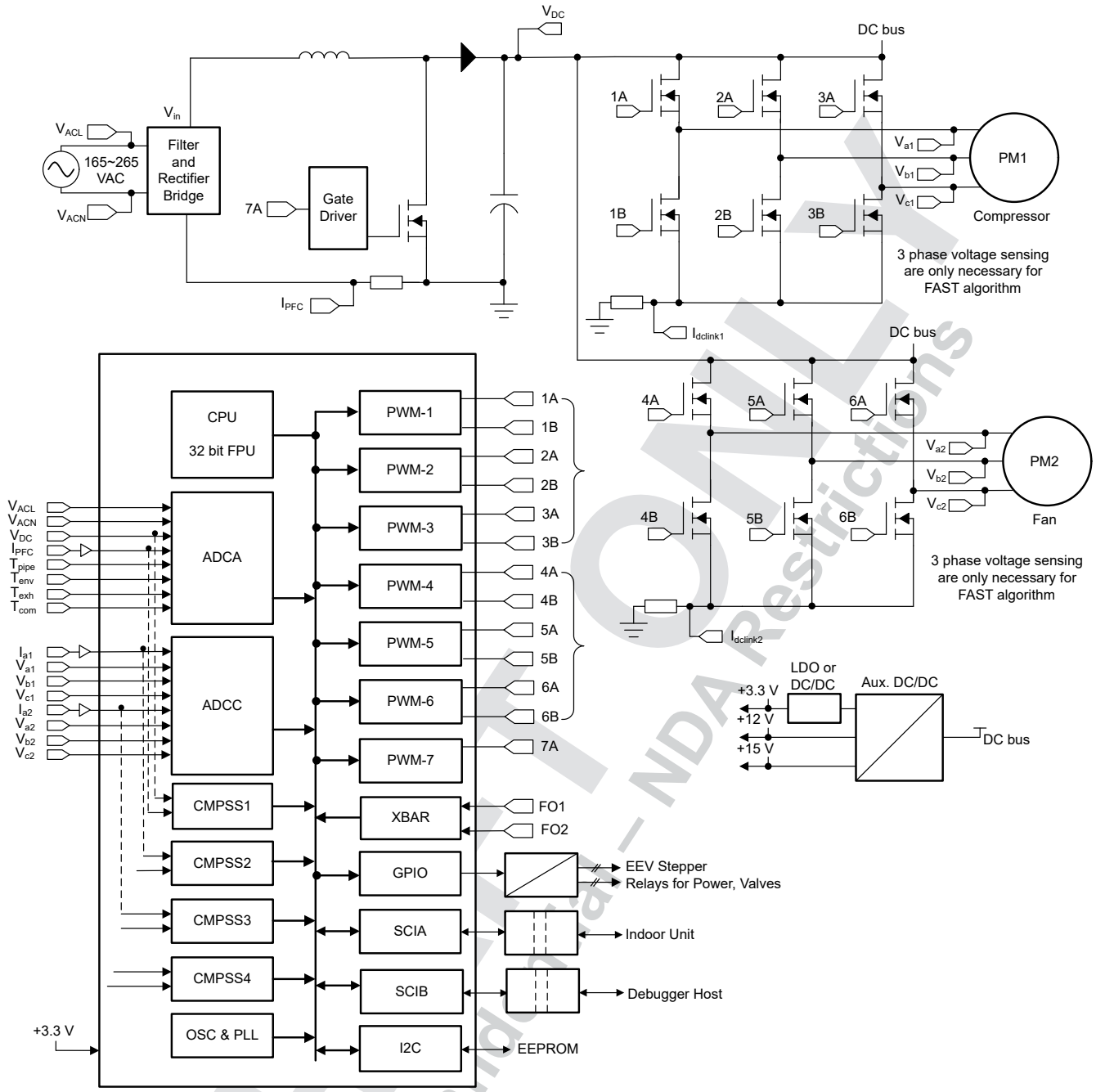


图 8-2. 采用单分流器和单相 PFC 且具有双电机控制功能的典型变频空调

TI Confidential – NDA Restrictions
DRAFT ONLY

Copyright © 2023 Texas Instruments Incorporated

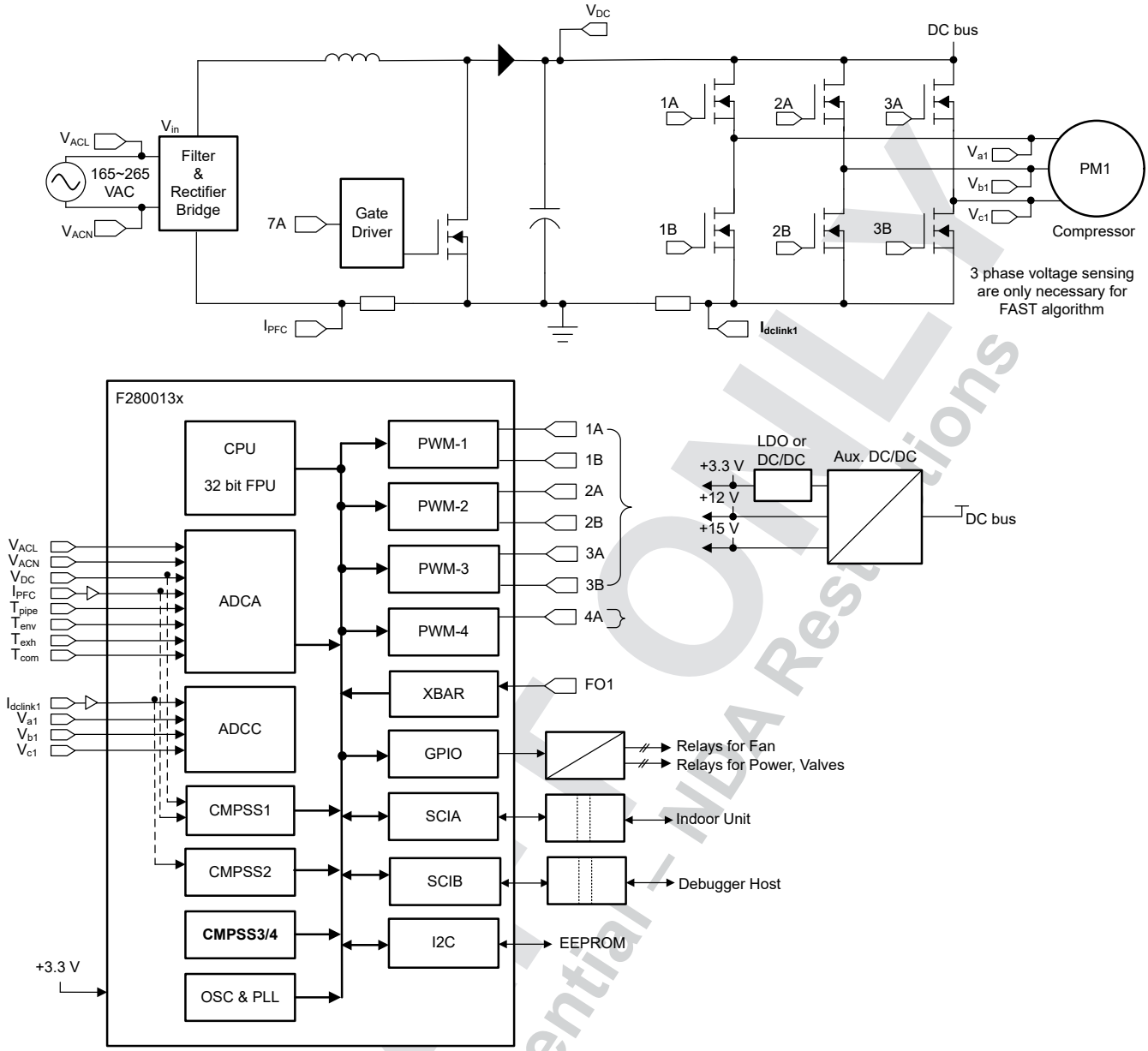


图 8-3. 采用单分流器和单相 PFC 且具有单电机控制功能的典型变频空调

8.3.1.1.2 空调室外机资源

参考设计和相关培训视频

C2000™ MCU - 电机控制（视频）
此视频集提供有关电机控制、InstaSPIN™ 软件、DesignDRIVE 软件和 MathWorks® 的信息。

TIDM-02010：具有数字交错式 PFC、适用于 HVAC 的双电机控制参考设计
TIDM-02010 参考设计是一款适用于 HVAC 应用变频空调室外机控制器的 1.5kW 双电机驱动和功率因数校正 (PFC) 控制参考设计。此参考设计展示了一种对压缩机和风扇电机驱动器以及数字交错式升压 PFC 实现无传感器三相 PMSM 矢量控制的方法，可通过单个 C2000™ 微控制器满足新的效率标准。此参考设计提供的硬件和软件已经过测试，而且可随时使用，有助于加快开发，从而缩短产品上市时间。本参考设计包括硬件设计文件和软件代码。

PRELIMINARY
TI Confidential – NDA Restrictions

变速空调 (HVAC) 参考设计演示 (视频)
此视频介绍了适用于搭载单个 C2000 MCU 的 HVAC 应用设计并采用交错式 PFC 的双电机控制解决方案。此演示中还介绍了在该参考设计上实现的测试结果。

8.3.1.2 洗衣机和烘干机

现代洗衣机和烘干机系统需要强大且高效能的电机控制、较低的噪声和振动以及全面的系统保护。此外，电机驱动控制需要在不同负载下支持可变转速，从而提高清洗和烘干性能，并降低耗水量。C2000 MCU 作为功能强大的实时控制器，能够通过无传感器磁场定向控制 (FOC) 满足这些需求，从而实现超高效率、超高电机功率、超低扭矩纹波、更低可闻噪声，以及利用在洗衣机或烘干机滚筒重负载启动过程中电机加速时所需的最大电机转矩。采用单芯片架构并使用双电机或单电机的不同洗衣机或烘干机类型如图 8-4、图 8-5 和图 8-6 所示。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

8.3.1.2.1 系统方框图

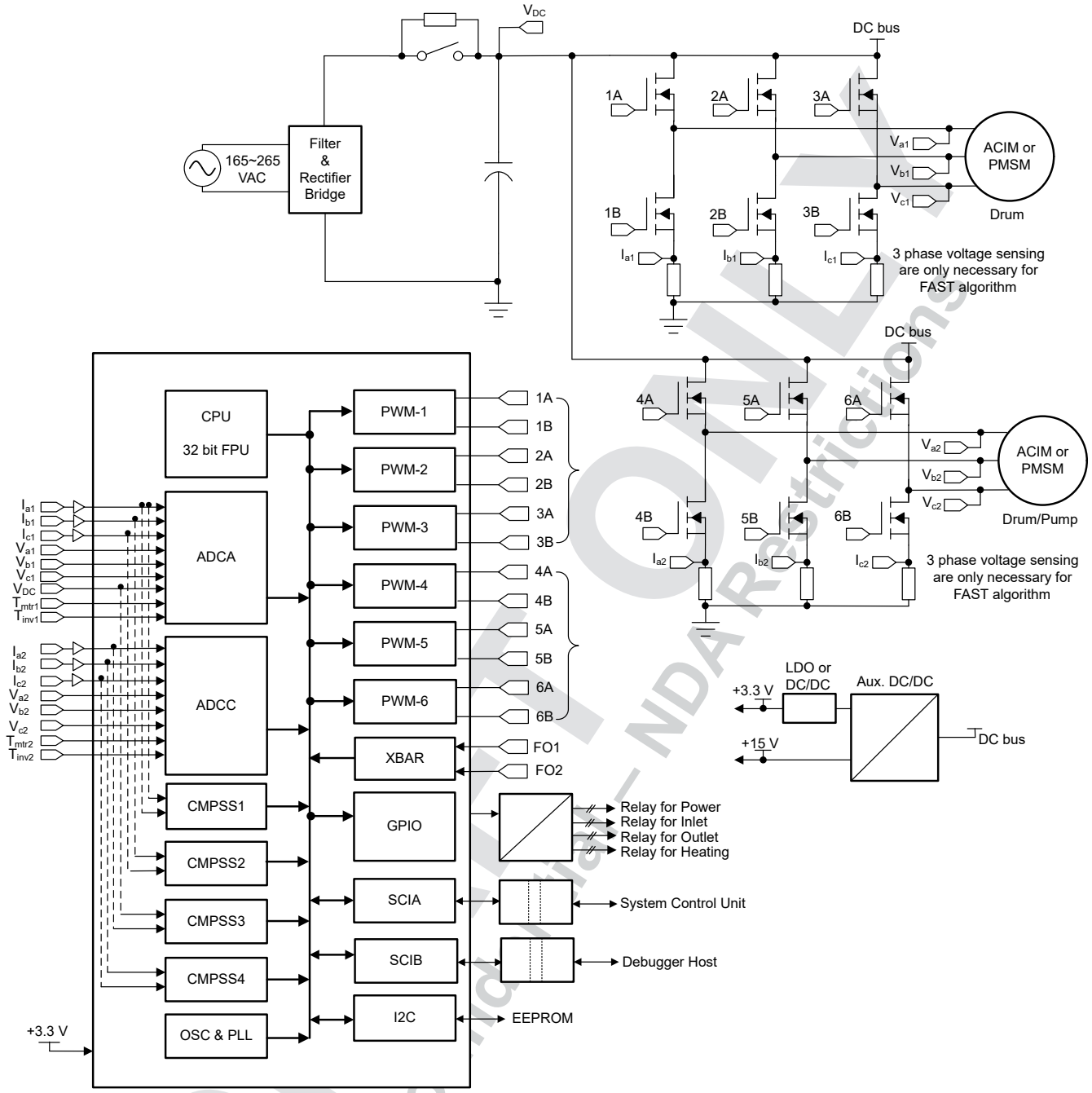


图 8-4. 使用三分流器电流检测的具有双电机控制的典型洗衣机和烘干机

TI Confidential – NDA Restrictions

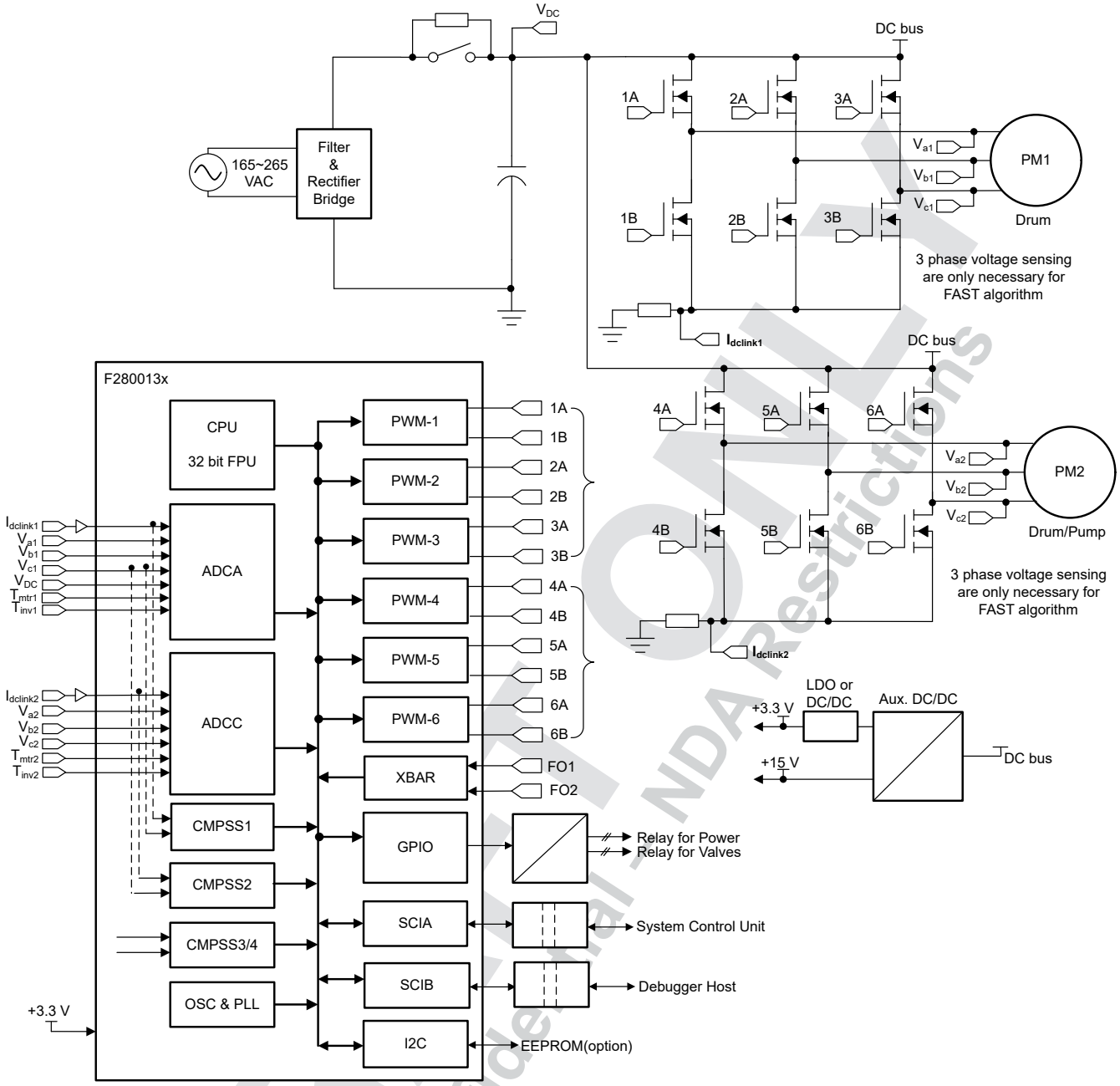


图 8-5. 使用单分流器电流检测的具有双电机控制的典型洗衣机和烘干机

TI Confidential - NDA Restrictions
DRAFT ONLY

Copyright © 2023 Texas Instruments Incorporated

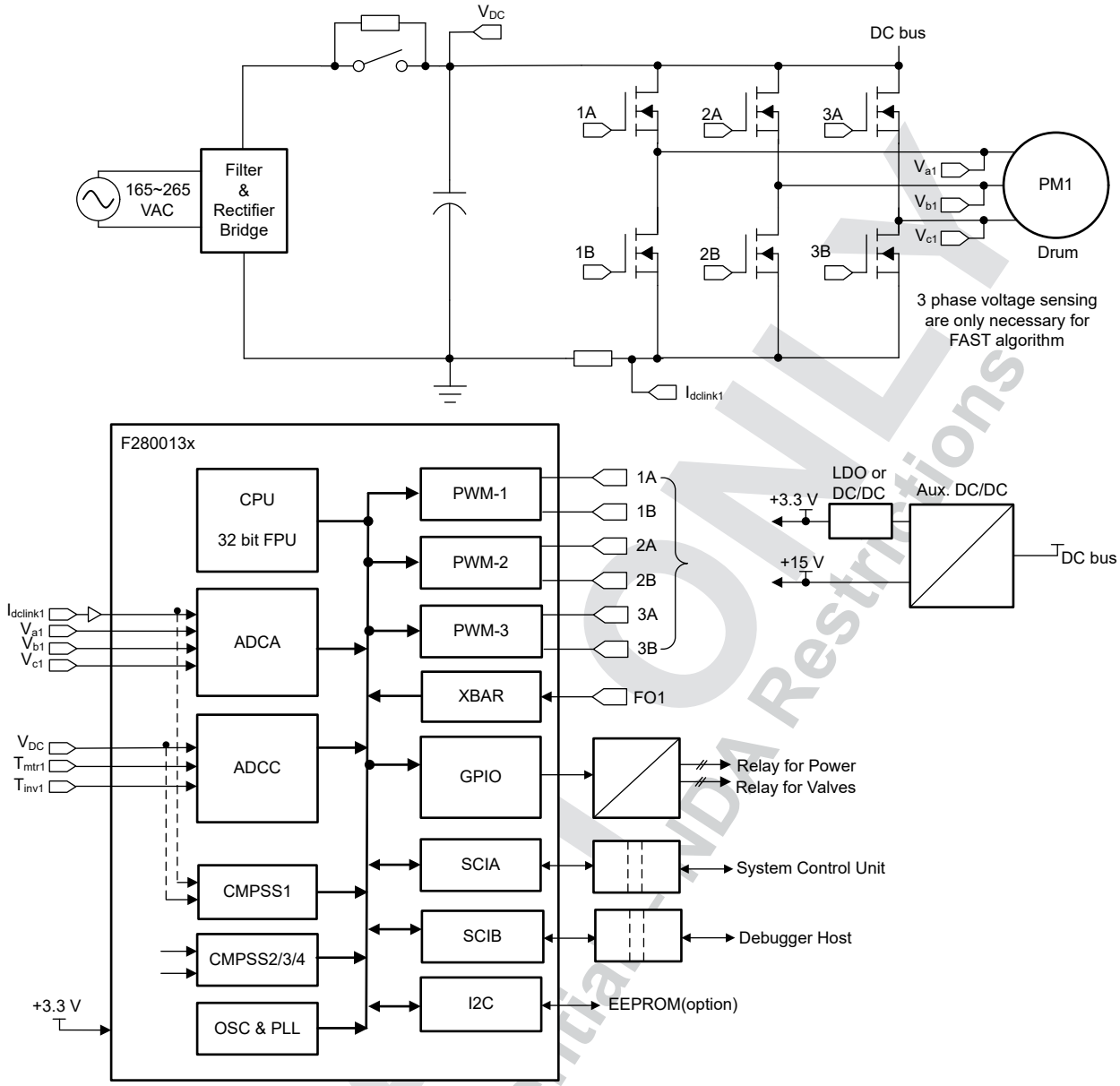


图 8-6. 使用单分流器电流检测的具有单电机控制的典型洗衣机和烘干机

8.3.1.2.2 洗衣机和烘干机资源

参考设计和相关培训视频

C2000™ MCU - 电机控制（视频）
此视频集提供有关电机控制、InstaSPIN™ 软件、DesignDRIVE 软件和 MathWorks® 的信息。

TIDM-02010：具有数字交错式 PFC、适用于 HVAC 的双电机控制参考设计
TIDM-02010 参考设计是一款适用于 HVAC 应用变频空调室外机控制器的 1.5kW 双电机驱动和功率因数校正 (PFC) 控制参考设计。此参考设计展示了一种对压缩机和风扇电机驱动器以及数字交错式升压 PFC 实现无传感器三相 PMSM 矢量控制的方法，可通过单个 C2000™ 微控制器满足新的效率标准。此参考设计提供的硬件和软件已经过测试，而且可随时使用，有助于加快开发，从而缩短产品上市时间。本参考设计包括硬件设计文件和软件代码。

通用电机控制工程和实验用户指南

TI Confidential – NDA Restrictions
PRELIMINARY

通用电机控制实验提供了使用 C2000 MCU 进行电机驱动控制的示例。此实验是包含不同无传感器（FAST™、eSMO、InstaSPIN™-BLDC）和有传感器（增量编码器、霍尔）电机控制技术（FOC、梯形）的构建示例的单个工程。此实验中的系统功能和调试接口可用于各种三相逆变器电机评估套件或客户自己的洗衣机、烘干机或冰箱应用电路板。此实验的示例代码包含在 Motor Control 软件开发套件 (SDK) 中。MotorControl SDK (MC SDK) 包含一套紧密相关的软件基础架构、工具和文档，旨在尽可能缩短基于 C2000 MCU 的电机控制系统开发时间，适用于各种三相电机控制应用。

变速空调 (HVAC) 参考设计演示（视频）
此视频介绍了适用于搭载单个 C2000 MCU 的 HVAC 应用设计并采用交错式 PFC 的双电机控制解决方案。此演示中还介绍了在该参考设计上实现的测试结果。

8.3.1.3 割草机器人

割草机器人系统具有多个低压电池供电的电机，需要精确控制这些电机以支持传动系统、切割和辅助功能。电机效率对于延长使用时间非常重要，而高精度可确保在需要时实现自主运行。C2000 MCU 作为功能强大的实时控制器，能够通过无传感器或基于传感器的磁场定向控制 (FOC) 满足这些需求，从而实现超高效率、超高电机功率、超低扭矩纹波、更低可闻噪声，以及利用在重负载启动期间所需的最大电机扭矩。C2000 器件可用于多轴传动系统控制、切割刀片和辅助功能，如升降机、泵或鼓风机。

DRAFT ONLY
TI Confidential – NDA Restricted

Copyright © 2023 Texas Instruments Incorporated

8.3.1.3.1 系统方框图

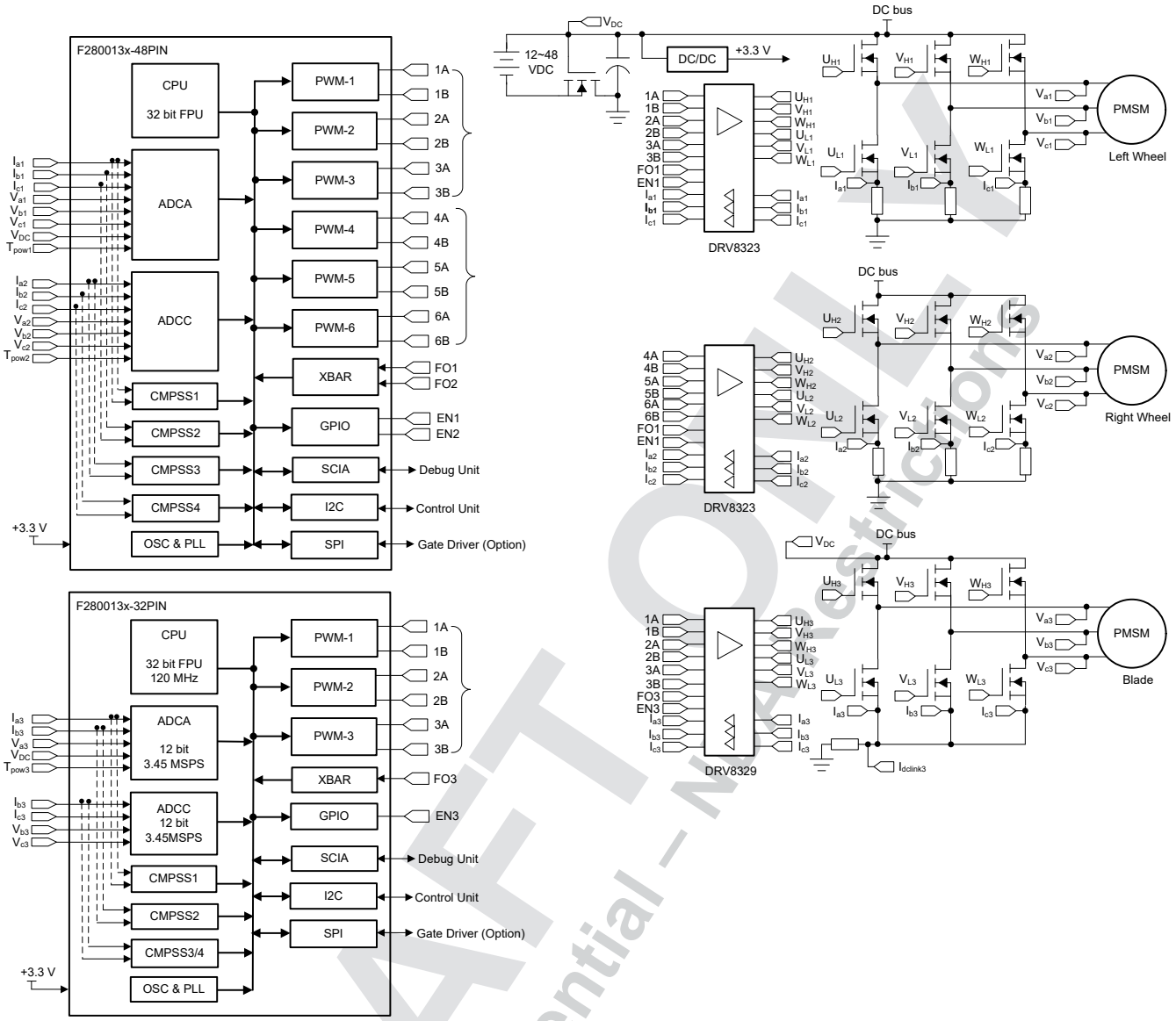


图 8-7. 适用于割草机器人的双芯片解决方案

DRAFT ONLY
TI Confidential – NDA Restrictions

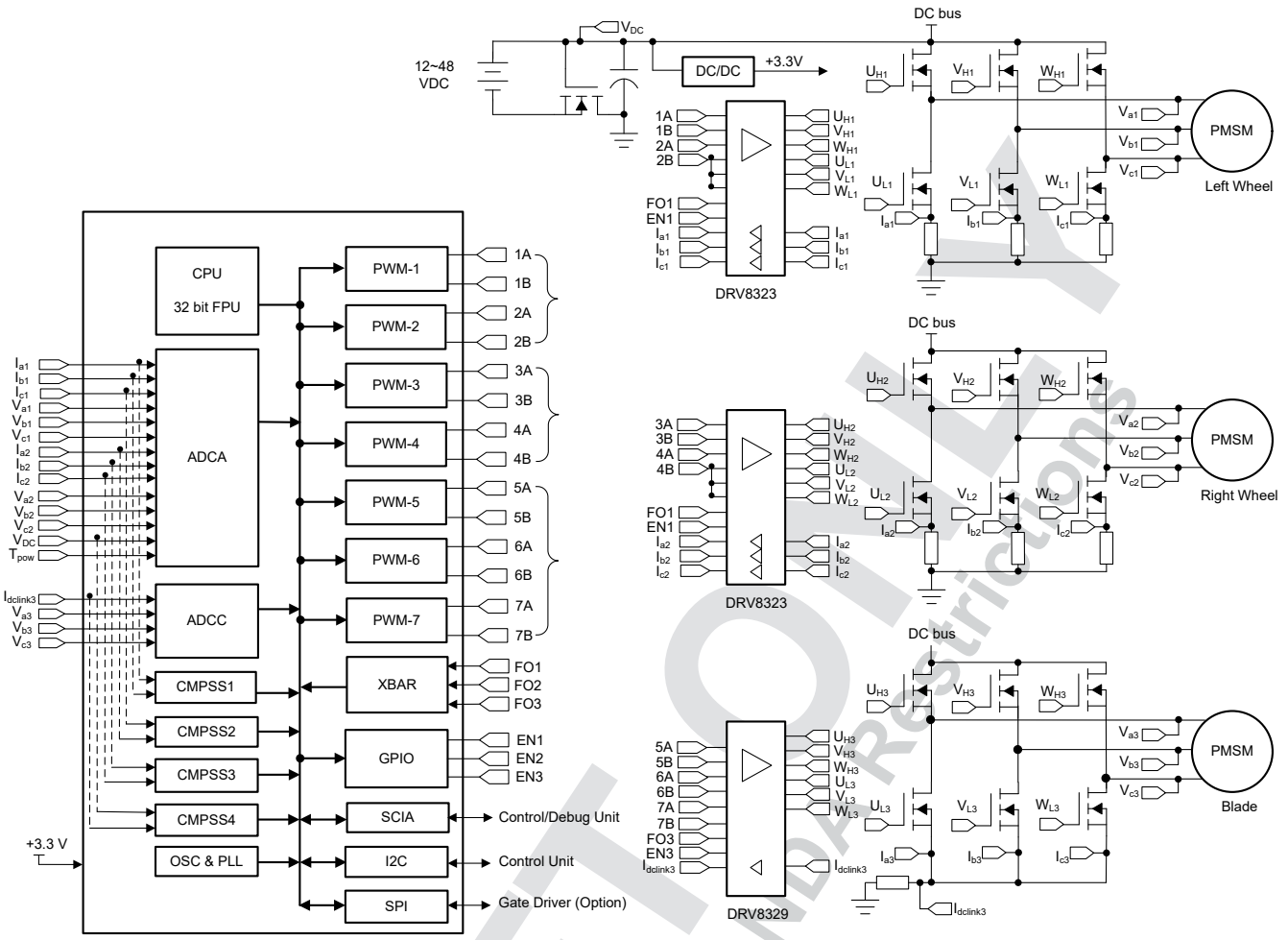


图 8-8. 适用于割草机器人的单芯片解决方案

8.3.1.3.2 割草机器人资源

参考设计和相关培训视频

C2000™ MCU - 电机控制（视频）
此视频集提供有关电机控制、InstaSPIN™ 软件、DesignDRIVE 软件和 MathWorks® 的信息。

“在单个 C2000™ MCU 上使用 FCL 和 SFRA 进行双轴电机控制”应用报告
此设计指南可帮助评估快速电流环路 (FCL) 算法，该算法基于使用 TI LaunchPad 套件和逆变器 BoosterPack 套件的单个 C2000 MCU 对双轴 PM 伺服驱动器进行高带宽内部环路电流控制。此参考设计的示例代码包含在 Motor Control 软件开发套件中。

“使用快速电流环对 PMSM 进行快速响应控制”应用报告
此参考资料有助于评估用于对 PM 伺服驱动器进行高带宽电流环路控制的快速电流环路 (FCL) 及其使用 C2000 MCU 进行的频率响应分析。此参考设计的示例代码包含在 Motor Control 软件开发套件中。

通用电机控制工程和实验用户指南
通用电机控制实验提供了使用 C2000 MCU 进行电机驱动控制的示例。此实验是包含不同无传感器（FAST™、eSMO、InstaSPIN™-BLDC）和有传感器（增量编码器、霍尔）电机控制技术（FOC、梯形）的构建示例的单个工程。此实验中的系统功能和调试接口可用于各种三相逆变器电机评估套件或客户自己的洗衣机、烘干机或冰箱应用电路板。此实验的示例代码包含在 Motor Control 软件开发套件 (SDK) 中。MotorControl SDK (MC SDK) 包

DRAFT ONLY
Texas Instruments Confidential - NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

含一套紧密相关的软件基础架构、工具和文档，旨在尽可能缩短基于 C2000 MCU 的电机控制系统开发时间，适用于各种三相电机控制应用。

8.3.1.4 商用电信整流器

商用通信电源整流器包含功率因数校正 (PFC) 级和直流/直流转换器级。通常使用图腾柱 PFC 作为 PFC 级。对于直流/直流级，LLC 和相移全桥 (PSFB) 是两种常用的拓扑。商用通信电源整流器可采用单芯片和双芯片架构，如图 8-9 和图 8-10 所示。

PFC 级从交流电源汲取与交流电压同相的正弦波电流，并在其输出端保持稳定的直流总线电压（VDC，通常为 +400 V）。该输出电压施加到直流/直流级的输入端，可将其转换为隔离式低输出电压 Vout（通常为 48V）。

8.3.1.4.1 系统方框图

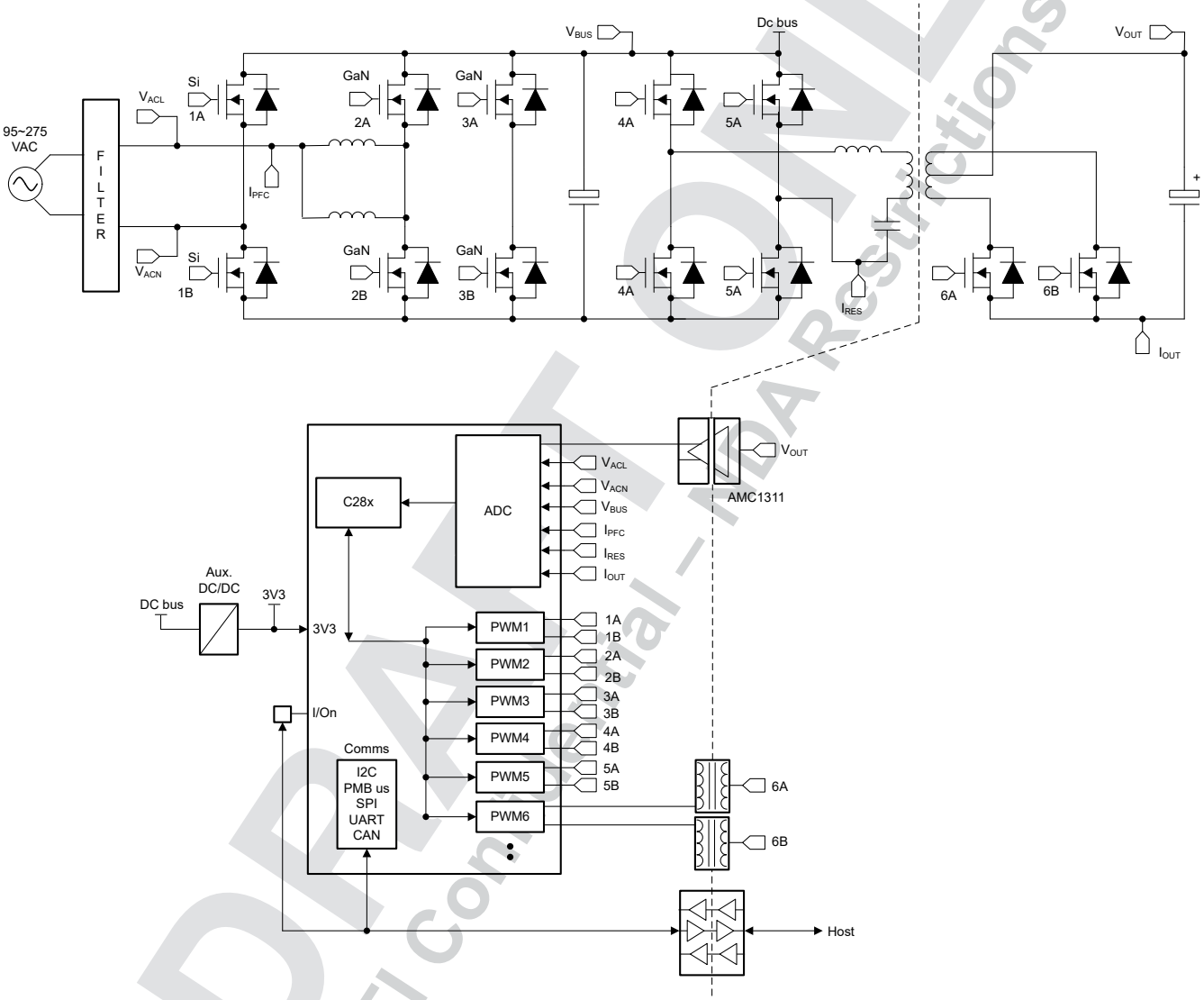


图 8-9. 商用通信电源整流器单芯片架构

DRAFT ONLY
TI Confidential – NDA Restrictions

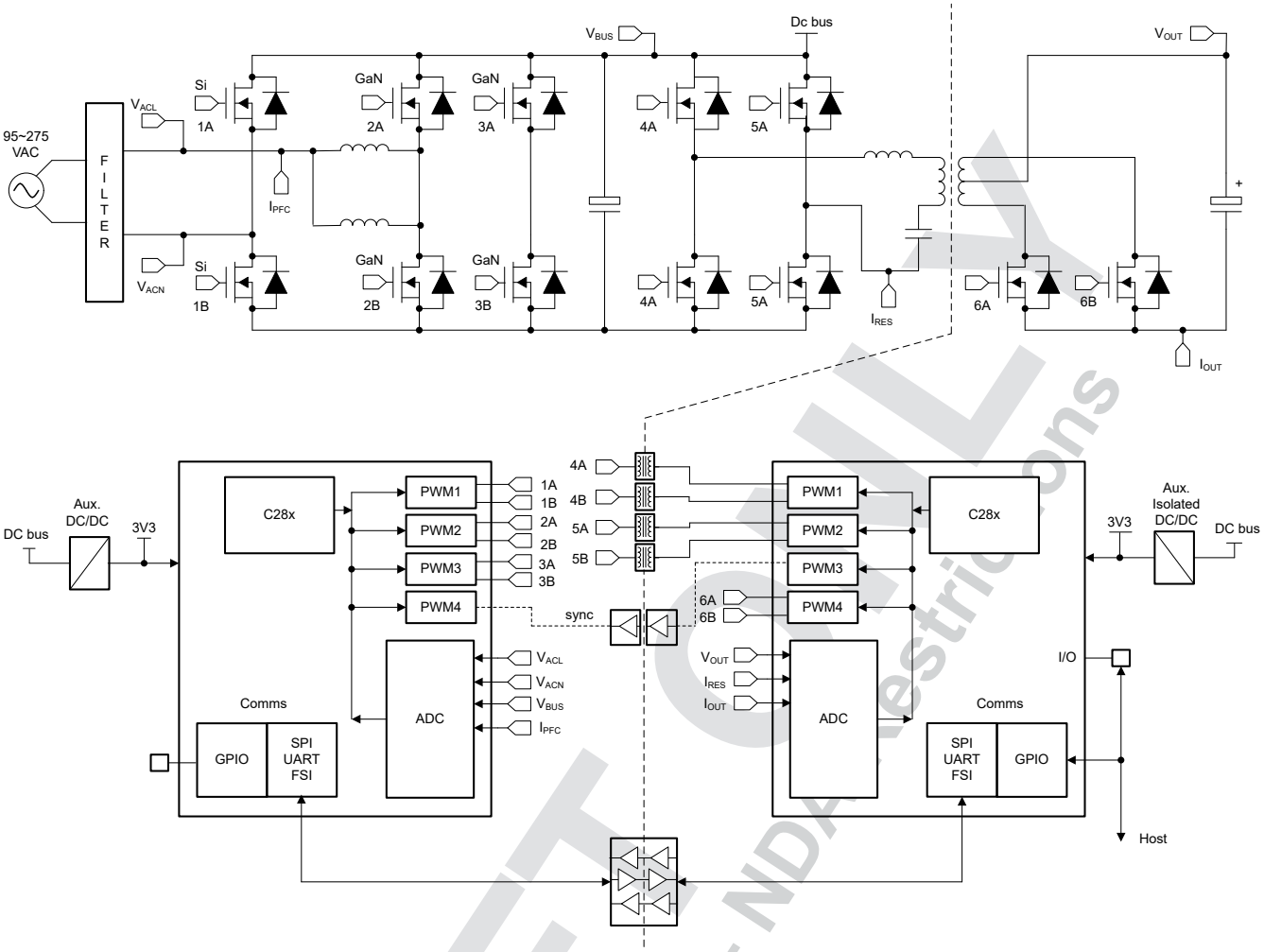


图 8-10. 商用通信电源整流器双芯片架构

8.3.1.4.2 商用通信电源整流器资源

参考设计和相关培训视频

由 C2000™ 和 GaN 实现 CCM 图腾柱 PFC 和电流模式 LLC 的 1kW 参考设计
此参考设计在使用 C2000™ F28004x 微控制器的半桥 LLC 级上演示了一种混合迟滞控制 (HHC) 方法，这是一种电流模式控制方法。该硬件基于 TIDA-010062 1kW、80 Plus 钛金级、GaN CCM 图腾柱无桥 PFC 和半桥 LLC 参考设计。通过另行添加感应卡实现了混合迟滞控制，从而在谐振电容器上重新生成电压。与单环路电压模式控制方法 (VMC) 相比，该 HHC LLC 级具有更好的瞬态响应和易于控制的环路设计。

具有有源钳位、功率密度大于 270W/in3 的 3kW 相移全桥参考设计
此参考设计是基于 GaN 的 3kW 相移全桥 (PSFB)，旨在实现更高的功率密度。该设计具有一个有源钳位，可尽可能地减小次级同步整流器 MOSFET 的电压应力，以使用具有更好品质因数 (FoM) 的额定电压较低的 MOSFET。PMP23126 在初级侧使用我们的 30mΩ GaN，在次级侧使用硅 MOSFET。与 Si MOSFET 相比，LMG3522 顶部冷却 GaN 集成了驱动器和保护功能，可在更宽的工作范围内保持 ZVS，从而实现更高的效率。PSFB 以 100kHz 的频率运行，可实现 97.74% 的峰值效率。

TIDA-010203 采用 GaN 和 C2000™ 实时控制 MCU 的高效 PFC 级（视频）
GaN 功率 FET 和 C2000™ MCU 支持图腾柱功率因数校正 (PFC) 拓扑，可消除桥式整流器的功率损耗。

TIDA-010062 1kW、80 Plus Titanium、GaN CCM 图腾柱无桥 PFC 和半桥 LLC 参考设计

TI Confidential – NDA Restrictions
DRAFT ONLY

Copyright © 2023 Texas Instruments Incorporated

此参考设计是一种数字控制的紧凑型 1kW 交流/直流电源设计，适用于服务器电源单元 (PSU) 和通信电源整流器应用。该高效设计支持两个主要功率级，包括一个前端连续导通模式 (CCM) 图腾柱无桥功率因数校正 (PFC) 级。PFC 级采用带有集成驱动器的 LMG341x GaN FET，可在较宽的负载范围内实现更高的效率，并且符合 80 Plus Titanium 要求。此设计还支持半桥 LLC 隔离式直流/直流级，以便在 1kW 功率下获得 +12V 直流输出。两个控制卡使用 C2000™ 入门级高性能 MCU 来控制两个功率级。

TIDA-010203 采用 C2000 和 GaN 的 4kW 单相图腾柱 PFC 参考设计

此参考设计是一款具有 F280049/F280025 控制卡和 LMG342x EVM 板的 4kW CCM 图腾柱 PFC。此设计展示了一个强大的 PFC 解决方案，它通过将控制器接地置于 MOSFET 桥臂的中间来避免隔离式电流检测。得益于非隔离特性，可以通过高速放大器 OPA607 来实现交流电流检测，从而帮助实现可靠的过流保护。在此设计中，效率、热感图像、交流压降、雷电浪涌和 EMI CE 均进行了充分的验证。此参考设计具有完整的测试数据，展示了采用 C2000 和 GaN 的图腾柱 PFC 具有更高的成熟度，并且是高效产品 PFC 级设计的良好研究平台。

TIDM-1001 使用 C2000™ MCU 的两相交错式 LLC 谐振转换器参考设计

谐振转换器是常用的直流/直流转换器，通常用于服务器、电信、汽车、工业和其他电源应用。这些转换器性能（效率、功率密度等）高，且不断提高各种行业标准要求和功率密度目标，是中高级电源应用的理想之选。此参考设计实现了 500W 的数控式两相交错 LLC 谐振转换器。该系统由单个 C2000™ 微控制器 (MCU) TMS320F280025C 控制，还可在所有工作模式下生成适合所有电源电子开关器件的 PWM 波形。此设计通过利用创新的电流共享技术，可准确地实现相间均流。

TIDM-1007 交错式 CCM 图腾柱 PFC 参考设计（视频）

此视频介绍了使用 C2000 微控制器控制图腾柱 PFC 所需的硬件要素、控制要素和软件设计。此演示中还介绍了在该参考设计上实现的测试结果。

变频、ZVS、5kW、基于 GaN 的两相图腾柱 PFC 参考设计

此参考设计是一种高密度、高效的 5kW 图腾柱功率因数校正 (PFC) 设计。设计采用两相图腾柱 PFC，能在可变频率和零电压开关 (ZVS) 条件下运行。控制器采用新拓扑和改进型三角电流模式 (iTCM)，能够减小尺寸并提高效率。设计方案为在 TMS320F280049C 微控制器内使用高性能处理内核，可在广泛的工作范围内保证效率。PFC 的运行频率范围为 100kHz 至 800kHz。峰值系统效率为 99%，该数值在 120W/in3 开放式框架功率密度下实现。

DRAFT ONLY
TI Confidential – NDA Restrictions

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 入门和后续步骤

C2000™ 实时控制微控制器 (MCU) 入门指南 涵盖了 C2000 器件开发中从硬件到支持资源的所有方面。除了主要的参考文档外，每个部分还提供了相关链接和资源，可帮助用户进一步了解相关信息。

9.2 器件命名规则

为了标示产品开发周期所处的阶段，TI 为所有 DSP 器件和支持工具的器件型号分配了前缀。每个 DSP 商用产品系列成员都具有以下三个前缀之一：TMX、TMP 或 TMS（例如，**TMS**320F2800137）。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型（TMX 和 TMDX）直到完全合格的生产器件和工具（TMS 和 TMDS）。

Device development evolutionary flow:

TMX Experimental device that is not necessarily representative of the final device's electrical specifications and may not use production assembly flow.

TMP Prototype device that is not necessarily the final silicon die and may not necessarily meet final electrical specifications.

TMS Production version of the silicon die that is fully qualified.

Support tool development evolutionary flow:

TMDX Development-support product that has not yet completed Texas Instruments internal qualification testing.

TMDS Fully-qualified development-support product.

TMX and TMP devices and TMDX development-support tools are shipped against the following disclaimer:

"Developmental product is intended for internal evaluation purposes."

Production devices and TMDS development-support tools have been characterized fully, and the quality and reliability of the device have been demonstrated fully. TI's standard warranty applies.

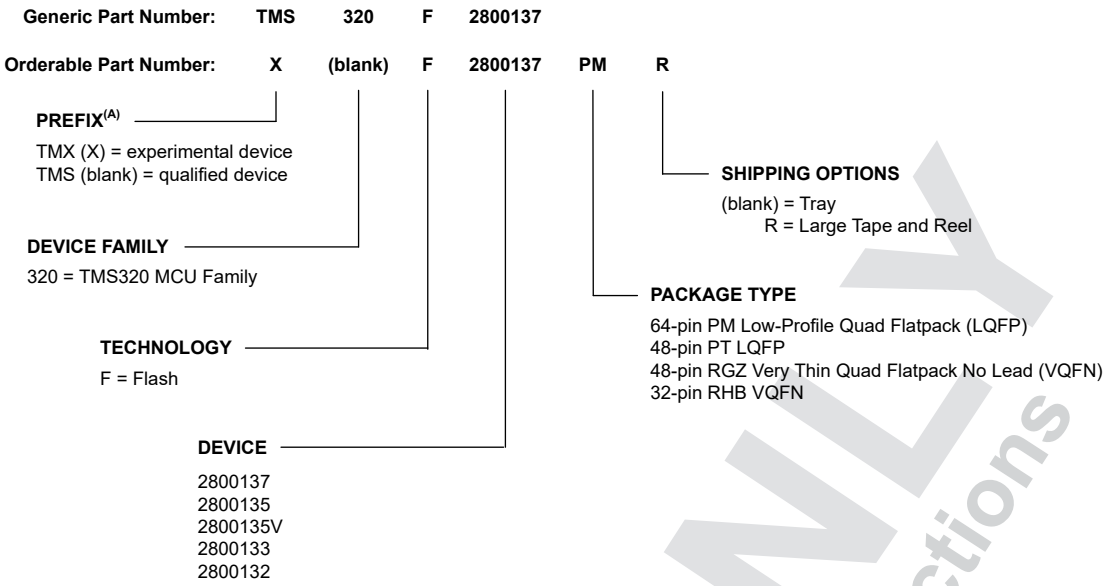
Predictions show that prototype devices (X or P) have a greater failure rate than the standard production devices. Texas Instruments recommends that these devices not be used in any production system because their expected end-use failure rate still is undefined. Only qualified production devices are to be used.

TI 器件的命名规则还包括一个带有器件系列名称的后缀。这个后缀表示封装类型（例如，PM）。

如需 TMS320F280013x 器件 PM、PT、RGZ 和 RHB 封装类型的可订购器件型号，请参阅本文档的“封装选项附录”，浏览 ti.com，或联系您的 TI 销售代表。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated



A. 可订购器件型号使用前缀 X。

图 9-1. 器件命名规则

9.3 标识

图 9-2、图 9-3、图 9-4 和图 9-5 展示了封装编号法。表 9-1 列出了器件修订版本代码。

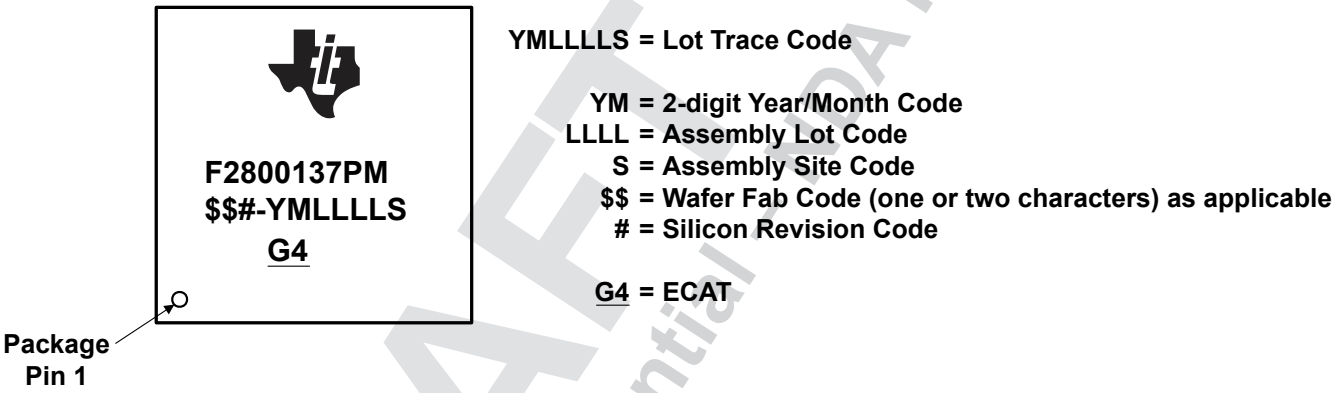


图 9-2. PM 封装的封装编号法

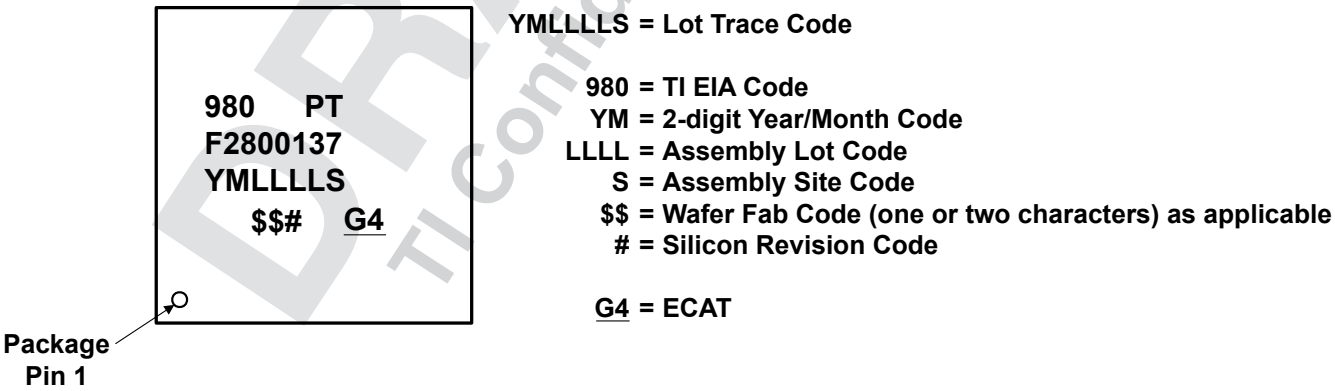
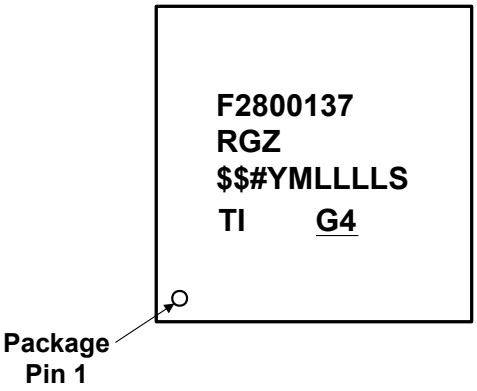


图 9-3. PT 封装的封装编号法

DRAFT ONLY
TI Confidential – NDA Restrictions

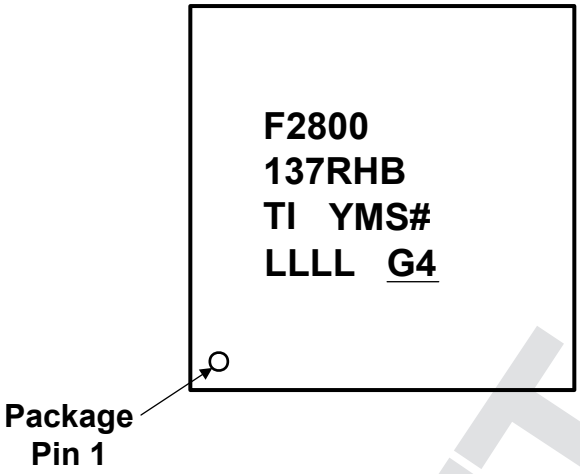


YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = ECAT

图 9-4. RGZ 封装的封装编号法



YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
# = Silicon Revision Code

G4 = ECAT

图 9-5. RHB 封装的封装编号法

表 9-1. 版本标识

器件修订版本代码	器件修订版本	REVID(1) 地址：0x5D00C	备注
空白	0	0x0000 0001	该器件修订版本以 TMX 形式提供。
A	A	0x0000 0002	该器件修订版本的代码为 TMX。
B	B	0x0000 0003	该器件修订版本以 TMS 形式提供。修订版 B 和 C 在功能上是等效的。
C	C	0x0000 0004	该器件修订版本以 TMS 形式提供。修订版 B 和 C 在功能上是等效的。

(1) 器件修订版本 ID

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

9.4 工具与软件

TI 提供大量的开发工具。下面是部分用于评估器件性能、生成代码和开发解决方案的工具和软件。若要查看 C2000™ 实时控制 MCU 的所有可用工具和软件，请访问 C2000 实时控制 MCU - 设计和开发页面以及 C2000 软件页面。

开发工具

F2800137 controlCARD
F2800137 controlCARD 是一种基于 HSEC180 controlCARD 的评估和开发工具，适用于 C2000™ F280013x 系列的微控制器产品。controlCARD 非常适合用于初始评估和系统原型设计。它们也是完整的板级模块，利用两种标准外形尺寸（100 引脚 DIMM 或 180 引脚 HSEC）中的一种来提供更低厚度的单板控制器解决方案。首次评估时，通常购买与基板捆绑或捆绑在应用套件中的 controlCARD。

LAUNCHXL-F2800137
LAUNCHXL-F2800137 是一款适用于 TI C2000™ 实时控制器 F280013x 系列的低成本开发板。该板不仅适用于初始评估和原型设计，还提供易于使用的标准化平台来开发未来的应用。该扩展版本 LaunchPad™ 开发套件可提供额外引脚用于评估，并支持连接两个 BoosterPack™ 插件模块。

TI Resource Explorer
要增强您的体验，请务必查看 TI Resource Explorer 以浏览应用的示例、库和文档。

软件工具

用于 C2000 MCU 的 C2000Ware
用于 C2000™ MCU 的 C2000Ware 是一系列紧密相关的软件和文档，旨在尽可能缩短软件开发时间。它包括特定于器件的驱动程序、库和外设示例。

Digital Power SDK
Digital Power SDK 包含一套紧密相关的软件基础架构、工具和文档，旨在尽可能缩短基于 C2000 MCU 的数字电源系统的开发时间，可适用于各种交流/直流、直流/直流和直流/交流电源应用。软件中包含可运行于 C2000 数字电源评估模块 (EVM) 和多种 TI 参考设计（适用于太阳能、电信、服务器、电动汽车充电器和工业电力输送应用）上的固件。Digital Power SDK 包含数字电源应用在开发和评估等各阶段所需的所有资源。

Motor Control SDK
Motor Control SDK 包含一系列紧密相关的软件架构、工具和文档，旨在尽可能缩短基于 C2000 MCU 的电机控制系统开发时间，适用于各种三相电机控制应用。软件中包含可运行于 C2000 电机控制评估模块 (EVM) 和多种 TI 设计 (TID)（适用于工业驱动和其他电机控制）上的固件。Motor Control SDK 包含高性能电机控制应用在开发和评估等各阶段所需的所有资源。

适用于 C2000 微控制器的 Code Composer Studio™ (CCS) 集成开发环境 (IDE)
Code Composer Studio 是支持 TI 微控制器和嵌入式处理器产品系列的集成开发环境 (IDE)。Code Composer Studio 包含一整套用于开发和调试嵌入式应用的工具。它包含优化的 C/C++ 编译器、源代码编辑器、项目构建环境、调试器、分析器以及多种其他功能。直观的 IDE 提供了单一用户界面，带领用户完成应用开发流程的每个步骤。熟悉的工具和界面使用户能够比以前更快地上手。Code Composer Studio 将 Eclipse 软件框架的优势和 TI 高级嵌入式调试功能相结合，为嵌入式开发人员提供了一种极具吸引力且功能丰富的开发环境。

SysConfig 系统配置工具 SysConfig 是一个全面的图形实用程序集合，用于配置引脚、外设、无线电、子系统和其他组件。SysConfig 可助您直观地管理、发现和解决冲突，以便您有更多时间创建差异化应用。该工具的输出包括 C 头文件和代码文件，这些文件可与软件开发套件 (SDK) 示例配合使用，或用于配置自定义软件。SysConfig 工具会自动选择满足输入要求的 pinmux 设置。SysConfig 工具作为独立安装程序集成在 CCS 中，也可以通过 dev.ti.com 云工具门户使用。有关 SysConfig 系统配置工具的更多信息，请访问系统配置工具页面。

C2000 第三方搜索工具 TI 与多家公司携手推出适用于 TI C2000 器件的各种解决方案和服务。这些公司可使用 C2000 器件加速量产流程。下载此搜索工具，快速浏览第三方详细信息，并寻找合适的第三方来满足您的需求。

UniFlash 独立闪存工具
UniFlash 是一款独立工具，用于通过 GUI、命令行或脚本接口对片上闪存存储器进行编程。

DRAFT ONLY
TI Confidential – NDA Restrictions

模型

您可以从产品的“设计与开发”页面下载各种模型。这些模型包括 I/O 缓冲器信息规范 (IBIS) 模型和边界扫描描述语言 (BSDL) 模型。若要查看所有可用模型，请访问每个器件的“设计与开发”页面的“设计工具与仿真”部分。

培训

为帮助设计工程师充分利用 C2000 微控制器的特性和性能，TI 开发了各种培训资源。通过利用在线培训资料和可下载的实际操作技术讲座，可方便地获得关于 C2000 微控制器系列的全方位的实际知识。这些培训资源旨在简化学习过程，同时缩短开发时间并加快产品上市速度。有关各种培训资源的更多信息，请访问 C2000™ 实时控制 MCU - 支持和培训站点。此外，C2000 Academy 课程还为新用户提供了一种快速掌握 C2000 器件及其众多特性的方法。对于刚开始使用 C2000 的用户来说，这是一个很好的切入点，可在 C2000 Academy 资源管理器页面上找到此课程。

9.5 文档支持

To receive notification of documentation updates, navigate to the device product folder on ti.com. Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

下面列出了介绍处理器、相关外设以及其他配套技术资料的最新文档。

勘误

TMS320F280013x 实时 MCU 器件勘误表介绍了有关器件的已知公告，并给出了权变措施。

技术参考手册

TMS320F280013x 实时微控制器技术参考手册详述了 F280013x 微控制器中每个外设和子系统的集成、环境、功能说明和编程模型。

CPU 用户指南

TMS320C28x CPU 和指令集参考指南介绍了 TMS320C28x 定点数字信号处理器 (DSP) 的中央处理器 (CPU) 和汇编语言指令。此参考指南还介绍了这些 DSP 上可用的仿真特性。

TMS320C28x 扩展指令集技术参考手册介绍了 TMU、VCU-II 和 FPU 加速器的架构、流水线和指令集。

外设指南

C2000 实时控制外设参考指南介绍了 28x DSP 的外设参考指南。

工具指南

TMS320C28x 汇编语言工具 v22.6.0.LTS 用户指南介绍了用于 TMS320C28x 器件的汇编语言工具（用于开发汇编语言代码的汇编器和其他工具）、汇编器指令、宏、通用目标文件格式和符号调试指令。

TMS320C28x 优化 C/C++ 编译器 v22.6.0.LTS 用户指南介绍了 TMS320C28x C/C++ 编译器。此编译器接受 ANSI 标准 C/C++ 源代码，并为 TMS320C28x 器件生成 TMS320 DSP 汇编语言源代码。

应用报告

SMT 和封装应用手册网站列出了有关 TI Surface Mount Technology (SMT) 的文档以及涵盖各种封装相关主题的应用手册。

半导体包装方法介绍了向最终用户发货时对半导体器件使用的包装方法。

计算嵌入式处理器的有效使用寿命介绍了如何计算 TI 嵌入式处理器 (EP) 在电子系统中运行时的有效使用寿命。本文档的目标读者为希望确定 TI EP 的可靠性是否符合终端系统可靠性要求的总工程师。

IBIS（I/O 缓冲器信息规范）建模简介讨论了 IBIS 的各个方面，包括其历史、优势、兼容性、模型生成流程、输入/输出结构建模中的数据要求以及未来趋势。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

C2000™ 微控制器的串行闪存编程介绍了使用闪存内核和 ROM 加载程序对器件进行串行编程。

使用 C2000™ 实时微控制器的基本开发指南更深入探究了使与实时控制系统相关的 C2000 微控制器 (MCU) 脱颖而出的器件。

9.6 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

9.7 商标

C2000™, Code Composer Studio™, LaunchPad™, BoosterPack™, and TI E2E™ are trademarks of Texas Instruments.
Bosch® is a registered trademark of Robert Bosch GmbH Corporation.
所有商标均为其各自所有者的财产。

9.8 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.9 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

DRAFT ONLY
TI Confidential – NDA Restrictions

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

DRAFT ONLY
TI Confidential – NDA Restrictions

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
F2800132PTR	ACTIVE	LQFP	PT	48	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800132 PT	Samples
F2800132RGZR	ACTIVE	VQFN	RGZ	48	4000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800132 RGZ	Samples
F2800132RHBR	ACTIVE	VQFN	RHB	32	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR		F2800 132RHB	Samples
F2800133PMR	ACTIVE	LQFP	PM	64	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800133PM	Samples
F2800133PTR	ACTIVE	LQFP	PT	48	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800133 PT	Samples
F2800133RGZR	ACTIVE	VQFN	RGZ	48	4000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800133 RGZ	Samples
F2800133RHBR	ACTIVE	VQFN	RHB	32	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	F2800 133RHB	Samples
F2800135PMR	ACTIVE	LQFP	PM	64	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800135PM	Samples
F2800135PTR	ACTIVE	LQFP	PT	48	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800135 PT	Samples
F2800135RGZR	ACTIVE	VQFN	RGZ	48	4000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800135 RGZ	Samples
F2800135RHBR	ACTIVE	VQFN	RHB	32	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	F2800 135RHB	Samples
F2800137PMR	ACTIVE	LQFP	PM	64	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800137PM	Samples
F2800137PTR	ACTIVE	LQFP	PT	48	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800137 PT	Samples
F2800137RGZR	ACTIVE	VQFN	RGZ	48	4000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800137 RGZ	Samples
F2800137RHBR	ACTIVE	VQFN	RHB	32	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F2800 137RHB	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023，德州仪器 (TI) 公司